

高度情報社会の到来は、サーバから、パソコン(PC)、デジタルカメラ、ゲーム機、携帯電話などに至るあらゆる電子機器への半導体の旺盛な需要を促し、同時に年率60%を超えるメモリビット伸長率を支えている。微細加工技術と回路設計技術の深耕は、特にDRAMに代表されるように、メモリの3年で4倍の大容量化を可能にするとともに、大幅なビット価格のコストダウンをもたらしてきた。

しかし、昨今、応用分野が拡大するとともに、その恩恵を、多機能化、低消費電力化といった他の高付加価値に結びつける傾向も現われてきている。また、フラッシュメモリの台頭、SRAM(Static RAM)の復活などにより、従来、DRAM中心であった先行技術開発志向にも変化の兆しがみられる。一方、“究極のメモリ”と期待される強誘電体メモリ、磁気メモリといった新機能メモリの学会発表が盛んになってきており、今後の技術開発の進展と新市場の開拓が望まれる。

The progress of information technology has led to great demand for semiconductors for application to servers, PCs, cellular phones, and personal digital assistants (PDAs), resulting in a steady annual memory bit growth rate exceeding 60%. Miniaturization and design technologies have made it possible for memories, especially dynamic RAM (DRAM), to integrate four times more bits in one chip every three years, and have significantly reduced bit-cost.

Recently, however, with the expansion of memory application fields, the market has been requesting higher-value-added memory products featuring low-voltage operation, low power, and high functionality as benefits of these technologies. On the other hand, in recent memory development more attention seems to have been paid to the rapid growth of flash memory, recovering demand for static RAM (SRAM), and other emerging memories such as ferroelectric random access memory (FeRAM) and magnetic random access memory (MRAM), which are expected to be an "ultimate memory" in the future.

1Gビットの時代へ

世の中のあらゆる情報を量子化し、PCやエンジニアリングワークステーション(EWS)などを使って加工・圧縮をしたり、遠方へ伝送するなどのデジタル化の進展は際限がない。そのなかで、キーコンポーネントとしてのメモリ技術の指数関数的な発展が大きく寄与してきたことは言うまでもない。

この20年余で、ワンチップ当たりの記憶容量は 10^6 倍にも向上し、いよいよ万人が1Gビットのチップを手にできる時代になろうとしている。ワンチップで扱えるデータ量も、アルファベット、漢字、文章を主体として文字列から、科学技術的な図面、更に、デジタルカメラ、携帯電話に象徴されるようなカラーの高精細な絵柄、インタ

ーネットからダウンロードする音楽となり、次には二次元、三次元の動画も可能になろうとしている。

図1は、Dataquest社によるDRAM、SRAM、フラッシュ(不揮発性メモリ)

など、半導体メモリの全世界の生産額実績と予測を示している。既に周知のように、メモリの代表格とも言われるDRAMは、1996年から大規模な価格破壊が起こり、2000年初頭に至

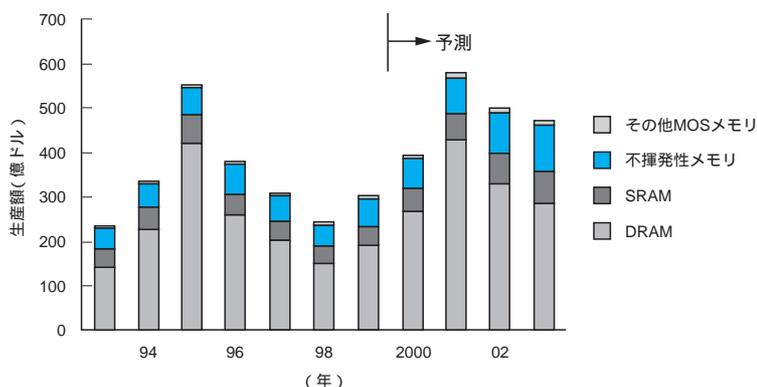


図1. 全世界のメモリ生産額の実績と予測(Dataquest社) 98年を谷としたシリコンサイクル、及びフラッシュメモリを中心とする不揮発性メモリの伸長が見える。

Worldwide semiconductor memory revenues

るまで大不況に陥ったことは記憶に新しい。これは、シリコンサイクルと言われ、ほぼ3年～4年の周期で業界が過去から経験してきたことであり、一方で、このサイクルが新たな需要を喚起し、メモリの市場を拡大させてきた。したがって、DRAMのビット伸長は、価格破壊とはまったく無縁のように、95年から引続き年率66%という順調な伸びを続けている。

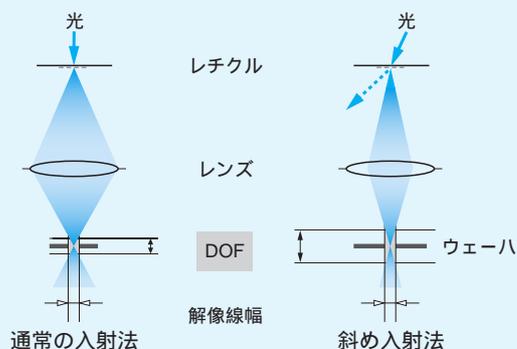
■ 微細化の深耕とDRAM

ワンチップ当たりのメモリ容量の指数間数的な伸びは、微細化という伝家の宝刀によって成し遂げられてきた。74年、IBM社のDenardが提唱したこのスケーリング則¹⁾によれば、MOS(Metal Oxide Semiconductor)トランジスタの縦方向と横方向の物理的な大きさを1/kとし、更に電圧も

1/kとすれば、占有面積は1/k²になるが、加えてスピードはk倍に、消費電力は1/k²になる。

メモリは、この法則をある意味では忠実に守り、一方では、電源電圧や入出力インタフェースは現状に適合させるべく、プロセスパラメータや回路設計を最適化して、モアーズロウ(Moore's Law)と言われる3年で4倍の大容量化のトレンドをキープして

超解像技術と近接パターン効果補正



図A. 入射方法と焦点深度

露光用光源の波長以下の微細パターンをウェーハ上を実現するためには、波長を考慮した様々な工夫が必要である。まず、ウェーハ表面には、一般的には各種の工程を経てきた凹凸があり、正確な像を結ぶ焦点の深度(DOF)をある程度以上確保しなければ規定寸法のパターンを蝕刻することはできない。図Aに示すように、斜めに光を照射した方が同一寸法の微細パターンを露光する場合、焦点深度が大きい。

次に、図Bに示すようにレチクル(パターン原版)自身にも凹凸をつけ、凹部分に入射した光の位相を180°ずらし、凸部分に入射された位相0°の光を重ね合わせることで、未露光部に漏れる光を低減させることができる。この位相シフト技術を用いることで、図Bのような微細パターンの加工が容易となる。これらが超解像技術の代表例である。

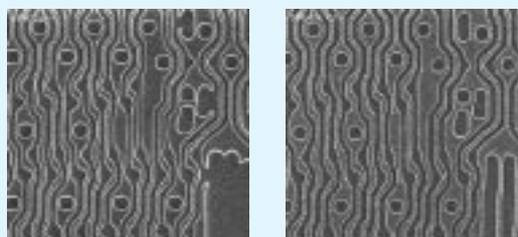
ただし、容易に想像できるように、この位相シフト技術は、パターンとパターンの距離、すなわち、パターンの粗密が加工上重要となってくる。このため、回路設計から得られたパターンを忠実にウェーハ上を実現するためには、レチクル上のパターンの寸法を、露光シミュレーションの結果に基づき、あらかじめ個々に補正しておく必要がある。これを近接パターン効果補正(OPC)と呼ぶ。

図Cは、同一設計データを用いて、このOPCを施したレチクルと施さな

	従来マスク (クロムマスク)	位相シフトマスク (レバンスンマスク)
マスク構造	入射UV光 石英 クロム	入射UV光 位相差=180°
レジストパターン		

UV: 紫外線

図B. 位相シフト技術による微細パターン



OPCなし

OPC補正

図C. OPCの効果

かったレチクルを作成し、レジストを露光し、その下のウェーハ上の酸化膜をエッチングした例である。OPCを施さなかったウェーハは、各所にパターンの切れ目が生じ、回路としての動作は到底望めぬ状態となっていることがわかる⁽⁴⁾。

文献

INOUE, S., et al. "Level-Specific Strategy of KrF Microlithography for 130 nm DRAMs". IEEE, Tech. Dig. of IEDM. 1999, p.809.

きた。

図2は、同一図面にDRAMのデザインルール(F),実際のセルサイズ,チップサイズの年度に対する変遷を示したものである。パターンのラインとスペースの和は2Fであるから,1素子当たりの面積の最小値は4F²である。DRAMセルは,トランジスタ1個とキャパシタ1個で構成されるため,現行のセルアーキテクチャを踏襲する限り8F²が最小である。Fの微細化を支えてきたのがパターンを解像する露光装置で,光源としては,紫外

線のg線からi線へ推移し,現在ではKrF(クリプトンフロライド)レーザが量産製品に適用されている。次々世代の0.1 μm前後の世代からは,ArF(アルゴンフロライド)レーザと,更に波長以下のパターンニングを可能とする超解像技術と近接パターン効果補正が不可欠となる(囲み記事参照)。

パターンニングが可能になった後は,加工・製造技術と回路の設計技術が,性能とコストを決めることになる。図2は,セルサイズの縮小が,Fの縮小以上の傾向で行われ,ついに,

256 MビットDRAMの世代に,この8F²に達したことがわかる。したがって,今後この大容量化トレンドをキープしようとする8F²を下回るセルアーキテクチャの開発が必要となる。

DRAMセルの信号量は,DRAMセル電荷量,すなわち電源電圧とキャパシタの積のビット線寄生容量に対する比率で決まる。したがって,微細化に伴う電源電圧低下は,そのまま信号量の低下を意味した。酸化膜,拡散層のデフェクトによるリーク耐性を高める意味でも電荷量はキープしたい。この意味で,現在20~30fFのセルキャパシタ値は,世代を追ってもスケールできないと言われている。シリコン上のキャパシタに与えられる占有面積をFに比例して縮小しながら,その値を一定に保つには,対抗面積を増やすか,絶縁膜の膜厚を薄くするか,誘電率の高い材料を導入するしかない。

対抗面積を増やすにあたっては,すでに4 MビットDRAMの世代から三次元的な形成方法が採られ,キャパシタを基盤に埋め込むトレンチ型と,トランジスタ上部に設けるスタック型に分かれて製品化が進められてきた。酸化膜単膜としての薄膜化は,既に限界となり,64 Mビットより酸化膜と窒化膜の複合膜が開発された。いよいよ0.13~0.10 μmの世代から高誘電体の導入は必須と言われている。

当社と,富士通(株),台湾のWinbond社で共同開発を進めている0.13 μmルール,スタック型DRAMセルのキャパシタ部分の構造を図3に示す²⁾。高誘電体材料は酸化タンタル(Ta₂O₅),それを挟み込む電極にはルテニウム(Ru)が使われている。対抗面積を増やすため図3に示すようなシリンドラ型の立体構造が導入されており,セルのトランスファゲートとなるMOSトランジスタはこの下部に形成されている。

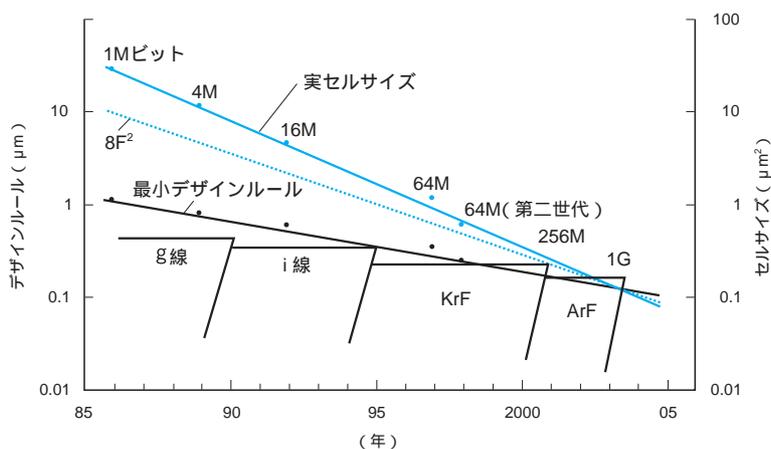


図2 . DRAM設計ルール,チップサイズ,セルサイズの変遷 3年で4倍の大容量化がなされ,そのなかでセルサイズは設計ルール以上の縮小化が進んだ。また,露光装置は,g線,i線,KrF,ArFと変遷している。

Trends in DRAM design rule, chip size, and cell size

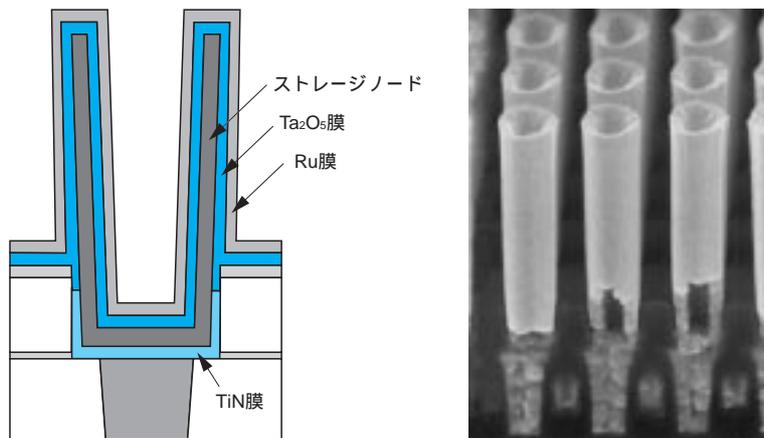


図3 . 0.13 μm DRAMセルの断面(左)とSEM(走査型電子顕微鏡)写真(右) キャパシタは,Ta₂O₅をRu電極で挟んだMIM(Metal Insulator Metal)タイプ。セルキャパシタ値を大きくするため,シリンドラのような構造を採っている。

Cross-sectional view and SEM photo of 0.13 μm DRAM cells

■ 応用面から見た DRAM

図1にDRAMの生産額を示したが、応用分野からするとその75%以上がPCのメインメモリ用途である。

したがって、PCに用いられるCPU(中央演算処理装置)のクロックスピード向上に伴って、データ転送速度を上げていく必要があった。64 Mビットの世代から、/RAS(Row Address Strobe)で行アドレスを取り込み、/CAS(Column Address Strobe)で列アドレスを取り込むファーストページモード(FPM)仕様に代わって、クロックと同期して動作するシンクロナスDRAMが主流となっている。今後は更に、クロックの立上がりと立下がりの両方でデータを出力するDDR(Double Data Rate)-DRAMが主流となろう。ただし、これらはチップ外の環境は従来の延長上のままであるため、システムクロックの周波数向上にも上限がある。

このため、ボード上配線のインピーダンスを考慮し、配線長、バスにつながるデバイスの位置、個数まで決め、論理振幅を絞ってバス当たりの転送速度を800 Mバイト/sまで上げたRambus^(注1)DRAMが提案され、ゲーム機器などでの本格的な採用が始まっている。回路技術的には、高速外部クロックとチップ内部のデータの同期をとるDLL(Delay Locked Loop)がデジタル化されてオンチップに搭載されている。

PCに搭載されるメモリ容量は、年々増加の一途をたどってきたが、ここに至って頭打ちの傾向が見えてきた。これに呼応して、DRAM自身もPC以外のマーケット、すなわち、携帯端末にも適合できる製品開発もされるようになってきた。このような応用では、動作時及びスタンバイ時の両者において低消費電力が要求されるため、回路設計的にはバッテリーでの動作を念頭に置いた低電圧動作、電源回路を中心とした徹底的な直流電流削

減、デバイス的にはリテンション特性を改善してリフレッシュインターバルを長くするなどの施策がなされている。また、仕様のにも、煩雑なリフレッシュを高速読出し動作の裏で自動的に実行してしまうなど、SRAM並に使い勝手の良い製品も出現している。

このように、DRAMは、過去単一の統一仕様でコストだけを要求されてきたが、今後は高付加価値を持った個性のある製品が出現してくると思われる。

■ ニーズが拡大するフラッシュメモリとSRAM

極小容量にとどまっていた電気的消去可能不揮発性メモリ(EEPROM(Electrically Erasable and Programmable ROM))に“一括消去”のアイデアを取り入れることで飛躍的なコストダウンが可能となることがわかり、フラ

ッシュメモリと命名された。85年当社で開発がスタートしたデバイスである。

初期の市場では、EPROM(Erasable and Programmable ROM)の代替程度の認知しかなかったが、近年、応用分野が急速に拡大し、生産量が図1のようにDRAMの10%を超え、将来の伸長がもっとも期待される製品となってきた。

市場としては、大容量のファイル応用と、少容量高速ランダムアクセスのコンピュータ周辺応用とに二分され、当社としては前者対応にNAND(Negative AND circuit)型、後者対応としてNOR(Negative OR circuit)型の開発を進めてきた。

NAND型については、二層ポリシリコンスタックゲート構造のトランジスタ1素子でメモリセルが構成できるため、サイズは原理的には $4F^2$ まで可能である。

ただし、図4(a)に平面図を示すよ

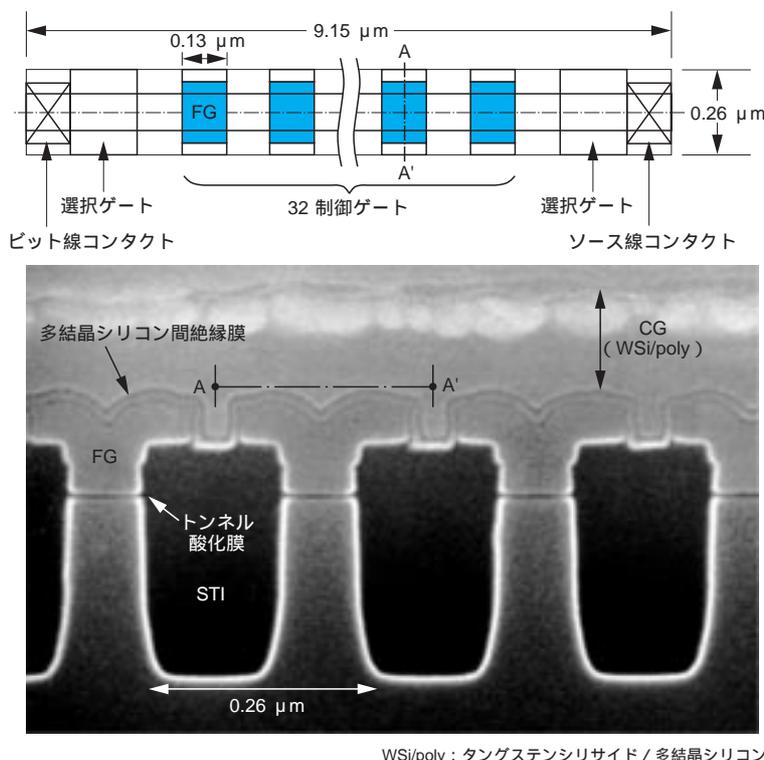


図4 .0.13 μm NANDフラッシュメモリの平面図(上)とセル断面(A - A')写真(下) セル
フアラインSTI構造を使ってセル面積の縮小を図っている。
Schematic layout and SEM photo of 0.13 μm NAND flash memory

(注1) Rambusは、Rambus社の商標。

うに、NANDストリングの上下に選択ゲートと、ビット線へのコンタクト、ソース線への接続部分があるのでこれよりは大きくなる。256 M ビット開発時に、STI(Shallow Trench Isolation)技術と浮遊ゲート加工のセルフアライン技術の寄与により、実効5F²程度まで激減された。また、図4(b)で0.13 μm 世代(1 G ビット相当)のセル断面写真を示すように⁽³⁾、浮遊ゲート(FG)と制御ゲート(CG)のキャパシタカップリング比を上げるためFG側壁も利用している。

NAND型は書込みと消去に、非常に電流の少ない酸化膜のトンネル現象を使っている。このため多数のセルに並列にデータを書き込むことができ、並列性を増せばそれだけ書込みのデータ転送レートを上げることができる。特に、デジタルカメラにおいては連写機能、音声分野では録音時間の短縮のため高速書込み要求が高い。よりいっそうの大容量化に対応して、浮遊ゲートに蓄積される電荷量を4段階にコントロールすることによって、セル当たり2 ビットを格納できる多値化技術も鋭意開発中である。

NOR型フラッシュについては、長らくコンピュータ周辺機器応用として1 M ~ 4 M ビットの容量にとどまっていた。ところが、近年の携帯電話の機能拡張により、8M ビット、16 M ビット、32 M ビット、64 M ビットと年々倍加して開発される傾向にある。格納データとしては、通信用プロトコルはむしろであるが、留守録、様々な字の大きさに対応したフォント、住所録などに用いられているかな漢字変換機能、インターネットに対応したブラウザソフトウェア、メールソフトウェアなどである。今後もカラーディスプレイに伴う機能、例えば、背景の絵や地図、ゲーム、キータッチソフトなど、とどまるところを知らない。

これらの携帯応用を念頭に置くと、低スタンバイ電流が第一義で、次に高速データ処理のためのアクセスタイム

高速化ということになる。このため、DRAM同様、直流電流の小さい電源回路の設計、素子設計におけるリークの低減が要求される。また、仕様的には読出し、書込みを同時にできるデュアル動作や、高速データ転送のためのバーストモードなどが搭載され、より携帯電話に適合した製品が発表されている。

携帯機器への応用という意味では、RAM市場として近年DRAMに押されざるであったSRAMも、低消費電力、高速、低ノイズなどの性能面から需要が増えてきており、16 M ビットを超える大容量メモリの開発が進んでいる。また、SRAMの特長を生かした高速動作については、ネットワーク関係のサーバやスーパーコンピュータのキャッシュメモリへの応用が増加している。

近年、米国メーカーから、高性能マイクロプロセッサと同一の最先端プロセスを適用した単体の超高速SRAMが発表された。この製品は、最小線幅のゲート、最小膜厚のゲート酸化膜、銅の6層配線、メタルゲートなどが使われ、1 GHzの高速動作を可能としている。

■ 技術開発の進展が期待される FeRAM(Ferroelectric RAM), MRAM(Magnetic RAM)

上述した従来のメモリは、すべて万能ではなく、どちらかといえば単機

能型である。例えば、DRAMは安価であるが、リフレッシュが必要で揮発性である。SRAMは高速、低消費電力で、バッテリーバックアップにより不揮発性にもなり、使い勝手はよいが、高価である。フラッシュメモリは不揮発性であるが、書込みがμs オーダ、消去に至ってはms オーダと遅い。加えて、書込み消去の回数が最大十~百万回と限られている。

これに対し、近年、万能選手のようなメモリが提案され、業界をにぎわしているのが、強誘電体メモリ(FeRAM)と磁性体メモリ(MRAM)である。これらは不揮発性なうえに、読出し/書込み共に高速で、書換え可能回数も10¹⁰回を超えている。

FeRAMのセル構造を図5に示すが、PZT(チタン酸ジルコン酸鉛)、又は、SBT(タンタル酸ストロンチウムビスマス)のような強誘電体材料のヒステリシス特性を利用したセルである。強誘電体材料のほかに、それを挟む電極に白金、ルテニウム、ストロンチウム、イリジウム、及び、それらの導電性酸化膜を使うため、材料選択とその形成方法が鍵(かぎ)となる。また、還元性雰囲気にはさらすとヒステリシス特性が失われてしまうため、インテグレーション技術にも工夫の余地がある。

セル面積を削減するためには、図5のようなオフセット構造から、トランジスタ直上にキャパシタを形成するCOP(Capacitor On Plug)構造への

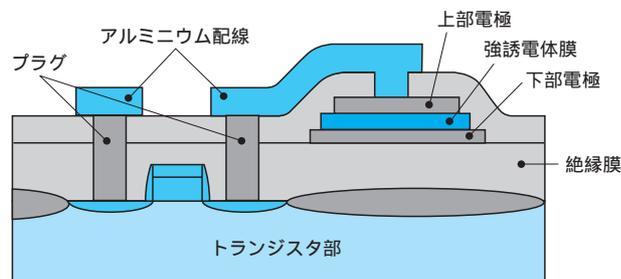


図5 . オフセット構造のFeRAMセルの断面 トランジスタと強誘電体キャパシタが別な場所で形成されている。

Cross-sectional view of offset type FeRAM cell

転換が今後の課題である。これについては、この特集の別論文“新不揮発性メモリ ChainFeRAM™”で詳しく述べている。現在、容量的には0.25 μmルールでの8 Mビットの開発が行われている段階で、コスト的には、まだまだ割高であるが、将来、技術の進歩により低減される可能性は高い。

MRAMについては、ここ2年ほどIBM社やMotorola社から研究成果が国際学会で発表され、注目されるようになった。集積度としては0.6 μmルールで256 Kビット程度の開発が進んでいる。セルは、図6に示すようにスピン方向が固定な強磁性体と可変な強磁性体で絶縁膜(薄膜アルミナなど)を挟む構造をとり、ビット線に電流を流すことによってスピンの方向を変化させてデータを書き込む。スピンの方向により抵抗が異なるため、その大小をデータとして読み取ることになる。こちらも、ニッケル、鉄、コバルトといった新材料の半導体プロセスへの取込みがキーとなる。

セルアレイアーキテクチャとして、現在FeRAMはDRAM、MRAMはダイオード接続型ROMと、既存のアーキテクチャを踏襲している。しかし、かつてDRAMが、昨今ではNAND型フラッシュがそうであったように、それぞれのデバイスに適合したセルアーキテクチャの開発が望まれる。

FeRAM、MRAMが“究極のメモリ”として既存のメモリを置き替えるには、まずコストの問題をクリアしなければならない。しかし、それ以前でも既存のメモリにない、不揮発性で高速書換え可能という特長を生かし

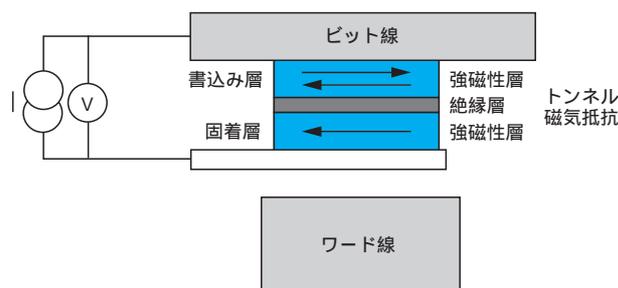


図6 .MRAMの動作原理 反転可能な強磁性体膜と固定の強磁性体膜が絶縁膜を介して接している。この構造で抵抗値変化を読み取る。
Operating principle of magnetic memory

て一定の市場を得ることは可能とみる。携帯端末では、現在アプリケーションソフトウェア(以下、アプリケーションと略記)とデータをフラッシュに格納しており、このデータ量の増加がフラッシュの大容量化を促進させている。もし、これらFeRAM、MRAMが製品化されれば、アプリケーションとデータは適宜ワイヤレスで必要なものだけダウンロードすればよくなる。こうなると、アプリケーションの種類をメモリ搭載量に無関係に増やせるためサービス向上になり、一方携帯端末にとっては余分なメモリ容量が不要となり、コストダウンにつながられると思われる。

■ 市場の拡大に向けて

メモリの需要はとどまることを知らず、顧客の要求にこたえてゆくには微細化の深耕は欠かせない。一方、携帯機器市場は、高付加価値のメモリを要求し始めており、これに呼応して既存メモリでも仕様の多様化が進んでいる。また、新材料を使った新機能メモリの開発が盛んになり、今のと

ころ、コスト的には既存メモリとまだ距離があるが、新市場を切り開く可能性を秘めている。ここでは、新材料の取込みを中心とした半導体プロセスの進展と、セル構造に適合したセルアーキテクチャの考案が待たれる。

文 献

- (1) Dennard, R., et al. "Design of Ion Implanted MOSFET's with Very Small Physical Dimensions". IEEE J. Solid State Circuits, SC-9. 1974, p.256.
- (2) Fukuzumi, Y., et al. "Liner-Supported Cylinder (LSC) Technology to realize Ru/Ta₂O₅/Ru Capacitor for Future DRAMs". IEEE Tech. Dig. of IEDM, 2000.
- (3) Arai, F., et al. "High-Density (4.4F2) NAND Flash Technology Using Super-Shallow Channel Profile Engineering". IEEE, Tech. Dig. of IEDM 2000.



宮本 順一
MIYAMOTO Junichi, D.Eng.

セミコンダクター社 メモリ事業部 先端メモリ開発センターグループ長、工博。メモリ設計技術開発に従事。IEEE、電子情報通信学会会員。Memory Div.