

# ひずみ Si p-MOSFET における正孔移動度の増大

Hole Mobility Enhancement in Strained Si p-MOSFETs

手塚 勉  
TEZUKA Tsutomu

杉山 直治  
SUGIYAMA Naoharu

黒部 篤  
KUROBE Atsushi

(001)面内に引張りひずみを持つシリコン(Si)中では、電子、正孔の面内方向移動度が増大することが知られている。特に、正孔移動度の増大は、CMOS(Complementary Metal Oxide Semiconductor)回路の高速化に有効と考えられる。正孔反転層の移動度増大の原因は、格子ひずみにより価電子帯が変形するため、とされているが、その詳細は未知であり、直接の観測例もなかった。

われわれは、ひずみ Si p-MOSFET(Field Effect Transistor)を作製し、ホール測定で得られる移動度と導電率移動度の比を評価した結果、ひずみによる価電子帯の異方性の減少を初めて観測した。更に、40%弱の移動度増大も確認した。これらの結果は、ひずみ Si MOSFETの正孔移動度増大メカニズムを理解し、CMOS回路へ応用していくうえで重要な知見である。

It is known that hole and electron mobilities are enhanced in tensilely strained (001) Si. The enhancement of hole mobility is expected to improve the operation speed of CMOS circuits. The origin of mobility enhancement in hole inversion layers has been conjectured to be the deformation of the valence band structure. However, the valence band structure is not yet clearly understood.

We fabricated strained Si p-MOSFETs and then measured the ratio of the Hall mobility to the conductivity mobility of the hole inversion layers. We found mobility enhancement of up to 40% and the reduction of anisotropy in the hole subbands due to the strain. These results are important for understanding the mechanism of mobility enhancement and developing CMOS circuits with strained Si MOSFETs.

## 1 まえがき

基板面内に格子が引張られた(001)Siにおいては、格子がひずんだことにより、電子、正孔の面内方向移動度はどちらも増大することが報告されている<sup>(1)(2)</sup>。したがって、これらの素子は高速CMOS論理回路への応用が期待される。従来のCMOS回路においては、p-MOSFETがn-MOSFETに比べ駆動力がかなり低いので、正孔の移動度増大は電子のそれに比べ、より重要な課題と言える。これまで、ひずみ Si p-MOSFETにおいて、正孔移動度の増大が観測された例は既にある。しかし、その増大率は理論値よりもかなり小さな値に留まっている<sup>(3)(4)</sup>。また、移動度増大の起源とされる、格子のひずみによる価電子帯の変形を示す系統的な実験はまだ報告されていない。

ひずみ Si MOSFETの正孔移動度増大の起源を明らかにし、高速CMOS回路へ応用するためには、ひずみがSiの正孔反転層のバンド構造に与える影響を知る必要がある。ここでは、われわれが実際に作製したひずみ Si p-MOSFETにおいて、現状における世界最高レベルの正孔移動度の増大率が確認されたことを示す。更に、バンドの異方性の観点から、ひずみによる価電子帯の変化をとらえた初めての実験結果を示す。

## 2 ひずみによるバンド構造とキャリア移動度の変化

### 2.1 伝導帯、価電子帯の分裂

ひずみ Siは通常、Siよりも格子定数の大きいSiGe上にSi薄膜をエピタキシャル成長することで得られる。ここで、Siの結晶格子は図1に示すように、面内方向に引張りひずみ、面に垂直方向に圧縮ひずみを受ける。その結果、バンド構造も変化する。ここでは、三次元のバンド理論で概要を説明する<sup>(5)</sup>。図2は、Si結晶の格子が(001)面内で均等に広がり[001]方向に圧縮された状態となった場合の、価電子帯

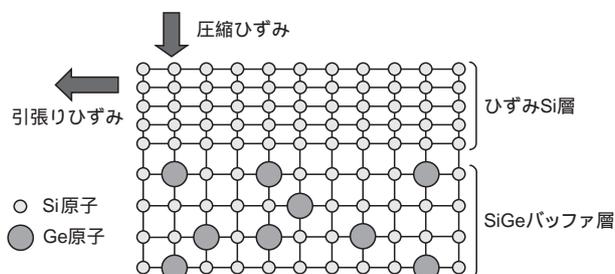


図1. ひずみ Si の概念 SiGeの格子定数の方がSiより大きいので、Siの格子は面内方向に引張りひずみ、面に垂直方向に圧縮ひずみを受ける。

Schematic diagram of strained Si

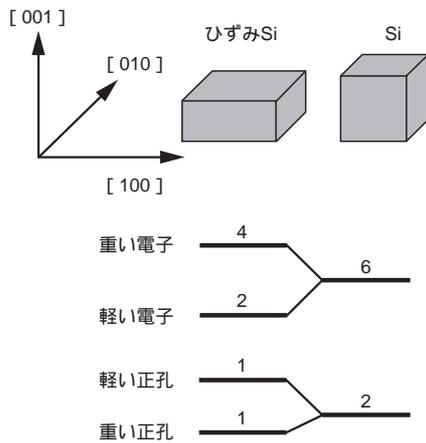


図2. ひずみによる価電子帯と伝導帯の分裂 数字はスピンを無視した各バンドの縮退度を示す。格子の変形により、価電子帯、伝導帯の両方で縮退が解ける。  
Splitting of valence and conduction bands due to strain

と伝導帯のバンド端エネルギー及び縮退度の変化を模式的に示したものである。なお、今後、特に指定しないかぎり、“ひずみ”は上記の状態を指すものとする。無ひずみにおいて6重に縮退していた伝導帯は、ひずみにより2重縮退のバンドと4重縮退のバンドに分裂する(スピン縮退は無視)。

一方、価電子帯においては、無ひずみでは軽い正孔と重い正孔バンドがバンド端において縮退しているが、ひずみによりこの縮退が解ける。その結果、基底状態において、電子は2重縮退した伝導帯に、正孔は軽い正孔バンドに分布する。

## 2.2 異方性の減少

ひずみはバンドの縮退を解くだけでなく、正孔エネルギーの波数ベクトル $k$ に対する依存性も変える。ここでは、波数ベクトルの方向に対する依存性、すなわち異方性について説明する。無ひずみのSiの価電子帯、特に重い正孔の波数空間における等エネルギー面は、図3(a)に示すように極

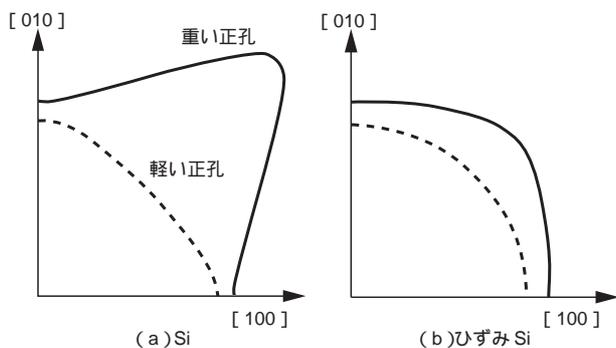


図3. Si価電子帯の異方性を説明する概念図 Si価電子帯の等エネルギー面。無ひずみSiの重い正孔バンドは異方性が大きい。ひずみにより異方性が減少する。

Schematic diagram showing anisotropy of valence band in Si

て異方性が大きい。これは、 $k=0$ における縮退の影響で重い正孔、軽い正孔の各バンド間の結合が強いためと考えられている。ひずみが増えられ、縮退が解けると図3(b)に示すように両バンドともに異方性は小さくなる。ただし、異方性の大小関係は変わらない<sup>(6)</sup>。

## 2.3 移動度の変化

こうしたバンド構造の変化により、フォノン散乱で決まる電子及び正孔の面内方向移動度はいずれも増加する。電子の移動度増大は、電子が有効質量の小さい2重縮退したバンドに分布していることに起因している。正孔においては、軽い正孔 - 重い正孔バンド間のフォノン散乱の減少と、正孔有効質量の減少の両方が寄与していると考えられている<sup>(5)</sup>。

## 2.4 表面量子化の影響

上記で示した描像は三次元バンドの理論から導かれるものである。しかし、MOSFETにおいては、チャネルはゲート電界によりゲート酸化膜/Si界面近傍に形成されるため、量子閉込めの影響と、三次元バンド間の混成を考える必要がある。

ひずみSi MOSFETの電子反転層については、移動度の実験結果と理論計算の結果はよく一致しており、定性的には三次元バンドの場合と同様に説明できる。しかし、正孔反転層においては、表面量子化を考慮した二次元のバンド理論はまだ一例しか報告されていない<sup>(3)</sup>。この文献によれば、少なくとも基底サブバンドの起源は三次元の場合と同じであることが示されている。ただし、移動度の理論値と従来報告されていた実験値との一致は極めて悪く、また、サブバンド構造の詳細については、理論的にも実験的にもまだ明らかにされていない。

## 3 ホール因子と異方性

ひずみがSi p-MOSFET中の正孔反転層の伝導特性に与えるもっとも重要な影響は、基底サブバンドが重い正孔起源のものから軽い正孔起源のものに変わることであろう。この変化を実験的にとらえるには、2章で説明したバンドの異方性を評価するのが適切と考えられる。この異方性は、実験的にはホール因子と呼ばれる量に反映される。

ホール因子は、ホール測定により得られたホール移動度と、導電率移動度の比である。この値は、十分低温で測定した場合においては、バンドの異方性だけによって決まる<sup>(7)</sup>。この場合、等方的なバンドに対してホール因子は1になる(ホール移動度 = 導電率移動度)。一方、異方性の大きいバンドに対するホール因子は1より小さくなる(ホール移動度 < 導電率移動度)。このような違いは、ホール測定時の磁場の影響でキャリアの軌道が曲げられることに起因している。このホール因子の値として、Siの三次元の重い正孔バンドについては0.6、軽い正孔バンドについては0.966という値

が計算されている<sup>(8)</sup>。これらの値は、図3(a)に示した異方性の違いを反映している。

#### 4 ひずみ Si p-MOSFET の構造

われわれが作製したひずみ Si p-MOSFET の断面構造を図4(a)に示す。なお、通常の FET 構造のほか、ホール測定用として、ゲート、ソース、ドレイン端子以外にチャンネルの電圧降下 ( $V_{xx}$ ) 測定用端子、ホール電圧 ( $V_{xy}$ ) 測定用端子を設けた素子も作製した(図4(b))。

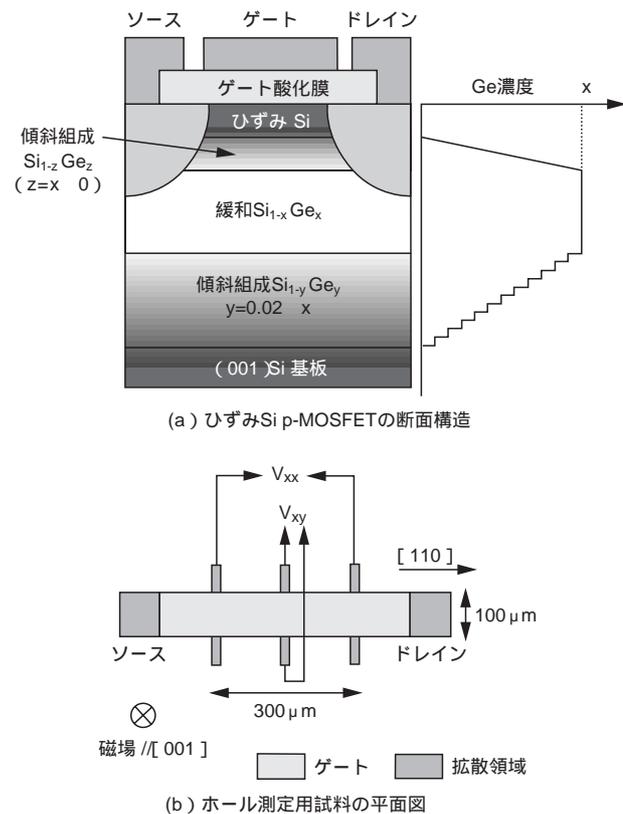


図4. 試料構造 ひずみ Si 層の結晶格子は下地の SiGe に面内方向に引張られている。  
Sample structures

これらの素子が通常の Si-MOSFET と違う点は (001) Si 基板の上に傾斜組成 SiGe バッファ層、均一組成 SiGe バッファ層、傾斜組成 SiGe 層、ひずみ Si 層が順次エピタキシャル成長されている点である。ここで、バッファ層の総厚は数  $\mu\text{m}$  に達するのに対し、ひずみ Si 層の厚みはわずか  $0.015 \mu\text{m}$  にすぎない。したがって、SiGe バッファ層はほぼ完全に格子緩和し、バルク中と同様な格子の状態であるのに対し、その上のひずみ Si 層の格子は下地の SiGe に面内方向に引張られたままの状態を保っている。バッファ層の Ge 組成  $x$  が 0.3 のとき、Si 層には面内方向に 1.2% のひずみに加えられている。

#### 5 正孔移動度の評価結果

作成した MOSFET に対するドレイン電流 ( $I_d$ )-ドレイン電圧特性の例を図5に示す。ひずみ Si MOSFET の飽和電流は、比較用の無ひずみ Si MOSFET より 30% 以上大きい。一方、ゲート容量  $C_g$  のゲート電圧  $V_g$  依存から正孔密度  $n_h^{CV}$  を求め、 $I_d$ - $V_g$  特性から正孔の実効移動度を求めた結果を図6に示す。横軸には、ゲート電界と空乏層電界によって決まる有効電界をとった。無ひずみ Si に対し、ひずみ Si の実効移動度を同じ有効電界で比較すると、最大 38% 増大している。したがって、図5で示されたひずみ Si の駆動力増大は移動度の増大によることがわかる。

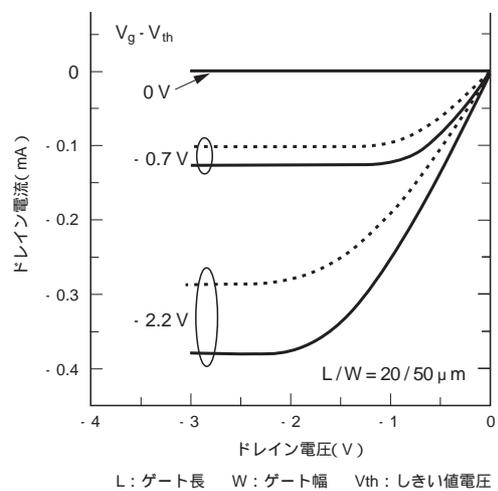


図5. ひずみ Si p-MOSFET の電流・電圧特性 実線は  $\text{Si}_{0.7}\text{Ge}_{0.3}$  上のひずみ Si p-MOSFET、破線は参照用 Si p-MOSFET を示す。ひずみ Si において、電流値が 30% 以上増大している。

Current - voltage characteristics of strained Si p-MOSFET

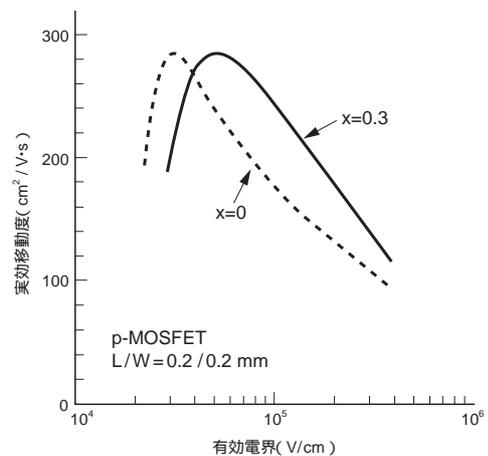


図6. 移動度の比較 実線は  $\text{Si}_{0.7}\text{Ge}_{0.3}$  上のひずみ Si p-MOSFET、破線は参照用 Si p-MOSFET を示す。ひずみ Si の実効移動度は、最大 38% 増大している。

Comparison of mobilities

室温におけるこの移動度増大率は、従来報告されてきたひずみSi p-MOSFETの値としては最大の値である。しかし、理論的に予言されている値(250%)に比べれば、まだはるかに小さい値である<sup>(3)</sup>。この極端な不一致が、単に素子作製プロセスや素子構造に起因する問題なのか、あるいは理論そのものに問題があるのかは現時点では不明である。それをはっきりさせる意味でも、ひずみSiの正孔反転層のサブバンド構造に対する理解を深める必要がある。

## 6 ホール因子の測定結果

ホール因子は、以下の手順で求めた。まず、図4(b)の試料を用い、ホール測定により正孔密度 $n_h^{\text{Hall}}$ を求めた。次に、同じ試料で磁場のない状態で $C_g - V_g$ 特性を測定し、正孔密度 $n_h^{\text{VC}}$ を求めた。移動度はキャリア密度に反比例するので、両者の比 $n_h^{\text{VC}}/n_h^{\text{Hall}}$ をとってホール因子とした。

20 Kでのホール因子の正孔密度依存性を図7に示す。バッファ層のGe組成 $x$ が0.11, 0.14, 0.19のひずみSi試料、及び参照用の無ひずみ試料( $x=0$ )に対する値が示されている。図から、ひずみSi試料はいずれも参照用試料よりもホール因子が大きく、1に近い値となっている。この温度では、いずれの試料においても正孔は基底サブバンドにだけ分布していると考えられる。したがって、この結果は、ひずみSiの基底サブバンドの異方性が無ひずみSiに比べ小さくなっていくことの証拠である。

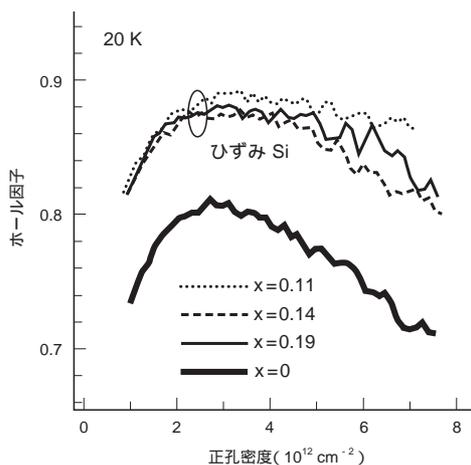


図7. 20Kでのホール因子の正孔密度依存の比較 ひずみSi試料はいずれも参照用試料よりもホール因子が大きいため、ひずみSiの基底サブバンドの異方性が無ひずみSiに比べ小さいことがわかる。  
Comparison of Hall factors at 20 K

一方、ひずみSi どうして比較すると、 $x$ の値(ひずみ量)に対する依存は小さい。これは、 $x=0.11$ の試料に対応するひずみ量で、既に基底サブバンドがかなり等方的になっている

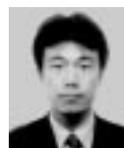
ことを示している。更に、ホール因子の温度依存より、ひずみSiにおける第一励起サブバンドの異方性が基底サブバンドに比べ大きいことも示された<sup>(7)</sup>。これらの結果は、ひずみSiの正孔反転層の基底サブバンドが軽い正孔バンドの性質を持っていることを示している。従来、Siの正孔反転層の基底状態が、ひずみの効果で重い正孔起源のバンドから軽い正孔起源のバンドへと入れ替わることは理論的に予測されていた<sup>(3)</sup>。今回得られた実験結果は、この理論的予測を初めて裏づけるものである。

## 7 あとがき

ひずみSiにおける正孔反転層の基底サブバンドが、軽い正孔バンドの性質を持っていることを初めて実証した。今後は、有効質量など、他のバンドパラメータに関する評価も進めていく。これらの知見を総合することにより、正孔移動度増大のメカニズムを理解し、更に大きな移動度を持つ素子の開発へとつなげていきたい。

## 文 献

- (1) Nayak, D. K., et al. High-mobility p-channel metal-oxide-semiconductor field-effect transistor on strained Si. Appl. Phys. Lett. 62, 22, 1993, p.2,853 - 2,855.
- (2) Welsler, J., et al. Strain dependence of the performance enhancement in strained-Si n-MOSFETs. IEDM Technical Digest, 1994, p.373 - 376.
- (3) Oberhuber, R., et al. Subband structure and mobility of two-dimensional holes in strained Si/SiGe MOSFETs. Phys. Rev. B 58, 15, 1998, p.9,941 - 9,948.
- (4) Rim, K., et al. Enhanced hole mobilities in surface channel strained-Si p-MOSFETs. IEDM Technical Digest, 1995, p.517 - 520.
- (5) Fischetti, M. V.; Laux, S. E. Band structure, deformation potentials, and carrier mobility in strained Si, Ge, and SiGe alloys. J. Appl. Phys. 80, 4, 1996, p.2,234 - 2,252.
- (6) Manku, T.; Nathan, A. Valence energy-band structure for strained group-IV semiconductors. J. Appl. Phys. 73, 3, 1993, p.1,205 - 1,213.
- (7) Tezuka, T., et al. Experimental evidence of valence band deformation due to strain in inverted hole channel of strained-Si pMOSFETs. Thin Solid Films, 369, 1-2, 2000, p.340 - 343.
- (8) Lin, J. F., et al. Theoretical analysis of Hall factor and Hall mobility in p-type silicon. Solid-State Electron. 24, 9, 1981, p.827 - 833.



手塚 勉 TEZUKA Tsutomu

研究開発センター LSI 基盤技術ラボラトリー研究主務。  
半導体レーザー及び高速半導体電子素子の研究・開発に従事。応用物理学会、日本物理学会会員。  
Advanced LSI Technology Lab.



杉山 直治 SUGIYAMA Naoharu, D. Eng.

研究開発センター LSI 基盤技術ラボラトリー研究主務、  
工博。半導体薄膜結晶成長技術の研究・開発に従事。  
応用物理学会、日本真空協会会員。  
Advanced LSI Technology Lab.



黒部 篤 KUROBE Atsushi, Ph.D.

研究開発センター LSI 基盤技術ラボラトリー室長、理博。  
低次元系半導体電子デバイス・光デバイスの研究に従事。  
日本物理学会、応用物理学会、IOP、OSA、IEEE 会員。  
Advanced LSI Technology Lab.