

# BSデジタルハイビジョンテレビ用LSI

LSI Chip Set for BS Digital HDTV Receivers

桜井 優  
SAKURAI Masaru

澤 繁隆  
SAWA Shigetaka

石川 達也  
ISHIKAWA Tatsuya

吉岡 健次  
YOSHIOKA Kenji

甲斐 直行  
KAI Naoyuki

名古屋 哲雄  
NAGOYA Tetsuo

池田 一雅  
IKEDA Kazumasa

真中 重之  
MANAKA Shigeyuki

奥山 武彦  
OKUYAMA Takehiko

新舟 剛夫  
ARAFUNE Takeo

BS(放送衛星)を利用したデジタル放送は、高品位な映像(HDTV: High Definition TeleVision)と音声の伝送、多彩なマルチメディアデータ放送を大きな特長としている。BSデジタル放送を受信するBSデジタルハイビジョンテレビにおいては、デジタル信号処理用LSIの開発が大きな鍵(かぎ)となる。

当社は、ARIBの技術基準と運用規定に準拠し、テレビセットとしての要求仕様を満たすBSデジタルハイビジョンテレビ用LSIチップセットを開発した。システム構成としては、8PSK復調(TC90A54F)、MPEG映像/音声処理(TC90A55TB)、映像/グラフィック処理(TC90A56TB)、IEEE1394<sup>(注1)</sup>処理(MB86617)、コピープロテクション(TC81501F)の5種のLSIから成り、32ビットRISCプロセッサ(TX3927)によって全体が制御される。

このLSIは、ファームウェアの切換えによりBSデジタル放送だけでなく、CS(通信衛星)デジタル放送、米国DTV(Digital TeleVision)/衛星放送にも対応することが可能となっている。

Broadcast satellite (BS) digital broadcasts offer high-quality video (i.e., HDTV) and audio, and a variety of multimedia data broadcast services. Digital signal processing LSIs are key components of BS digital broadcast receivers.

Toshiba has developed an LSI chip set that conforms with the specifications of the Association of Radio Industries and Businesses (ARIB) as well as TV receiver set requirements. It consists of an 8-PSK demodulator (TC90A54F), an MPEG audio/video decoder (TC90A55TB), a video/graphics processor (TC90A56TB), an IEEE1394 interface (MB86617), and a copy protection processor (TC81501F). A 32-bit RISC processor (TX3927) controls the whole chip set.

This LSI chip set can be used not only for BS broadcast receivers, but also for communications satellite (CS) broadcast receivers and U.S. DTV/DBS receivers by changing the firmware.

## LSIのシステム設計と概要

### LSI System Design and Specification

#### 1 まえがき

2000年12月から本放送が開始されるBSデジタル放送においては、高効率の変調方式(トレリス8相位相変調(8PSK))、高品位の映像/音声の伝送(HDTV映像とAAC(Advanced Audio Coding)音声)、XML(eXtended Markup Language)ベースのデータ放送、などが主な特長となっている。

これらの機能を受信及び表示するためには、大規模なデジタル信号処理用LSIが必要となるが、その開発においては、全体のシステム設計、すなわちLSIのパーティショニング(分割)、ハードウェアとソフトウェアの切分け、MPU(Micro Processing Unit)との接続、などが重要なポイントとなる。

当社のLSIシステムにおいては、システム設計の指針とし

て、次の点を重視した。

- (1) 電波産業会(ARIB)の技術基準と運用規定に準拠する。
- (2) アナログ放送受信も含めたテレビセットとしての必要機能をすべて実現する。
- (3) テレビセット設計の負担の軽減を配慮しながら、ハードウェアとソフトウェアの良好なバランスを求める。
- (4) メモリとLSIプロセスを考慮しつつ、最良のコストパフォーマンスを目指す。

また、他の放送方式への対応、将来への拡張性も配慮した。他方式への対応としては、映像は国内BSデジタル放送、米国ATSC(Advanced Television Systems Committee)フォーマット、欧州DVB(Digital Video Broadcast)方式に対応し、音声はAAC、ドルビー<sup>(注2)</sup>デジタルAC-3<sup>(注3)</sup>、MPEG(Moving Picture Experts Group)音声に対応している<sup>1)</sup>。また、トランスポートストリーム(TS: Transport Stream)の

(注1) IEEEは米国電気電子学会のことで、IEEE1394は、そこで定められたデジタルインタフェースの規格の一つ。

(注2)(注3) ドルビー及びAC-3は、Dolby Laboratories Corporationの商標。

処理は、柔軟性を持った専用プロセッサで行うことにより<sup>2)</sup>、BSデジタル放送、国内CS放送、米国DTV放送、米国衛星放送に対応することが可能となっている。

ここでは、LSIの全体システム設計とLSIの概要について述べ、後続の各編では個別LSI設計の詳細について述べる。

## 2 LSIシステムの構成と特徴

全体のLSIシステム構成を図1に示す。8PSK復調用LSI(TC90A54F)、MPEG映像/音声処理用LSI(TC90A55TB)、映像/グラフィック処理用LSI(TC90A56TB)、IEEE1394用LSI(MB86617)、コピープロテクション用LSI(TC81501F)の5個のLSIから成る。

8PSK復調用LSI TC90A54Fは、8PSK/4相位相変調(QPSK)/2相位相変調(BPSK)の3モードで伝送されてくるBS放送波の位相復調を行い、デインタリーブ<sup>(注4)</sup>、誤り訂正を経て、TSデータを出力する。位相ジッタやケーブル反射などに耐性のある、高性能な受信特性の実現を目標とした。

MPEG映像/音声処理用LSI(TC90A55TB)は、TSから

映像/音声データを抽出するTSプロセッサ、CAS(Conditional Access System: 限定受信)用のデスクランブラ、HDTVとマルチSDTV(Standard Definition TV)を復調するMPEG映像用デコーダ、5.1チャンネルAAC音声を復調するDSP(Digital Signal Processor)などから成る。ハードウェア/ソフトウェアのバランスをとり、種々の方式に柔軟に対応できること、及び、チップサイズと消費電力の低減を目標とした。

映像/グラフィック処理用LSI TC90A56TBは、映像信号のフォーマット変換とスケーリング/ウィンドウ処理、外部映像信号との合成、データ放送のグラフィック表示などの機能を持つ。このLSIは、テレビセット機能とデータ放送仕様にもっとも密接に関連するLSIとなっている。従来の映像信号処理技術と、MPUベースのグラフィックス処理を統合したLSIアーキテクチャの実現を目指した。

IEEE1394処理用LSI MB86617はブリッジ/リンク層処理と物理層入出力回路から成り、コピープロテクション用LSI TC81501Fは、IEEE1394信号の暗号/復号回路及び鍵認証用のプロセッサから成る。この二つのLSIの組合せによって、2チャンネルのTSの同時伝送が可能となっている。これらの

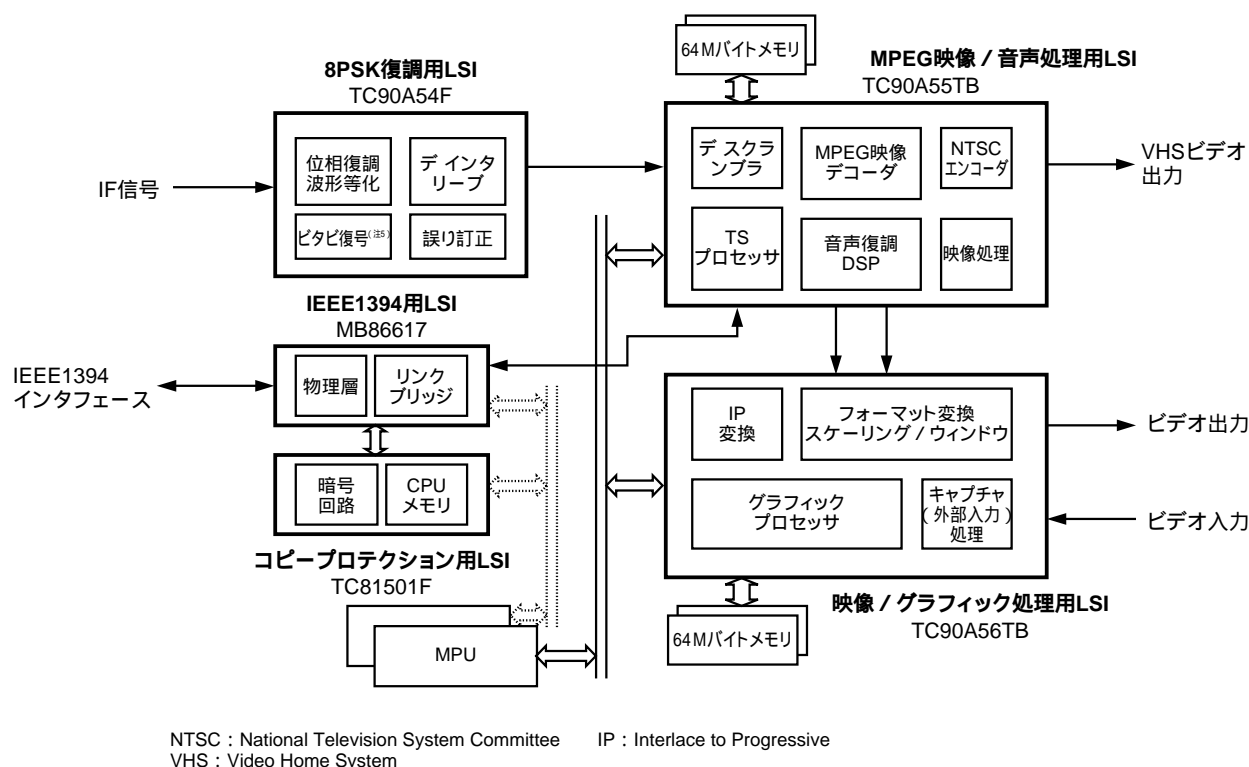


図1. BSデジタルハイビジョンテレビ用LSIシステム    ARIB仕様に準拠し、5チップ構成から成る。  
BS digital HDTV LSI system

(注4) 誤りを分散させるために、並べ替えて送信されたデータを元に戻すこと。

(注5) 誤り訂正の復号処理のことで、たたみ込み符号を復号するアルゴリズム。

表 1 . LSI諸元  
Specifications of BS digital TV LSIs

LSI名	構成要素 / 機能	素子数 / 平均電力	パッケージ
TC90A54F	A/D変換 ,PSK復調 ,ピタビ復号 , 誤り訂正 ,デインタリーブ , キャリヤ再生 ,適応等化	7,400 × 10 <sup>3</sup> トランジスタ / 0.64 W	80 QFP
TC90A55TB	デスクランブラ ,TS復調 , MPEG映像デコーダ ,音声デコーダ , 映像出力処理 ,NTSCエンコーダ	11,700 × 10 <sup>3</sup> トランジスタ / 2.1 W	480 BGA
TC90A56TB	映像フォーマット変換 , 適応順次走査変換 , スケーリング / ウィンドウ処理 , キャプチャ処理 ,高精細グラフィック , D/A変換	8,550 × 10 <sup>3</sup> トランジスタ / 2.3 W	480 BGA
MB86617	ブリッジ処理 ,リンク層処理 , 物理層入出力回路	1,220 × 10 <sup>3</sup> トランジスタ / 1.0 W	176 LQFP
TC81501F	DTCP暗号 / 復号回路 , 鍵認証回路 ,EEPROM	540 × 10 <sup>3</sup> トランジスタ / 0.35 W	100 QFP

A/D : アナログ / デジタル      D/A : デジタル / アナログ  
DTCP : Digital Transmission Content Protection  
EEPROM : Electrically Erasable and Programmable ROM  
QFP : Quad Flat Package      BGA : Ball Grid Array

LSI設計においては ,回路の小型化と処理速度の向上 ,及び  
鍵の秘匿性を重視した。

3 MPU / バス構成

ホストMPUとしては ,108 MHz動作の32ビットのRISC  
( Reduced Instruction Set Computers )プロセッサTX3927  
を使用した。MPEG処理用LSI TC90A55TBと映像 / グラ  
フィックス処理用LSI TC90A56TBは ,32ビットのバス インタフ  
ェースによってMPUと接続される。二つのLSIの外部  
SDRAM( Synchronous DRAM : 64 Mバイト )と内部レジス  
タ群のアドレスは ,すべてMPUのメモリ空間上に定義がな  
されており ,MPUからのランダムアクセスとDMA( Direct  
Memory Access )転送ができる。この結果 ,データ放送 ,  
EPG( Electronic Program Guide ) ,グラフィックス表示など  
における ,大量のデータの効率良い転送が可能となっている。

MPEG映像音声処理用LSI TC90A55TBは ,TS復号 ,  
MPEG映像処理 ,音声処理用に専用プロセッサを内蔵して  
おり ,また ,映像変換グラフィックス処理用LSI TC90A56TBは ,  
フォーマット変換 / グラフィックス処理のためのプロセッサを  
内蔵している。これらの専用プロセッサはMPUとは独立に  
動作し ,必要に応じて割り込み信号を返すことによってMPU  
と通信する。専用プロセッサを動かすソフトウェア( ファー  
ムウェア )は ,MPUバスを介してLSI内部のプログラムRAM  
にダウンロードされる。これによって ,異なる放送システム  
にも即時に柔軟に対応することが可能となっている。

4 LSI開発手法

このLSI開発では ,設計言語としてVerilog<sup>(注6)</sup>を使用した。

動作検証は ,コンピュータによるRTL( Register Transfer  
Level )検証が主体であるが ,ハードウェアの動作確認の目  
的のために ,規模の小さいLSIではFPGA( Field  
Programmable Gate Array )による実機検証を行い ,回路  
規模の大きなLSIでは ,ハードウェア エミュレータを使用し  
た。RTL検証だけでは設計ミスや記述ミスを完全に防ぐの  
は難しく ,回路規模が大きいと検証時間も非常に長くなる。  
このため ,準リアルタイム動作が可能であるハードウェア エ  
ミュレータを併用することは ,開発効率の向上には非常に有  
効なものとなる。

5 LSIの諸元

各LSIの諸元を表1に示す。主要品種は ,0.25 μm CMOS  
( Complementary MOS : 相補型金属酸化膜半導体 )プロセ  
スを使用している。消費電力は2.3 W以下 ,チップサイズは  
10.6 mm角以下であり ,民生用LSIとしては十分な低コスト  
と性能を実現することができた。

6 あとがき

BSデジタルハイビジョンテレビ用LSIとして ,目標性能と機  
能を満たすチップセットを開発した。今後 ,デジタルテレビ  
は ,現行のアナログテレビに順次置き換わっていくとともに ,  
家庭用情報端末として更に進化していくものと考えられる。  
この第1世代LSIシステムをベースとして ,次世代のLSI開発  
にも注力していきたい。

( 桜井 / 澤 )

( 注6 ) Verilogは ,米国Cadence Design Systems社の商標。

## 8PSK復調用LSI

Trellis Coded 8-PSK Demodulator and Decoder LSI for Japanese BS Digital Broadcasting

### 1 まえがき

階層の変調が可能なBSデジタル放送方式の受信システムでは、8PSK( 8-Phase Shift Keying )復調における機器の固定劣化を小さく抑えることと、QPSK( Quadrature PSK )及びBPSK( Binary PSK )変調での低C/N( Carrier to Noise ratio )受信性能を確保することが重要である。

また、既に広く普及したアナログBS用のインフラストラクチャ( 以下、インフラと略記 )を活用できることも求められる。このため、既設アンテナ付属の周波数変換器による位相雑音や、集合住宅での共同受信設備におけるケーブル反射なども、受信システムにおける性能上の課題となる。

今回開発した8PSK 受信用LSI TC90A54Fは、すべての受信機能を小型パッケージに集積化した。更に、アナログのインフラに対応するため、位相ジッタ追従性の良いキャリア再生PLL( Phase Locked Loop )を採用するとともに、ブラインド適応等化器を内蔵した。

以下に、TC90A54Fの概要と、特長となる機能について述べる。

### 2 8PSK受信用LSIの概要と特長

#### 2.1 概要

TC90A54Fの基本構成を図2に示す。信号処理クロックは、4 MHzから27 MHzの任意周波数の水晶発振子を直接接続して発生できる。更に、基準クロックとして外部から供給することもできる。A/D変換は、入力信号に非同期なクロックにより行われ、後段の補間回路で同期化される。このため、BSデジタルのシンボル周波数 28.86 MHzだけでなく、CSデジタルの21.096 MHzにも容易に変更できる。内蔵された可変帯域幅デジタルフィルタを併用することで、簡単にBS/CS共用機能を実現できる構成となっている。

出力はMPEG TSである。2系統独立端子に加え、時分割多重形式で最大4 TSを同時に出力でき、1系統に2 TSを多重することもできる。

TC90A54Fの基本仕様を表2に示す。キャリア及びクロック周波数の引込みは、十分広い範囲を満足している。また、各変調方式におけるビット誤り率特性の固定劣化は、各変調方式でほとんど差はなく、C/N換算で0.5 dB以下と良好である。

#### 2.2 特長

2.2.1 適応等化器 TC90A54Fは、ブラインド動作可能な判定帰還型波形等化器を採用しており、最大遅延時間280 nsまでのケーブル反射を等化できる。D/U( Desire to Undesire ratio )10 dB、遅延時間100 nsの反射波を合成した

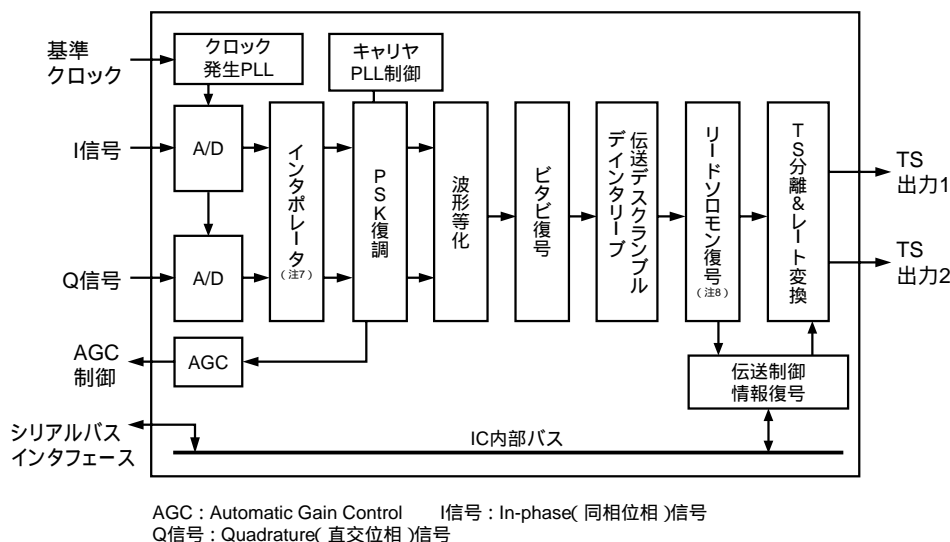


図2 . TC90A54Fの構成    受信機能をワンチップに集積化するとともに、波形等化器も内蔵して劣悪な環境での高性能化を図っている。  
Configuration of TC90A54F

( 注7 ) データを非同期サンプリングした後、正規のタイミングでリサンプリングする補間演算器。

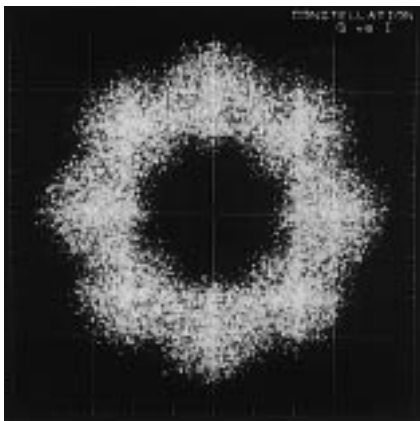
( 注8 ) 誤り訂正の復号処理で、ブロック符号の一種であるリードソロモン符号を復号する処理。



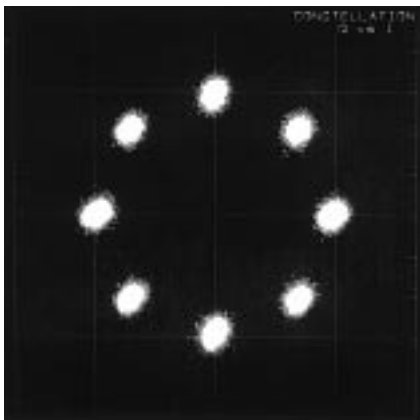
表 2 . TC90A54Fの基本仕様  
Basic specifications of TC90A54F

項 目	仕 様
入力インタフェース	I 及びQ入力, 1 Vp-p
出力インタフェース	2系統独立TS(最大4系統)
クロック周波数	4 ~ 27 MHzの任意周波数
電 源	2.5 V( 入出力(I/O)部 3.3 V)
パッケージ	80ピンQFP( 12 mm × 12 mm )
周波数引込み範囲	キャリア ± 5 MHz , クロック ± 200 ppm
所要C/N特性 (リードソロモン訂正後 ビット誤り率 = $3 \times 10^{-6}$ )	BPSK( 畳込み符号化レート : 1/2 ) C/N = - 0.5 dB( typ. )
	QPSK( 畳込み符号化レート : 1/2 ) C/N = 2.5 dB( typ. )
	8PSK( トレリス符号化レート : 2/3 ) C/N = 8.0 dB( typ. )

例を図 3 に示す。等化器がない場合にエラーフリーとなる C/N は 12.8 dB であるが , 等化器を用いると 9.6 dB になり , 3 dB 以上改善された。



( a ) 等化なし



( b ) 等化あり

図 3 . 適応等化器の動作例 TC90A54F に内蔵された等化器で D/U=10 dB , 遅延時間 100 ns の反射を等化した。  
Example of equalizer performance

2.2.2 キャリア再生 PLL 位相雑音が悪い場合でも , 同期引込みと誤り率特性を良好に保つには , 位相追従性の良いキャリア再生 PLL が必要である。TC90A54F は , ループ内遅延を最小にして高速化した同期引込み専用 PLL と , C/N 及び位相ジッタに応じてループ帯域を適応制御する PLL を切り換えて使用する。この結果 , C/N = 0 dB においても , 0.3 s で同期引込みが達成された。また , 図 4 に示すように位相雑音に対する所要 C/N が改善された。

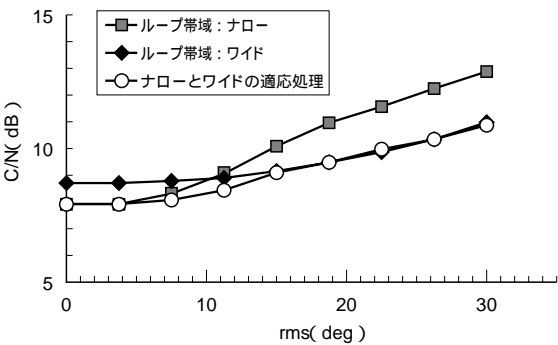


図 4 . 位相雑音に対する復調特性 ループ帯域( ワイドとナロー ) を適応制御するキャリア再生 PLL を採用し , 復調特性を改善した。  
Required C/N of demodulator

3 ICプロセスとレイアウト

TC90A54F は , 二つの A/D 変換とクロック PLL のアナログ回路 , ロジック回路及びデインタリーブメモリ回路などを混載し , 0.25 μm CMOS プロセス , 総素子数は  $7,400 \times 10^3$  トランジスタである。チップのレイアウトを図 5 に示す。

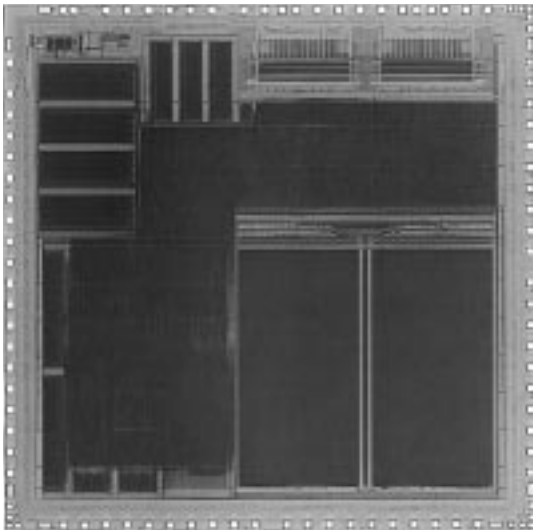


図 5 . TC90A54F のチップ A/D 変換 , PLL などのアナログ回路とロジック及びメモリを混載した。  
Chip photograph of TC90A54F

## 4 あとがき

今回開発したBSデジタル放送用の8PSK受信用LSI TC90A54Fの概要と特長を述べた。階層変調における基本性能を追求すると同時に、既存BSインフラでも良好な受信性能を得ることができた。  
(石川 / 吉岡)

## 2 MPEG映像 / 音声処理用LSI TC90A55TBの特長

TC90A55TBの機能の概要を表3に、基本構成を図6に示す。ワンチップ内に、MPEG2のTSを処理するTSP( TS Processor )、CAS用のデスクランブル機能、HD( high

表3 . TC90A55TBの機能概要

Functions of TC90A55TB

項 目	仕 様
T S 処理 関連	TS入力
	TS出力
	セクションフィルタ
	PES処理
オーディオ 処理機能	対応フォーマット
	対応フォーマット
ビデオ 処理機能	デコード能力
	ビデオ出力
	NTSCエンコーダ

PES : Packetized Elementary Stream  
ATSC : Advanced Television Systems Committee  
SMPTE : Society of Motion Picture and Television Engineers  
ITU : International Telecommunication Union  
Y/C : 輝度信号 / 色信号

## MPEG映像 / 音声処理用LSI MPEG Video/Audio Processing LSI

### 1 まえがき

2000年から開始される国内BSデジタル放送に向けたチップセット開発の一環で、MPEG2のTS、ビデオ、オーディオのデコードを分担するHDTV用MPEG映像 / 音声処理用LSIを開発した。

このチップは、国内BSデジタル放送だけでなく、CSデジタル放送、米国のDTV、DSS( 米国衛星放送 )、DVBなどにも対応することができる。

以下に、このLSIの概要と特長について述べる。

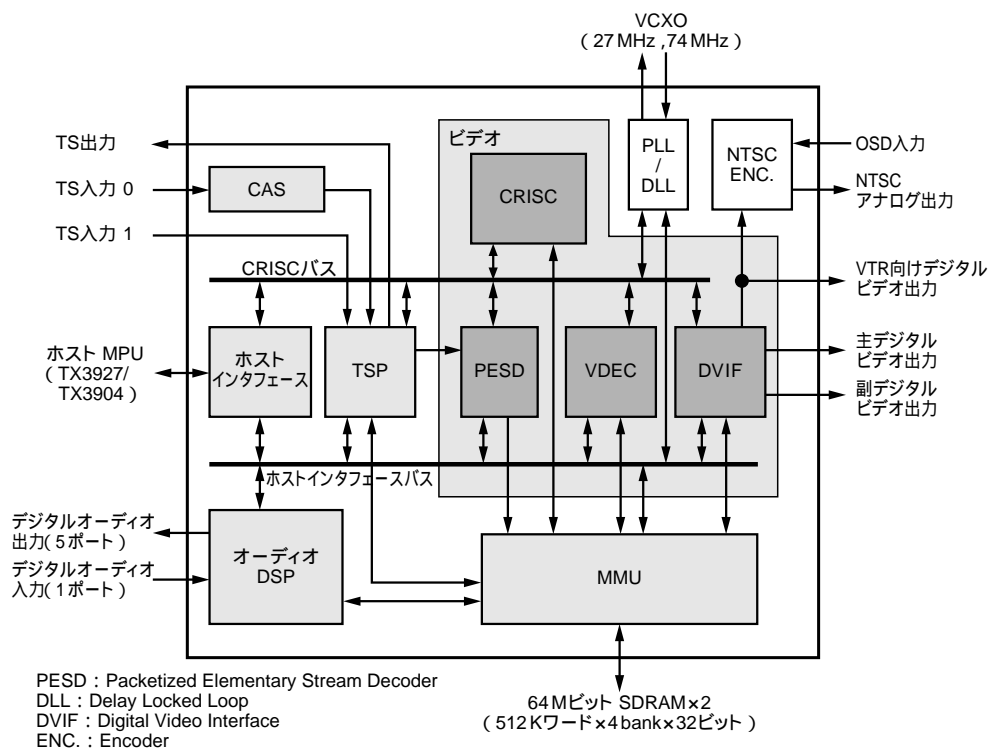


図6 . TC90A55TBの構成 MPEG2 TS / ビデオ / オーディオデコーダ、デスクランブラ、NTSCエンコーダがワンチップに集積されている。  
Internal structure of TC90A55TB

definition)用のMPEGビデオデコーダ,各種オーディオ圧縮標準に対応可能なオーディオDSP,NTSCビデオエンコーダを集積している。

## 2.1 クロック系

TC90A55TBのクロック系は,次のようになっている。TSから抽出したタイムスタンプ情報を基に,外部のVCXO(Voltage Controlled Crystal Oscillator)を制御して,MPEG2同期の基準となる27 MHzクロックを再構成する。この27 MHzから内蔵PLLで生成した121.5 MHzクロックが,LSIの動作クロックとなる。半数程度のもジュールは,既存の設計資産(IP: Intellectual Property)を利用したこと,及び消費電力の観点から,半分の60.75 MHzを動作クロックとしている。また,HDTVのビデオ表示クロックの74 MHzもVCXOを用いて生成している。

## 2.2 モジュールTSP

TSPは2系統のTS入力を持ち,2TSの同時処理が可能である。これにより,二つのチューナを持つシステム構成やIEEE1394インタフェース用LSIからのTS出力の接続が可能になる。2系統のTS入力の片方には,CAS用のデスクランブルモジュールが接続されている。TSPは,プロセッサ+専用ハードウェアの構成を採っており,ダウンロードするプログラムの変更で,機能を柔軟に変更することができる。

国内BSデジタルだけでなく米国DTV,更にはMPEG2システム標準を用いていないDSSへの対応も可能である。

MPEG2のTSでは,オーディオ,ビデオストリーム以外のデータは,セクションと呼ばれる形式で送られてくる。TSPはセクションフィルタ処理加速のためのハードウェア機構を持っており,48種のセクションフィルタまでの高速処理が可能である。このTSPモジュールは,セットトップボックス<sup>(注9)</sup>用MPEG2デコーダ<sup>(3)</sup>で用いたTSPをベースに,機能を強化したものである。

## 2.3 ビデオデコーダ

ビデオ部は,国内ARIBで規定するフォーマット,ATSCの18フォーマット,DSSなどの任意の入力フォーマットをデコード可能なMPEG2ビデオデコーダで,SDTV 4チャンネルの同時デコード/表示,HDTVとSDTVのストリームの同時デコード/表示が可能である。

VDEC(Video DECoder)部は,今回新規に開発したMPEGデコードエンジンで,比較的小さな回路規模ながらデータレート243 MHzのIDCT(Inverse Discrete Cosine Transform),2並列の文法解釈/VLD(Variable Length Decoder)エンジンを内蔵しており,HDTVデコード,4チャンネルのSDTV並列デコードはもちろん,TC90A55TBの特長であるHDTVとSDTVの同時デコードを余裕を持って行うことができる。ビデオのES(Elementary Stream)は4チ

ャンネルまで同時デコードが可能であり,更に5チャンネル分のSTD(System Target Decoder)バッファをSDRAM中に構成することができる。これによって,国内BSデジタル放送で予定されている,SDTV 3チャンネルからHDTVへの切替わり,あるいはその逆の場合に,SDTVの1チャンネルの内容とHDTVの内容が連続して再生される,いわゆる“シームレス再生”を可能にしている。

ビデオ表示機能としては,HDTV出力の主ビデオ出力,SD(Standard Definition)出力の副ビデオ出力,ビデオ出力,の3系統を持っている。このTC90A55TB単独で基本的な表示機能を持っており,主ビデオ出力にはHD動画のほかに,4チャンネルまでのSD動画のデコード画像を貼(は)り付けて出力することも可能である。更に,チップセットとして同時開発した映像/グラフィックス処理用LSI TC90A56TBとの組合せで,多彩な表示機能が可能になるように,多くの表示モードを持っている。HDTVとSDTVの同時デコード時は,後段のTC90A56TBで画像の重ね合わせができるように,副ビデオ出力ポートにSD画像を出力する。VTR出力では,任意の入力ビデオフォーマットのデコード結果を480i(画像フォーマットの有効ライン数:480のインタレース信号)にフォーマット変換して出力する。VTR用出力は,NTSCエンコーダによりNTSCアナログ出力(コンポジット及びY/C)として出力される。NTSCエンコーダは,コピープロテクション機能,クローズドキャプションのエンコード機能を持っている。

データ放送に対応するため,ビデオデコーダはベースラインJPEG(Joint Photographic Experts Group)のデコード機能も持っている。デコードされた静止画像を出力する手段として,主ビデオ出力の垂直帰線期間を利用したデータ転送機構も用意されている。これも入れると,論理的に四つの画像出力手段を持つことになる。

## 2.4 オーディオDSP

オーディオDSPは,当社のオーディオDSP TC9446相当である。プログラムをロードすることで,AAC,ドルビーデジタルAC-3,MPEGオーディオレイヤ2などのオーディオ標準の圧縮ストリームをデコードすることができる。また,汎用的なDSPであるので,3D(三次元)サラウンド機能なども実現できる。オーディオ出力は5系統あり,例えば3系統を5.1チャンネル出力,1系統を2チャンネルのダウンミックス出力,1系統をESの出力に割り当てることができる。

## 2.5 MMU

TC90A55TBは,データ幅が32ビットの64 MビットSDRAMを動作クロック121.5 MHzで2個並列に使用する。一般に,MPEG処理のLSIではメモリのバンド幅の消費が大きく,高い実効バンド幅の確保がポイントとなる。TC90A56TBは多岐にわたる目的に外部SDRAMを使用しており,HDとSDを同時デコード/表示し,VTR出力も行うというもっとも厳しいケースでは,SDRAMの要求バンド幅

(注9) BS,CS,地上波の放送や,インターネット網などから情報を得る端末機器。

は、極めて高くなる。MMU( Memory Management Unit )モジュールでは、以下に述べる方法で高い実行バンド幅を確保しつつ、これらの要求を処理している。

高い実効バンド幅確保のために、各モジュールからのアクセス要求 / 調停、SDRAMアクセスがパイプライン動作になるように、内部にキューを持ち、SDRAMの4 bank構成をフルに利用してバンド幅のロスを極力防いでいる。また、各アクセス要求間の調停では、固定の優先度の方式は採らず、低優先度の要求であっても、要求を出し続けていれば優先度に応じた一定のバンド幅が確保される方式を用いた。これにより、低優先度のアクセスが高優先度のアクセスにブロックされて、長期間サービスを受けられない事態を避け、また必要な内部バッファ量の増大も防いでいる。

図6の構成図で特徴的なことは、SDRAMデータを転送するための高バンド幅バスがないことである。論理的な“メモリバス”は、MMUの中にだけ存在する。低速なデータ転送については、MMU内にキャッシュやFIFO( First In First Out )を持ち、低レート( 少ビット幅 )で各モジュールとの間で転送をしている。これは、回路規模上のメリットと、広いビット幅で高速の双方向バスをチップ内に引き回す必要がなくなることによる、LSIレイアウト上のメリットをねらっている。

## 2.6 ファームウェア及びデバイスドライバ

TC90A55TBの中には、TSP、ビデオ部の制御用プロセッサ( CRISC : Control RISC )、オーディオDSP、INTRAモジュール内のプロセッサ( IRISC : Internal RISC )の計4種、5個のプロセッサが存在し、それぞれにファームウェアが必要である。IRISCだけは命令メモリがROMであるが、CRISCはあらかじめSDRAMにロードしたプログラムを命令キャッシュ経由で実行する。TSP、オーディオDSPは、内蔵命令RAMにコードをダウンロードする方式である。

ホストのアプリケーションプログラムからTC90A55TBを使用するためのAPI( Application Program Interface )も用意されている。このAPIは、TSP用、オーディオ用、ビデオデコード用という、比較的独立性の高い3種類のAPIから成る。

## 2.7 TC90A55TB概要

TC90A55TBの諸元を表4に、チップ写真を図7に示す。

表4 . TC90A55TBの諸元  
Specifications of TC90A55TB

項 目	仕 様
パッケージ	T-BGA 480ピン
プロセス	0.25 $\mu$ m CMOS
電源電圧	+2.5V( コア )、+3.3V( I/O )
ランダム部ゲート数	820 $\times$ 10 <sup>3</sup>
素子数	11,700 $\times$ 10 <sup>3</sup> トランジスタ
チップサイズ	10.6mm
消費電力	2.1W

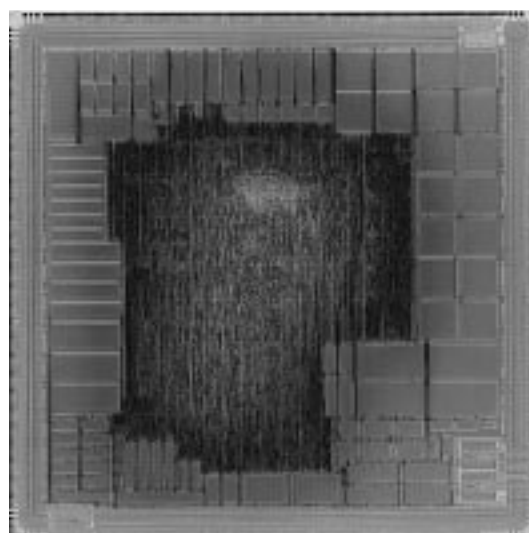


図7 . TC90A55TBのチップ写真  
Chip micrograph of TC90A55TB

設計言語にはVerilogを用い、検証にはRTLシミュレーションとハードウェアエミュレータを併用した。テスト設計にフルスキャンとRAM-BIST( Built In Self Test )を採用し、98 %以上の高い故障検出率を得ている。

## 3 あとがき

国内BSデジタル放送など、多くのデジタル放送規格に対応できるHDTV用MPEG映像 / 音声処理用LSI TC90A55TBの概要について述べた。

今回の第一世代チップセットの開発をベースに、市場動向に対応して、映像 / グラフィックス処理部との統合を行い、ホストCPU、周辺ロジックを取り込んだ、次世代のLSI開発を実施していきたい。  
( 甲斐 / 名古屋 )

## 映像 / グラフィックス処理用LSI Video and Graphics Processor

### 1 まえがき

2000年からBSデジタル放送が始まり、新しくデータ放送も開始される。これらの放送は、文字、図形、画像、音声、制御情報などのデータを組み合わせて放送される。受信機側では、電子番組表( EPG )、番組予約、字幕、文字スーパー、番組補完情報の入手など、多種多様なサービスが可能となる。

当社では 動き適応三次元Y/C分離 / ノイズリダクション<sup>(4)</sup>、



ダブルウィンドウ機能 , 高画質順次走査変換及びフォーマット変換<sup>(5)</sup> , テレビ用グラフィックスなど , デジタル映像信号処理システムを継続的に開発し , テレビ , セットトップボックス , DVD<sup>(6)</sup> , VTR など様々な製品に搭載してきた。培ってきたデジタル映像信号処理技術にデータ放送対応の新技术を加えて , BSデジタルハイビジョンテレビ用バックエンド処理システム , 及びそれを実現した映像 / グラフィックス処理用 LSI TC90A56TB を開発した( 図 8 )。

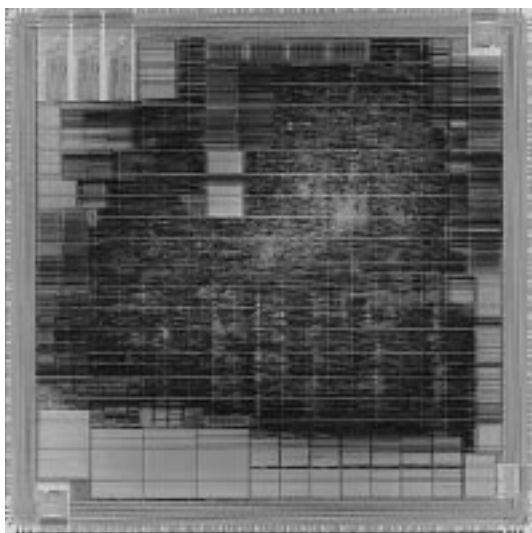


図 8 . バックエンド処理用 LSI TC90A56TB の外観      映像処理とグラフィックス処理が HDTV 信号で可能である。  
TC90A56TB video and graphics back end processor LSI

このシステムは , SDTV 信号から HDTV 信号まで映像信号処理とグラフィックス処理が可能な高性能バックエンド処理システムである。主な機能として , 映像信号処理系には , 映像信号フォーマット変換 , スケーリング , ポジショニング , 1 画面表示 , マルチ画面表示 , 順次走査変換がある。グラフィックス処理系には , 複数プレーン<sup>(注10)</sup>の処理 , 領域塗りつぶし( FILL ) , 領域転送( BitBlit ) , ブレンド( 合成 )がある。

## 2 システムの特長と概要

### 2.1 特長

今回開発したシステムは , HDTV 映像及び HDTV グラフィックス画像を複数同時に処理できる , BS デジタルハイビジョンテレビ用バックエンド処理システムである。映像データ , グラフィックスデータを並列にキュー<sup>(注11)</sup>に投入し , 処理を行う。キュー出力データを連続画像信号として , リアルタイムに

処理する。

バックエンド処理システムの開発ポイントは下記の3点である。

- (1) 様々なフォーマットの入力映像信号を , 所望のフォーマット映像信号に高画質に変換する。
- (2) データ放送にフル対応するグラフィックス処理 , 映像信号処理機能を持つ。
- (3) 多採なマルチ画面機能 , 柔軟な表示機能を持つ。

### 2.2 概要

バックエンド処理システム構成は , ブロック構成とし , 更に , ユニットと呼ぶ処理単位を持つ階層化構成とした。このシステムの制御は , ホスト MPU と内蔵 16 ビット RISC プロセッサ , MCU( Master Control Unit )で行う。ソフトウェアは , MCU 用ファームウェアとホスト MPU 用デバイスドライバの 2 種を同時に開発した。

2.2.1 映像信号処理部      入力部は , デジタル入力とアナログ信号のキャプチャ入力( 外部入力 )と SDTV 専用入力の 3 種がある。デジタル入力は , HDTV MPEG 音声 / 映像デコーダ用 , キャプチャ入力は , 外部 A/D コンバータから SDTV 信号を受ける。出力部は , デジタル出力と D/A コンバータ出力である。出力映像信号フォーマットは , 1080i/720p/480p/480i<sup>(注12)</sup>の 4 種である。2 系統のフォーマット変換部があり , 多彩なマルチ画面表示が可能である。動き適応順次走査変換と動き適応ノイズリダクションで , 高画質フォーマット変換ができる。

2.2.2 グラフィックス処理部      グラフィックス機能は , パレット機能<sup>(注13)</sup>及びラスタライズ機能<sup>(注14)</sup>とアクセラレーション機能<sup>(注15)</sup>である。アクセラレーションは , FILL と BitBlit があり , BitBlit は , データのメモリ転送と同時に bpp( bit per pixel )変換 , 色変換 , フィルタ処理が可能である。

2.2.3 プレーン構成とブレンド      プレーン構成の概念を図 9 に示す。映像信号 , グラフィックス信号は , 各々のプレーンでラスタライズして映像信号にした後にブレンドする。映像信号プレーンが 2 , グラフィックスプレーンが 3 , 背景又はカーソルプレーンが 1 , ブレンド制御情報を出力する制御プレーンが 1 で , 総計 7 プレーンである。すべてをブレンド制御できる。

2.2.4 メモリ制御      主メモリは , 32 ビット I/O , 64 M ビット SDRAM が 2 個である。メモリクロックは 108 MHz で , 最大データ転送能力は 756 Mbps である。映像信号 , グラフィックス信号 , 制御パラメータをパケット( ユニットとして送られる一定長に分割されたデータ )化し , 内部メモリバスを用い

( 注 12 ) 数字は画像フォーマットの有効ライン数 , i はインタレース信号 , p はプログレッシブ信号を表す。

( 注 13 ) メモリ上の 8 ビット /1 画素信号を Y 色差や , RGB( 赤 , 緑 , 青 )信号に変換する機能。

( 注 14 ) 画像データを水平及び垂直に走査して , テレビに映すことができる信号に変換する機能。

( 注 15 ) メモリ上にあるデータを変換して , 再びメモリに格納する機能。

( 注 10 ) 1 枚の画像信号出力をプレーンと呼ぶ。

( 注 11 ) 命令 , 処理などのメッセージを一時蓄えておき , これを決められた順番に処理すること。

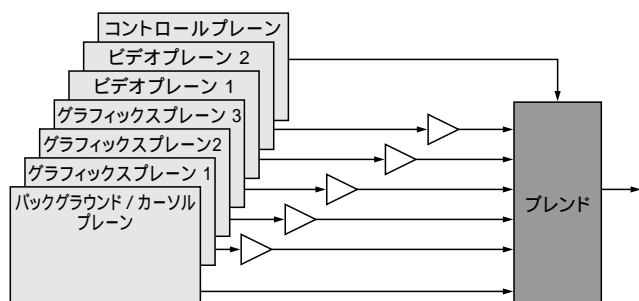


図9 . ビデオプレーン , グラフィックスプレーンとブレンドの概念  
このシステムは , ビデオプレーンを二つ , グラフィックスプレーンを四つ持ち , ブレンド係数を指定して最終画像を構成する。  
Video and graphics planes

てメモリと各処理ブロック間のデータ転送を行う。映像信号は64画素を1パケットとし , 8bppグラフィックスデータは , 128画素分を1パケットとして扱う。これら , 複合データストリーム転送のバスアービトラーション<sup>(注16)</sup>は , 内部テーブル設定値で優先順位を変更することができる柔軟なシステムとした。

2.2.5 同期生成部 基本クロックは , 108 MHz , 74.25 MHz , 27 MHzの3種である。映像同期は , 入力同期系 , 内部処理同期系 , 出力同期系の3種を信号処理基準として用いている。

2.2.6 システム制御部 ホストインタフェースは , 32ビットデータバスを採用した。内蔵MCUだけではなく , ホストMPUからも直接制御できる柔軟な構成とした。ホスト , SDRAM間のデータ転送は , ホストからの直接読み書き , DMA転送の2通りが選択できる。

2.2.7 ファームとデバイスドライバ 新開発MCU用に , アセンブラ<sup>(注17)</sup> , デバugg<sup>(注18)</sup>を同時開発した。ホストMPUは , マクロコマンド(コマンドと引数)でファームウェアと通信する。マクロコマンドは , 主に入出力垂直同期割込みで起動し , 引数と内部コマンドレジスタに書き込む。デバイスドライバは , 上位層のアプリケーションソフトウェアから出力するマクロコマンド列をSDRAMに書き込み , MCUに渡す方式とした。

### 3 LSI TC90A56TB

前章で述べたLSIシステムを , 0.25  $\mu$ mプロセスによって具体化したのがTA90A56TBである。

(注16) 複数のユニットがメモリなどに対して , データを出力したり , 受け取ったりするために一つのバスを用いる。このとき , どのユニットが一つのバスを使う権利を与えるかを調停することをアービトラーションと呼ぶ。

(注17) アセンブリ言語プログラムを機械語へ変換するソフトウェア。

(注18) プログラムバグを発見し修正するためのソフトウェア。

### 3.1 LSIの特長

TC90A56TBの主な特長は下記の3点である。

- (1) 内部高速メモリバスを用いた , リアルタイムメモリ制御システム
- (2) 多種フォーマットの信号処理に対応した , 柔軟なクロックシステム
- (3) 高精度10ビットD/Aコンバータ及びクロック生成PLL , DLLの内蔵

LSI内部メモリバスを用いることで , システムアーキテクチャを柔軟に構成できた。LSI内部高速メモリバスは , パフォーマンスを向上させるレイアウト工夫を行い実現している。また , 高速クロックを用いるブロックは , レイアウト強制配置を行い , 配線長によるタイミング問題をクリアしている。概要仕様を表5に示す。

表5 . バックエンド処理システムの概要仕様  
Specifications of back end processor

ブロック	項 目	仕 様
入 力	入力信号フォーマット	1080i , 720p , 480p , 480i
出 力	出力信号フォーマット	1080i , 720p , 480p , 480i
映像処理	プレーン	ビデオプレーン 2
	スケーリング	1/16 ~ 16 2画面
	ポジショニング	任意位置
	1画面処理	スーパーライブ , フル , ノーマル , レターボックス
	2画面ウィンドウ処理	ダブルウィンドウ , PinP , オーバーラップウィンドウ
	多画面ウィンドウ処理	マルチSD表示 , チャンネルサーチ
	順次走査変換	動き適応 , フィールド間 , フィールド内
グラフィック	ノイズリダクション	動き適応 , フレーム巡回型
	プレーン	グラフィックス 3 , 背景 / カーソル 1 , 制御 1
	データ長	8,16( bpp ) , RGB 565
	FILL	矩形( くけい )領域塗りつぶし
	BitBlit	領域転送 , 色変換 , bpp変換 , フィルタ処理
メモリ制御	パレット	4
	SDRAMコントローラ	64 Mビット 32ビット I/O SDRAM外付け 2
システム制御	ホストインタフェース	32ビット データバス , DMA
	MCU	16ビットRISC , 命令RAM 16 Kバイト , データRAM 16 Kバイト
同期系	同期生成	入力同期 , 内部処理同期 , 表示同期生成 , クロック生成

PinP : Picture in Picture

### 3.2 LSIの諸元

TC90A56TBのLSI諸元を表6に示す。民生品をねらったLSIとしており , パッケージはT-BGA( Tape BGA )を採用した。電源電圧は , 内部とI/Oを分けた2電源として , パワー低減を図った。

表 6 . LSI諸元  
Specifications of LSI

項 目	仕 様
パッケージ	T-BGA ピン数：480ピン サイズ：35 mm × 35 mm Ball ピッチ：1.27 mm
プロセス	0.25 μm CMOS 4層配線
電源電圧	+2.5 V, +3.3 V
トランジスタ数	8,550 × 10 <sup>3</sup>
アナログコア	10ビットDAC 3チャンネル
	PLL 2系統
	DLL 1系統

DAC：Digital to Analog Converter

4 あとがき

BSデジタルハイビジョンテレビ用のバックエンド処理システムを開発し、LSIとして具現化した。複数のHDTV映像及びグラフィックス信号、情報データをストリームとして同時に扱えるシステムを開発することができた。

デジタル信号処理技術の進歩、半導体プロセスの微細化により、デジタル放送受信機が実現できている。今後は、高画質化・多機能化・低価格化を更に進めるために、当社はたゆまない研究を続ける所存である。（池田 / 真中）

IEEE1394 / コピープロテクション用 LSI  
IEEE1394 and Copy Protection LSI

1 まえがき

IEEE1394デジタルインタフェースは、AV( Audio Video )コンテンツを扱うデジタル情報家電やパソコン( PC )に搭載されつつあり、また、日米欧の放送受信機規格でも採用されているデジタルインタフェースである。1本のケーブルで記録機などに劣化のないデジタルコンテンツやデータを伝送し、同時に周辺機器を制御できる。当社も、1995年からのIEEE1394の規格化活動とプロトタイプの開発経験を生かして、BSデジタルハイビジョンテレビ向けに、IEEE1394用LSI及びDTCP<sup>(7)</sup>対応コピープロテクション用LSI及びソフトウェアを開発した。これにより、BSデジタル放送で受信する番組をテレビのGUI( Graphical User Interface )操作によりDVHS( Digital VHS )などにデジタル記録することができる。

2 DTV用IEEE1394システムの概要

IEEE1394のプロトコルスタックを図10に示す。実現するハードウェアブロックは、IEEE1394用LSI MB86617及びコピープロテクション( CP )用LSI TC81501Fで構成される。ソ

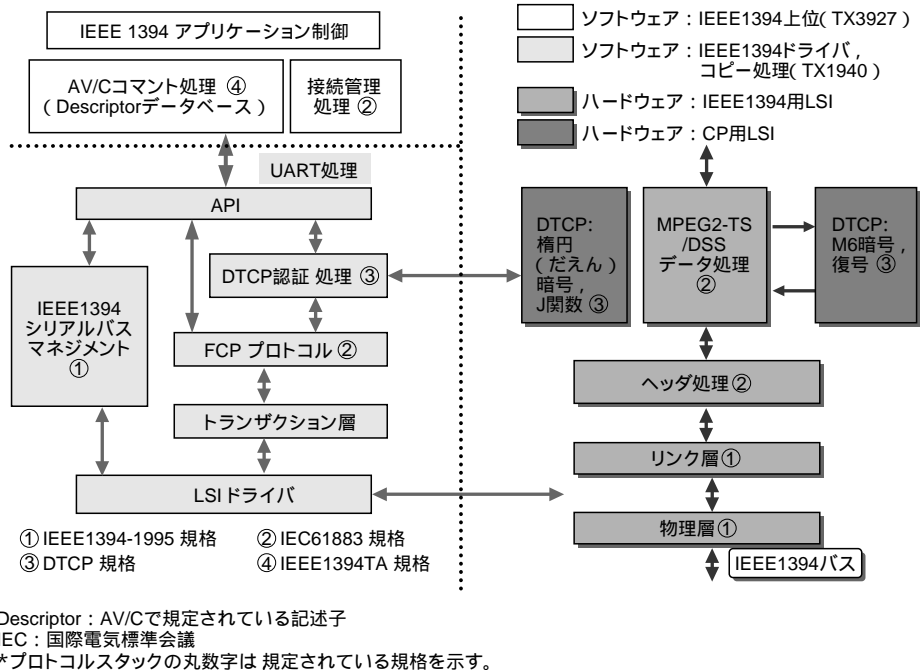


図 10 . IEEE1394のプロトコルスタック IEEE1394のプロトコルスタックとハードウェア / ソフトウェアの切分けと、対応する規格を示す。  
IEEE1394 protocol stack

ソフトウェアブロックは、IEEE1394ドライバ/IEEE1394規格ファームウェア/CP規格ソフトウェアを実装するワンチップMPUのTX1940と、IEEE1394での機器間接続管理(IEC61883-1規格)や、AV/C(Audio/Video Control)コマンドをMPUのTX3927に実装されている。

AV系機器では、動画などリアルタイムな同期データの転送が必要であり、図1の点線の右側を通る同期データ系は、TSP/MPEG2デコーダ用IC TC90A55TBに入出力され、すべてハードウェアで処理される。非同期データ系は、LSIのリンク層からホストバス経由で点線の左側を通してTX1940によってソフトウェアで処理される。

更に、これらを実現するDTV/DSTB(Digital STB)のチップセットと、IEEE1394部の関係は図11のようになる。

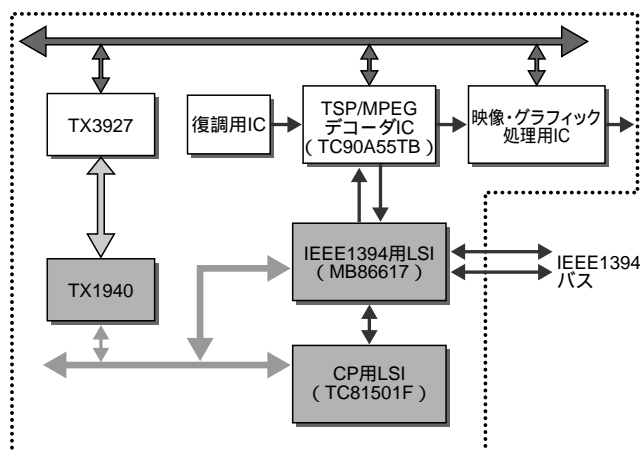


図11 DTV/DSTBに搭載のIEEE1394システム DTV/DSTBに搭載のIEEE1394部のLSI、MPU及びMCUとDTVチップセットのシステム構成を示す。

DTV/DSTB IEEE1394 hardware system

今回のDTVのIEEE1394システムとして、もっとも特徴的なのは、CP部で、DTLA(Digital Transmission Licensing Administration)ライセンスデータの秘匿性をより強固にするため、鍵データを書き込むEEPROMをIC内蔵化し、鍵データを直接使った楕円(だえん)暗号など計算部もすべてIC内で処理し、外からは見えない仕組みとしたことである(後述の4章参照)。

### 3 IEEE1394用LSI MB86617

MB86617は富士通(株)と共同で開発し、特に物理層、リンク層は富士通(株)の400 Mbps用コアをベースとした。

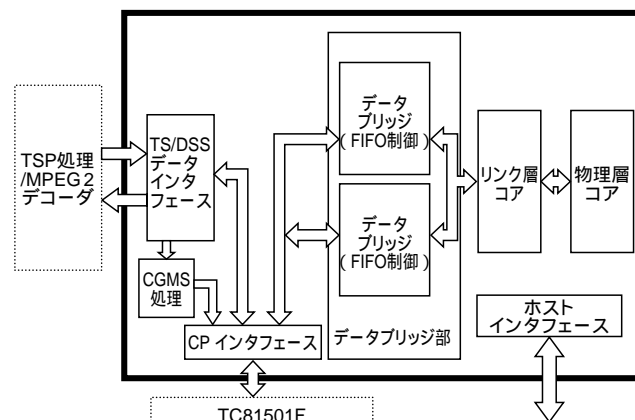
MB86617の仕様策定にあたっては、審議中であるIEEE1394関連規格(P1394.aなど)や将来必要となるプロトコル(DSS、DV(Digital Video)受信など)に対応し、将来の

地上波デジタル放送用アダプタ、DVHS、録画DVDなどの接続、及び将来のホームサーバのネットワーク的な使われ方(同時1送信1受信、同時2チャンネル送受信機能など)も十分考慮し、対応可能な仕様とした。なお、将来的に、地上波デジタル放送用アダプタからIEEE1394を経由して受信するときは、Full-TS(TSのすべて)を受信し、受信している放送をDVHSなどに記録する場合は、Partial-TS(Full-TS以外のTS)したものを、IEEE1394で受信する機能を必要とする。

主な仕様は、次のとおりである。

- (1) 物理層、リンク層、データブリッジ部をワンチップに集積
- (2) 3ポート
- (3) 転送データ速度: 100, 200, 400 Mbps対応(DTVでは200を使用)
- (4) IEEE P1394.a準拠
- (5) 4Kバイト×2チャンネル分のIsochronous(同期)送受信兼用FIFO
- (6) 256バイトのAsynchronous(非同期)送信/受信専用FIFO
- (7) MPEG2-TSと米国DirecTV用DSS伝送対応
- (8) 同時送受信(1送信1受信)/同時2チャンネル送信/同時2チャンネル受信
- (9) CP用LSI TC81501Fとの入出力であるコピー制御信号やコンテンツ鍵の時変タイミングやデータのインタフェースを搭載。
- (10) TX1940や他CPU対応のホストインタフェース
- (11) 低消費電力モード
- (12) 3.3V単一電源
- (13) パッケージ種類: LQFP(Low-profile Quad Flat Package), 176ピン

MB86617の内部構成を図12に示す。



CGMS: Copy Generation Management System

図12 MB86617内部構成 MB86617では2系統のデータを多重してTC81501Fとインタフェースをとっている。

Internal configuration of MB86617 IEEE1394 LSI



## 4 CP用LSI TC81501F

TC81501Fは、DTLAがライセンス供与するIEEE1394不正コピー防止技術対応のLSIである。DTVでは、Copy Never(コピー禁止)のコンテンツを扱うため、公開鍵暗号方式を使った完全認証と、共通鍵方式の制限認証の両方をサポートし、相手機器の能力に合わせて認証方式を選択する必要がある、これに対応している。

TC81501Fの内部は、認証などのプログラムを処理するCPU部、多倍長演算専用部(以下、コプロセッサと略記)、コンテンツをスクランブル/デスクランブルするCIPHER部(データ暗号)、更に、ホストインタフェース部、メモリ(EEPROM、ROM、RAM)から構成される(図13)。著作権データを伝送する際に、CPU部とコプロセッサで認証処理と、共有鍵を生成した後、CIPHER部で著作権データをスクランブル/デスクランブルする。

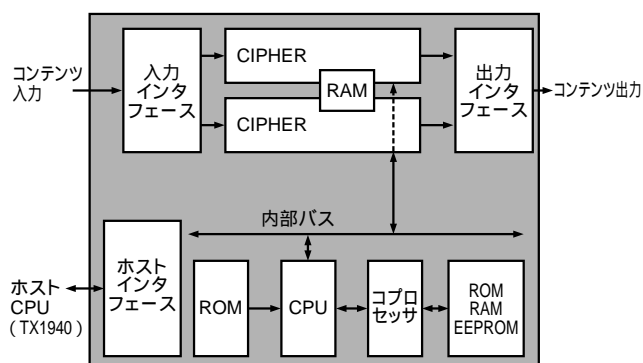


図13 TC81501F内部構成 ホストCPUからの命令により、内部CPU、コプロセッサなどで認証処理が行われ、それによって得られたことにより、入力したコンテンツの暗号/復号が行われる。  
Internal configuration of TC81501F copy protection LSI

DTLAから供与されるデータには、機器1台ごとに異なる個別データが存在するため、システムには不揮発性メモリが必須である。この個別データの中には、その値が外部から観測できないように秘匿しなければならないデータもある。そこで、不正にそれらのデータをアクセスされ観測されることのないよう、外部からアクセス不可能な仕組みを設け、EEPROMをTC81501Fに内蔵化した。

このほかに、IEEE1394伝送への対応の特徴は次のとおりである。

- (1) 2チャンネル同時送信、又は、2チャンネル同時受信、又は、1チャンネル送信及び1チャンネル受信同時処理可能
- (2) 複数SINK(受信機器)に対してコンテンツを配信できるSOURCE(送信)機能
- (3) CIPHER部の送受信速度は、1チャンネル当たり

12.5 Mバイト/sなどである。

TC81501Fで実行する、乱数発生、署名検証1、鍵交換計算、署名生成、署名検証2、鍵生成の、計算に要する実測平均時間はそれぞれ、約1,324,58,62,328,265 msであり、これらと、ソフトウェア処理及び伝送時間をトータルした、相手機器との完全認証動作の時間は約1s程度であり、目標性能に達している。

なお、TC81501Fは電源電圧3.3 V、100ピン薄型QFPパッケージ、EEPROM内蔵の0.35  $\mu$ mプロセスを採用した。動作周波数は約25 MHzで、最大消費電流は120 mAである。なお、TC81501Fの使用にあたっては、DTLAのライセンス取得が必要である。

## 5 IEEE1394用ソフトウェア

### 5.1 TX1940で行う処理

図10に示した各ソフトウェア群について述べる。

- (1) IEEE1394用LSIドライバ IEEE1394用LSI MB86617を制御する。
- (2) Transaction層 IEEE1394-1995規格で、コマンドなど非同期データの送受信を処理する。
- (3) IEEE1394シリアルバスマネジメント IEEE1394-1995規格で、IEEE1394自身のノード管理であるシリアルバス マネジメントレイヤの処理を行う。
- (4) FCP( Function Control Protocol )プロトコル IEC61883-1規格のAV/Cパケット送受信処理
- (5) 認証処理 IEEE1394 CPの完全/制限認証において、CP用LSIに計算を実行させ、鍵交換アルゴリズムを実現させる。
- (6) APIセット TX3927とUART( Universal Asynchronous Receiver and Transmission )通信するためのAPIセット。

### 5.2 TX3927で行う処理

IEEE1394のアプリケーション規格であるAV/C処理やアプリケーション インタフェースなど、上位のミドルウェア処理を行う。

- (1) AV/Cコマンド処理 機器を制御するためのコマンドの規格であるAV/C Tuner、AV/C Tape&Recorder (DVHS用制御コマンド規格)などを実装している。
- (2) 接続管理処理 i-LINK<sup>(注19)</sup>接続するためのIEC61883-1規格のpeer to peer<sup>(注20)</sup>やbroadcast<sup>(注21)</sup>入力接続を実現する。
- (3) IEEE1394アプリケーション制御 GUI部や、選局

(注19) IEEE1394デジタルインタフェースのことで、ソニー(株)の商標。EIAJ(日本電子機械工業会)で、IEEE1394のことを“i-LINK”と呼ぶことに決定した。

(注20) 送信と受信が1対1のこと。

(注21) 送信と受信が1対n(多数)のこと。

部などDTVの各アプリケーションソフトウェアとのインタフェースの役目を果たす。

## 6 あとがき

DTV用IEEE1394 ,及びコピープロテクション用LSI及びそのドライバ ,ファームウェア及びミドルウェアは ,ここ数年間1394TA( Trade Association )などの規格化活動とともに ,開発してきた集大成である。両LSIとも ,DTVだけでなく ,DVHS ,録再DVDなどにも搭載可能である。今後は更に ,IEEE1394を使った応用機能 ,新規格対応や ,コストダウンなど ,タイムリーな対応ができるよう努力を続けていきたい。

( 奥山 / 新舟 )

## 文 献

- (1) Nagoya ,T. ,et al.“ A Universal DTV Chip Set for US/Japan Digital TV Broadcast ”. 2000ICCE Proc . 2000-06 ,p.214 - 215.
- (2) Yamada ,M. ,et al.“ A Flexible MPEG-2 Decoder LSI with a Special Transport Stream RISC Processor ”. 1998 ICCE Proc . 1998-06 ,p.168 - 169.
- (3) 日比敏雄 ,ほか . デジタルテレビ放送受信機用MPEG2システムデコーダLSI . 東芝レビュー . 53 ,11 ,1998 ,p.34 - 37.
- (4) 松田直樹 ,ほか . マルチ対応三次元 ノイズリダクションシステム ,東芝レビュー . 51 ,10 ,1996 ,p.51 - 54 .
- (5) 小川佳彦 ,ほか . 液晶プロジェクションテレビ用ICと回路 . 東芝レビュー . 52 ,6 ,1997 ,p.23 - 26 .
- (6) 石川正一 ,ほか . DVDプレーヤの高画質化 . 東芝レビュー . 54 ,8 ,1999 ,p.29 - 32 .
- (7) 加藤 拓 ,ほか . IEEE1394コンテンツ保護システム ,東芝レビュー . 54 ,7 ,1999 ,p.34 - 37 .



桜井 優 SAKURAI Masaru, D.Eng  
デジタルメディアネットワーク社 パーソナル&マルチメディア  
開発センター 開発第一部主幹 ,工博。デジタルTVの研究・  
開発に従事。映像情報メディア学会 ,IEEE会員。  
Personal & Multimedia Systems Development Center



澤 繁隆 SAWA Shigetaka  
セミコンダクター社 システムLSI事業部 システムLSI統括第一  
部主幹。TV ,VTR ,DVD ,デジタルTV用LSIの開発に従事。  
System LSI Div.



石川 達也 ISHIKAWA Tatsuya  
セミコンダクター社 システムLSI事業部 システムLSI統括第一  
部参事。デジタル放送受信機のLSI設計に従事。電子情報  
通信学会 ,映像情報メディア学会会員。



吉岡 健次 YOSHIOKA Kenji  
セミコンダクター社 システムLSI事業部 システムLSI統括第一  
部主務。デジタル放送受信機のLSI設計に従事。  
System LSI Div.



甲斐 直行 KAI Naoyuki, D.Sc.  
セミコンダクター社 システムLSI事業部 システムLSI統括第一  
部主幹 ,理博。グラフィックスLSI ,MPEG関連システムLSIの  
企画 ,開発に従事。情報処理学会会員。



名古屋 哲雄 NAGOYA Tetsuo  
セミコンダクター社 システムLSI事業部 システムLSI統括第一  
部参事。VTR及び映像機器の開発 ,デジタルテレビ用  
MPEG-LSIの開発業務に従事。映像情報メディア学会 ,電子  
情報通信学会会員。  
System LSI Div.



池田 一雅 IKEDA Kazumasa  
デジタルメディアネットワーク社 深谷映像工場 映像技術第二  
部参事。映像信号処理 ,システムLSIの開発・設計に従事。  
映像情報メディア学会会員。



真中 重之 MANAKA Shigeyuki  
セミコンダクター社 システムLSI事業部 マイクロエレクトロニ  
クスセンター システムLSI統括第一部主務。社内向けASIC  
の開発 ,システムLSIの下流設計・開発に従事。



奥山 武彦 OKUYAMA Takehiko  
デジタルメディアネットワーク社 パーソナル&マルチメディア  
開発センター 開発第5部グループ長。IEEE1394ネットワーク  
規格化活動 ,LSI ,ファームウェアの開発・設計に従事。映  
像情報メディア学会会員。  
Personal & Multimedia Systems Development Center



新舟 剛夫 ARAFUNE Takeo  
デジタルメディアネットワーク社 柳町デジタルメディア工場 マ  
ルチメディアLSI開発センター主務。マルチメディアLSI全般  
の開発・設計に従事。応用物理学学会会員。