特

松本 寿彰	田井 裕通	小谷和也
MATSUMOTO Toshiaki	TAI Hiromichi	KODANI Kazuya

パワー素子は,大容量電力変換装置の主回路を構成するキー部品である。今回開発した電子注入促進型トランジスタ(IEGT: Injection Enhanced Gate Transistor)は,高耐圧化されたにもかかわらず動作スピードが速い。そのため,サージ電圧抑制を目的とした装置の低インダクタンス化(小型化)が要求されるが,高電圧装置としての絶縁設計も必要となる。したがって,装置の大容量化に伴う直列接続や並列接続での低インダクタンス化を実現する装置実装が必要となる。圧接型IEGTでは,熱容量が大きく大容量装置向けとして使用されるが,よりいっそうのIEGT利用率の向上が要望される。モジュール型IEGTでは熱容量が圧接型と比べて小さいため,大容量化のための実装技術が重要となる。

The power device is the key component of a high-power converter main circuit. The Injection Enhanced Gate Transistor (IEGT) not only can withstand high voltage, but also has fast switching capability like an insulated-gate bipolar transistor (IGBT). Therefore, it is difficult to make a compromise between the isolation design required for high-voltage equipment and the compactness required to reduce stray inductance in order to suppress voltage surge. To enlarge the power unit rating, it is important to realize a low-inductance main circuit so as to utilize series or parallel connection of IEGTs.

The press pack type IEGT has large thermal capacitance and is used for large power converters, and the need exists for improvement of the IEGT utilization rate. The module type IEGT has smaller thermal capacitance than the press pack type, so the mounting technology to enhance the power unit capacity becomes more important.

1 まえがき

GTO(Gate Turn-Off thyristor)と IGBT(Insulated Gate Bipolar Transistor)の課題を解決した素子として,当社は IEGTを開発した。IEGTはHVDC(High Voltage Direct pensator)などの送配電用変換器,圧延主機モータや高圧モ ータのドライブ用インバータなどのパワーエレクトロニクス装 置に使用する。処理能力を示す指標として,装置パワー密 度と動作スピード(下降時間の逆数)の積を無次元化し,装 置に使用するパワー素子電圧定格との関係を図1に示す。 IEGTは、高電圧において高速に大きなパワー密度を扱うこ とが可能なデバイスである。しかし,高電圧装置での絶縁 設計の一方で,動作スピードが速いので,高速スイッチング に伴うサージ電圧抑制のため低インダクタンス化が必要とな る。また,IEGTには圧接型とモジュール型があり,実装構 造技術や大容量化技術により IEGT 特性を生かした使い方 があり,これらの開発技術を述べる。

2 圧接型 IEGT のコア技術

ここでは,直列接続による大容量化と効率向上,低インダク タンス化,圧接型の実装に関する開発技術について述べる。



図1.パワー素子定格とパワー密度処理能力の関係 IEGTは,高 電圧において高速に大きなパワー密度を扱うことができる。 Power management capability in terms of turn-off speed of power device

2.1 IEGT 直列接続技術

パワー素子を直列接続して高電圧変換器を構成する場合,素子間の電圧分担を均一にすることが重要となる。特に,素子がスイッチング動作をする過渡的な状態での電圧分担が問題となり,素子のスイッチングばらつきによって決まる。スイッチングタイミングのばらつきと電圧分担のばらつきの関係は,図2に示すように,正比例の関係にある。GTOと比べてIEGTはスイッチング速度がおよそ1けた速く,スイッチングタイミングのばらつきは1けた小さいので,IEGT



図 2 . スイッチング タイミングと電圧分担 IEGT の電圧分担の ばらつきは , スイッチングのばらつきと電圧上昇率の積で決まる。 Voltage balance of series-connected power devices

はGTOと比較して電圧分担を改善しやすい。また,電圧分 担のばらつき Vceは,ターンオフ時の電圧上昇率 dVce/dt にも比例している。そのため,IEGT は電圧分担のばらつき を一定に抑えながら dVce/dtをGTOよりも上げることがで きる。これは,dVce/dtを抑えるために素子に対して並列 に挿入するスナバコンデンサの容量を低減できることにもな る。スナバコンデンサの容量が小さいほどスナバ損失が低 減できるため,IEGTの利用によって,直列接続時の装置の 効率向上が期待できる。

2.2 低インダクタンス化実装技術

電圧型インバータ回路と,スイッチングオフ時の電圧・電 流解析波形を図3に示す。サージ電圧の低減のため,スナ バ回路と主回路の低インダクタンス化が必要であり,これに より,発生損失も低減できる。図4は,圧接型IEGTパワー



図4.IEGTパワーユニット構造解析モデル 6直列IEGTパワー ユニットの構造解析モデルから,インダクタンスを計算する。 6-series connected 4,500 V - 1,500 A IEGT power unit structure analysis model

ユニットのインダクタンス解析例で,このような解析は実装構 造のインダクタンス低減検討に不可欠となっている。実験値 との比較では,ほぼ5%以内の解析精度となっている。

2.3 圧接型 IEGT の実装技術

圧接型IEGTは、パッケージ内に複数のIEGTチップを搭載し、コレクタとエミッタの両電極側を適切に押圧して装置 に実装する。圧接型IEGTの有効利用と信頼性向上には、 チップごとに均等に圧接する実装構造の検証と、IEGTの各 チップ特性に基づいた使用限界の把握が重要となる。チッ プごとの圧接力分布は、既に定量的な観測ができている。 パッケージ内に搭載したコレクタ側チップの圧接分布の観測 結果を図5に示す。圧接型IEGTの実装には、適度な剛性 と柔らかさが必要である。一方、チップごとの素子特性、圧



図3.電圧型インバータ回路 電圧型インバータを用いた電力変換装置の 一例であり、サージ電圧の発生要因として①、②、③の箇所がある。 Voltage type inverter circuit



図5.チップレベルでのパッケージ内圧力分布の観測 平 型パワー素子の有効利用と信頼性向上には,チップごとに均 等に圧接することが重要となる。

Inside pressure distribution of press pack type power device

接力と接触熱抵抗の関係をデータベースとして,圧接型IEGT のチップ温度を推定する解析コードを開発した。図6は、 i番目のチップのターンオフ特性が遅れたと想定した場合の結 果を示した例である。装置実装と温度解析ツールを駆使す ることで,使用限界の検討精度が飛躍的に向上している。

モジュールの等価回路を図8に示す。電流の観測はシミュレ ーション,実測ともに,並列接続された4ブロックを対象とし ている。1ブロックだけ,飽和電圧Vce(sat)及びしきい値 Vth が異なるものを使用した。シミュレーション結果と実測 結果を図9に示す。結果はよく合っており,並列接続の検討 を十分に可能としている。



図6.圧接型 IEGT チップの温度解析例 装置実装と平型素子マル チチップ温度解析ツールを駆使して,使用限界の検討精度が向上し ている。この例は,i番目のチップのターンオフ特性が遅れた場合, 電流が集中してチップ温度が上昇することを示している。 Result of chip temperature simulation for press pack type power device

3 モジュール型 IEGT のコア技術

並列接続による大容量化,損失低減による効率向上,実 装による利用率向上などの技術について述べる。

3.1 IEGT 並列接続技術

モジュール型IEGTは,大電流化のため,複数のIEGTチ ップとFWD(Free Wheeling Diode)チップを内蔵する。こ れら並列接続されたチップに流れる電流は,素子特性や構 造要因により,通常均等にはならない。素子選別により特性 を合わせ,構造分析をして要因を排除し,できるかぎり電流 不均一を抑制する必要がある。このような並列接続を検討 するため,素子特性や構造要因を模擬したシミュレーション を実施している。シミュレーションの流れを図7に、IEGT



図7.シミュレーションの流れ 構造解析で求めた寄生パラメー タと,素子特性を表した素子モデルを使用して,回路シミュレーシ ョンを行う。 Flow of simulation



図8.IEGTモジュールの等価回路 4,500 V - 800 A IEGT モジュ ールの等価回路で,4ブロックに分かれている。 4,500 V - 800 A IEGT module equivalent circuit



図9.IEGTモジュールシミュレーション結果と実測結果 徇和雷 圧としきい値が異なっているチップを搭載した,4,500V-800A IEGT モジュール内電流バランスの(a)シミュレーションの結果と(b) 実測結果はよく合っている。

Result of 4,500 V-800 A IEGT module simulation and measured result

3.2 低インダクタンス化技術

電流の不均一抑制とサージ電圧低減のため,主回路の低 インダクタンス化が必要である。このため、図10に示すよう に主回路導体を積層化して,主回路インダクタンス(Ls)の低 減を図っている。IEGT モジュール内部の電流バランスも考 特

集



図10. IEGT パワーユニット 導体を積層化することで,低イン ダクタンス実装を実現した一例である。 400 kVA IEGT power unit

慮した設計が重要となり,図7で示した検討により実装構造 を決定している。

3.3 モジュール型 IEGT の実装技術

モジュール型パワー素子の温度上昇を調べると、チップを 含むパッケージの温度上昇に対しパッケージとヒートシンク 間の接触部の温度上昇が特に大きい。モジュール型は周囲 をねじ止めしてヒートシンクに取り付けられるため、組立て が容易なことが一つの特長となっているが、圧接型のように 大きな加圧力は期待できず、加圧力が小さい。一般的な熱 伝導グリースを塗布した場合のベース板とヒートシンク間の 加圧力分布を図11に示す。ねじ部の圧力に比べて中央部 の圧力が低いことがわかる。ヒートシンクとパッケージのギ ャップが大きくても接触熱抵抗の増大を抑えることが重要と なる。中央部の加圧力が小さいモジュール型の接触熱抵抗 を低減するための各種グリース接触熱抵抗の実測結果を図



図12 . ギャップとグリース熱抵抗特性 接触熱抵抗の増大を抑え る適切なグリースの選定で,接触部の温度上昇が抑えられる。 Evaluation and reduction of contact thermal resistance

12 に示す。適切なグリースの選定により接触部の温度上昇 を半減させることができる。



ここでは、パワー素子を装置応用する際に必要な、大容 量化技術、電極のインダクタンスにかかわる実装構造技術、 冷却など熱にかかわる技術について述べた。今後も、パワ ーエレクトロニクス装置開発におけるパワー素子の高圧化 と高速低損失化のニーズは大きい。新たなパワー素子が出 現することで、装置実装のための各種コア技術が研究・開 発され、パワーエレクトロニクス装置の高パワー密度化が期 待される。



図11.モジュールベース板とヒートシンク間の圧接分布 モジュ ール型では,ねじ部に比べて中央部の加圧力が小さいことがわかる。 Pressure distribution of module type power device





松本 寿彰 MATSUMOTO Toshiaki

電力システム社 電力・産業システム技術開発センター 産業 システム・パワエレ開発部グループ長。パワーデバイス応用 装置の開発業務に従事。

Power and Industrial Systems Research and Development Center

田井 裕通 TAI Hiromichi



Power and Industrial Systems Research and Development Center

小谷 和也 KODANI Kazuya

電力システム社 電力・産業システム技術開発センター 産業 システム・パワエレ開発部。パワーデバイス応用装置の開発 業務に従事。

Power and Industrial Systems Research and Development Center