

多結晶(ポリ)シリコン(以下、p-Siと略記)薄膜トランジスタ(以下、TFTと略記)を用いて、駆動回路を一体化したノートパソコン(PC)用高精細液晶ディスプレイを開発した。ガラス基板を適用するために、p-Siをエキシマレーザアニール法で作製し、プロセスの低温化を図った。特に、TFTのしきい値制御と信頼性確保により、多くのTFTから成る駆動回路を集積することに成功した。

This paper focuses on excimer laser crystallized poly-Si TFT technologies for obtaining high-performance notebook-size displays with high pixel density. Among the topics covered are TFT structures for CMOS circuits and their process integration, threshold voltage control, and reliability of TFT characteristics.

1 まえがき

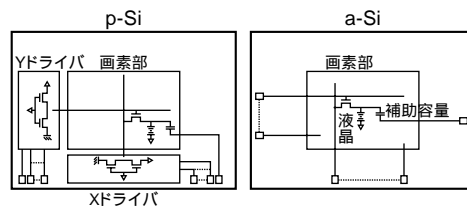
マルチメディア情報化時代の必需品として、持ち運び可能なノートPCが定着しつつある。そのかなめになるのが、画質の美しい液晶ディスプレイである。従来のアモルファスSi(以下、a-Siと略記)TFTを用いた場合、駆動回路はディスプレイの外側にTAB(Tape Automated Bonding)で接続していた。p-Si TFTを用い、600以下の低温プロセスを採用することで、駆動回路をガラス基板上に集積することができる。このため、高精細化、低消費電力化が可能になる。将来、様々な回路を集積できることで応用も広がることが期待される。

低温p-Siの開発史は古く、1980年代半ばから始まった。小型パネルへの応用が主で、大型化への挑戦はいくどかあったが、成功していない。当社は、97年に世界に先駆けて対角31cm(12.1型)XGA(eXtended Graphics Array、画素数：1,024×768)を発表、翌98年には10.4型XGA、99年には15型UXGA(Ultra XGA、画素数：1,600×1,200)を発表し、p-Si技術は中、大型ディスプレイにも適用できることを示した。

ここでは、駆動回路を構成する低温p-Si TFTについて、基本構造、デバイスの特長、作製するうえでキーとなるプロセス技術と課題について概説する。

2 p-Siパネルの特長

p-Si TFTパネルの概念を、a-Si TFTパネルと比較して図1に示す。XGAを例にとると、a-Siパネルは画素部と外付け回路接続用の4,000個弱の周辺端子群から構成される。これに対しp-Siパネルでは、画素TFTのほか



	p-Si	a-Si
端子数	約200	約4,000
TFT移動度	約100 cm ² /V·s	約0.5 cm ² /V·s
回路構成	シフトレジスタ レベルシフト アナログスイッチ 画素スイッチ	画素スイッチ

図1 .p-Si TFTパネルとa-Si TFTパネルの概念 p-Si TFTパネルは外部端子接続数が激減し、基板の1辺に集められるためシンプルになる。図はXGAを示す。

Schematic diagrams of poly-Si TFT panel and a-Si TFT panel

“X,Y”座標の画素を駆動するために、Xドライバ及びYドライバを構成するTFTが周辺に並ぶ。したがって、外部端子数はX,Yドライバの入力分が良いため、大幅に減少し、X,Y合計で200本弱となる。更に、これらの入力端子を基板の1辺に集められるため、外形がシンプルな構造になる。画素TFTはn-ch TFT^(注1)、駆動回路は低消費電力であることと設計マージンが広いことから、p-ch TFT^(注2)とn-ch TFTを組み合わせたC-MOS^(注3)を用いた。駆動回路はシフトレジスタ、レベルシフト、アナログスイッチなどから構成され、動作に必要なTFTの動作速度は2MHz程度となる。更に、分割駆動法^(注4)や冗長回路^(注5)を用いて10型の大型ディスプレイを駆動することを可能にした⁽¹⁾。

(注1) 電流通路が電子で形成されるnチャネル型TFT。
(注2) 電流通路がホールで形成されるpチャネル型TFT。
(注3) n-ch TFTとp-ch TFTで構成した相補型回路。
(注4) 画面をいくつかに分けて駆動する方法。
(注5) TFTが部分的に動作すれば動く工夫をした回路。

3 p-Si TFTの構造

TFTの断面模式を図2に示す⁽²⁾。ゲートがp-Si層の上にある“トップゲート”構造を採用した。ゲートがp-Si層の下にある“ボトムゲート”構造に比べ、良質なp-Si結晶が得られるからである。n-ch TFTにはリーク電流の低減、信頼性の向上を図るため、LDD(Lightly Doped Drain)構造^(注6)を採用した。p-ch TFTのソース(S)/ドレイン(D)^(注7)領域にはボロン(B), n-ch TFTのS/D領域とLDD領域にはリン(P)を注入した。

ゲート酸化膜は、原料ガスにテトラエトキシシラン(TEOS: TetraEthOxySilane, $\text{Si}(\text{OC}_2\text{H}_5)_4$)を用い、プラズマCVD(Chemical Vapor Deposition)法にて作製した酸化シリコン(SiO_2)を採用した。ゲート金属はモリブデンタングステン(MoW)、配線材料はアルミニウム(Al)である。素子の保護膜に窒化シリコン(SiN)を用いた。p-ch TFT, n-ch TFTとも良好な特性が得られている(図3)⁽²⁾。TFTのしきい値はチャネルドーピングによって制御している。

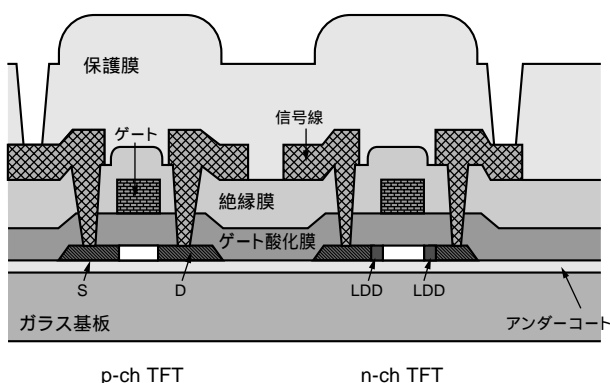


図2 . TFTの断面模式図 トップゲート構造で、n-ch TFTはLDD構造となっている。

Cross-sectional view of p-type TFT and n-type TFT

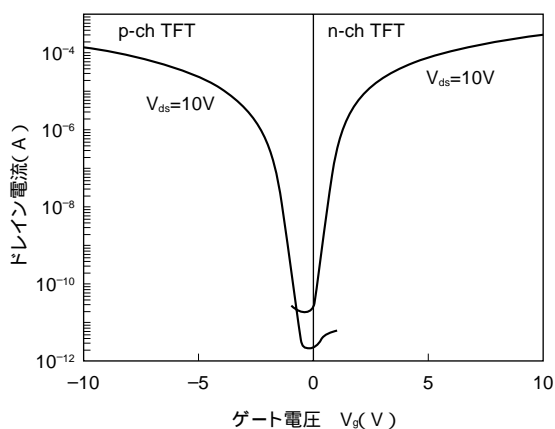


図3 . p-Si TFTのドレイン電流 - ゲート電圧特性 p-ch TFT, n-ch TFTとも、良好な特性が得られている。

Transfer characteristics of poly-Si TFT

4 p-Si TFTの固有プロセスと課題

a-Si TFTと比べ、p-Si固有のキープロセス技術として、p-Si形成技術、不純物制御技術、低温ゲート酸化膜形成技術の三つが挙げられる。

4.1 p-Si形成技術

p-Siは、エキシマレーザー(波長308nm)の高出力パルス照射し、a-Si膜を熔融、冷却、固化させることにより形成する。この方法をエキシマレーザーアニール(以下、ELAと略記)と呼び、大面積にわたって良質なp-Siが低温で得られる。数10nsという瞬間的な加熱のため、ガラス基板に損傷を与えることはない。a-Si膜はシランガスを原料としてプラズマCVD法で成膜する。a-Si膜中には水素が数~十数%含まれており、ELAを行うと瞬時に1,000以上になるため、水素が急激に抜けて膜がはがれてしまう。そのため、ELA前に熱処理してa-Si膜中の水素濃度を数%程度以下に低減する。

a-Si膜にレーザーを照射するといったん熔融して再結晶化し、結晶粒が連なった状態になる。エネルギー密度が低いと、結晶成長が不十分で結晶粒径が小さくなる。また、逆にエネルギー密度が高すぎると、結晶自体が破壊され微結晶が成長しやすくなる。そのため、最適なエネルギー密度の範囲が存在する。同一場所を何回も多重に照射することで結晶粒を大きくし0.3~1μmとする。図4に示すように、TFTの電界効果移動度^(注8)(以下、移動度と略記)はこの結晶粒径に大きく依存する⁽²⁾。特に、n-ch TFTは電子が粒界散乱の影響を受けやすいため、敏感である。希望する移動度を

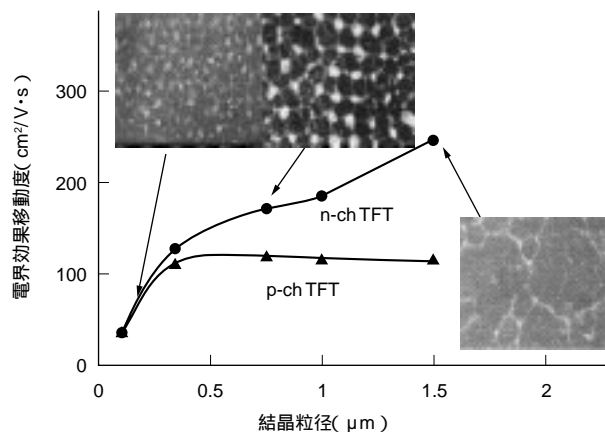


図4 . p-Si TFTの電界効果移動度の粒径依存性 電界効果移動度は小粒径で小さく、粒径が大きくなると、大きくなる。n-ch TFTの方が粒径に敏感である。

Poly-Si grain size dependence of TFT field effect mobility

(注6) ゲート端にソース及びドレイン領域より低濃度領域を設け、電界を緩和し劣化を防ぐ構造。

(注7) TFTの電流の入出力領域(S及びD)。

(注8) TFTの電流駆動能力を示す値。

得るためには、基板内で粒径の均一なp-Si結晶を成長させることが必要である。そのため、a-Si膜厚分布を均一にし、レーザ出力のばらつきを抑えた。

4.2 イオンドーピング

n-ch, p-ch TFTの不純物制御には、イオンドーピング法を用いる。この方法は、LSI技術のイオン注入法と異なり、イオン化したガスを質量分離せず、そのまま加速して基板に注入させるものである。もともと大面積基板に効率良く注入し、生産性を向上させるために開発された技術である。Bの例をとると、イオン注入法では質量分離機構によって、Bだけが注入されるのに対し、イオンドーピング法では原料ガスであるジボラン(B_2H_6)のプラズマ生成された分解生成物、つまり、BH, B_2H_2 , H, H_2 ...などの成分がすべて基板に注入されることになる。つまり、総イオン電流中の正味のBの割合を正確に計測し、設定しなくてはならない。特に、低濃度注入ではドーパント比率^(注9)の計測が難しく、注入量の不安定性、再現性不良の原因になっている。

イオンドーピング工程には、注入する濃度に応じて高、中、低の3種類がある。S及びD領域の形成には高濃度注入が用いられる。ゲート酸化膜を通して注入し、p-Siの損傷を軽減している。その後、600 程度の熱アニールで再結晶化させ、注入した不純物を活性化させる。LDD領域は、n-ch TFTのS及びD領域より2けた低い中濃度注入を実施している。チャンネル領域には低濃度注入により、しきい値の微調整をしている。

4.3 低温ゲート酸化膜形成技術

ゲート酸化膜の良否は、TFTの特性を大きく左右する。LSI技術で用いられている熱酸化膜はもっとも良質とされているが、プロセス温度が900 以上と高いため、ガラス基板には適用できない。低温で良質な酸化膜を得るためには、成膜中に欠陥を導入しないことが必要である。そこで分解効率が高いTEOSを原料ガスとして、プラズマCVD法により形成した。

様々な酸化膜のBTS (Bias Temperature Stress) 試験^(注10)結果からも、TEOS酸化膜は熱酸化膜に匹敵する特性を示し、実用に耐えることを示している(図5)。すなわち、ストレス試験前後の変化が小さい。a-Si TFTに用いられているシラン/亜酸化窒素系のプラズマCVD酸化膜は、Si-N結合による欠陥準位が形成され、駆動回路を内蔵するp-Si TFTでは特性が不十分である。

ゲート酸化膜としてTEOS酸化膜を採用することにより、低温p-Si TFTの信頼性を確保した。

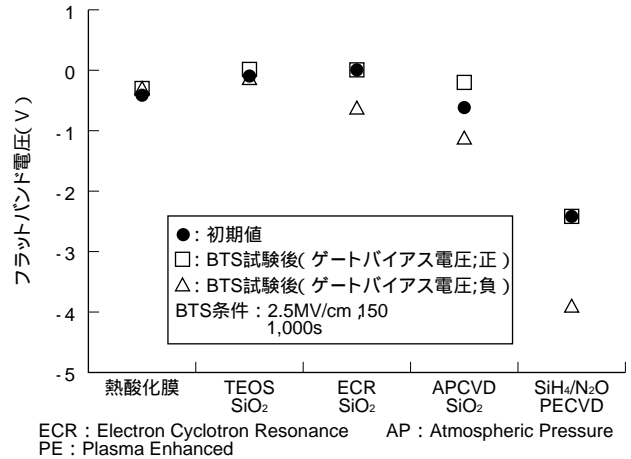


図5. 様々な酸化膜のBTS試験前後の変化 単結晶Si基板上に酸化膜を成膜し、MOS(Metal Oxide Semiconductor)キャパシタで評価した例を示す。TEOSを原料とした酸化膜は、熱酸化膜に匹敵する良質なものである。

MOS flat band voltage with various SiO₂ films

5 あとがき

低温p-Si TFTを用いて、世界に先駆けて駆動回路一体型のノートPC用10型液晶ディスプレイパネルとして商品化することができた。加えて高精細な画質を実現し、ユーザーニーズに十分こたえられるものと期待している。

今後は、更にTFTの素子特性を向上することによりシステム(アナログ回路)をガラス基板上に集積し、限りない可能性を秘めた“システム オン グラス”に向けて努力を続けていきたい。

文 献

- (1) Aoki, Y., et al. "A 10.4-in. XGA Low-Temperatures Poly-Si TFT-LCD for Mobile PC Applications". SID '99 Digest. 1999-05, SID. 1999, p.176 - 179.
- (2) Ibaraki, N. "Low-Temperature Poly-Si TFT Technology". SID '99 Digest. 1999-05, SID. 1999, p.172 - 175.



西部 徹 NISHIBE Tohru
ディスプレイ・部品材料社 液晶開発センター アレイ生産技術開発担当主査。ポリシリコンアレイプロセス開発業務に従事。日本応用物理学会会員。
LCD Research & Development Center



茨木 伸樹 IBARAKI Nobuki, D.Eng.
ディスプレイ・部品材料社 液晶開発センター アレイ生産技術開発担当グループ長、工博。ポリシリコンアレイプロセス開発業務に従事。SID, 日本応用物理学会会員。
LCD Research & Development Center

(注9) 基板に打ち込まれたもののうち、正味のBの割合。
(注10) バイアス電圧と温度をかけて劣化をさせる加速試験。