

ディスクリート半導体は、電気的特性の改善だけでなく、様々な用途に適した形状を目指し発展してきた。特に、使用される機器の軽薄小型化に伴い、小信号用のトランジスタ、ダイオードは小型化を目指してきた。近年では、小型化に加えて実装時の取扱いやすさを加味し、様々な外周器が商品化され用途に応じた機器の小型化に貢献している。

In addition to improvement of their electrical characteristics, discrete semiconductors have been developed targeted at designing shapes and sizes suitable for various applications. In particular, with the introduction of flatter and more compact equipment, small-signal transistors and diodes have been developed aiming at smaller size. In recent years, as well as greater compactness, easy handling in mounting has also been added as a feature. Various types of packages have therefore been commercialized, contributing to the compactness of equipment for various uses.

1 まえがき

近年、携帯電話、携帯型個人情報機器(PDA)、ノートパソコン、ハンディカメラなどの個人用電子機器は、高性能・小型化が進んでおり、電子部品への小型パッケージ化、及び高集積化要求は一段と強くなってきている。

当社は、これらの要求にこたえるため、面実装タイプのディスクリート半導体用パッケージでトランジスタ、ダイオード用の2～3ピンタイプのパッケージや、それらの製品を複数個搭載する複合デバイス用の4～8ピンパッケージを開発してきた。更に、4ピン以上のパッケージでは、最小単位の機能ブロックをワンパッケージ内に搭載したセルパックシリーズを開発、商品化している。以下に、ディスクリート半導体用パッケージの現状、及びこれからのパッケージについて述べる。

2 現在の最先端パッケージ

2.1 ディスクリート半導体用パッケージ

当社のディスクリート半導体用面実装パッケージ一覧を表1に示す。2ピンタイプ(ダイオード用)から8ピンタイプ(セルパック用)まで、ユーザー要求に合わせたサイズが選択可能となっている。

2.2 シングルデバイス用3ピンパッケージ

1979年に初の面実装パッケージとしてS-Mini(Super-Mini, SOT-23MOD, SC-59)^(注1)を商品化して以来20年、

(注1) SOT, SCは表面実装パッケージ規格名称。MOD:MODify(類似)

表1. 面実装パッケージの名称一覧
Names of SMD packages

世代 ピン数	第1世代	第2世代	第3世代	第4世代	第5世代
2	-	USC	-	ESC	TESC
3	S-Mini	USM	SSM	ESM	TESM
4	SMQ	USQ	-	-	-
5	SMV	USV	-	ESV	-
6	SM6	US6	-	ES6	-
8	SM8	US8	-	-	-

第5世代目に当たる最新のパッケージTESM(Thin Extreme Super-Mini)は、電気的特性はほぼ同等でありながら、S-Miniと比較して約21%の実装面積しか必要としない。小型化要求の中には、パッケージ高さの薄型化が含まれるが、TESMは薄さ0.64mm(最大)、S-Miniは薄さ1.4mm(最大)であり、TESMはS-Miniの半分以下の薄さを実現している(図1)。

S-MiniとTESMは、パッケージの構造上大きな違いがある。S-Miniはアウトリードがモールド体の外でリードベンドされている(ガルウイングタイプ)が、TESMはモールド体の最下面からアウトリードが実装面にフラットに出ている(フラットリードタイプ)。

フラットリードタイプには、ガルウイングタイプと比較して次のような特長がある。

- (1) アウトリードの水平方向に対する機械的強度に優れるため、高速実装に有利
- (2) アウトリードが実装面に水平に出ているため、リードの接地面積ばらつきが少なく、リード長さが短くて

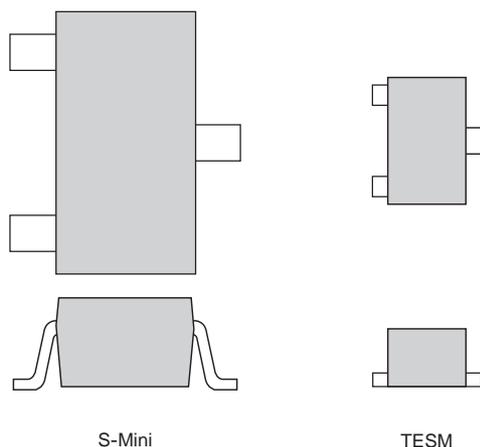


図1 . S-Mini と TESM の比較 TESM により、大幅に実装面積が縮小できる。
Comparison of S-Mini and TESM(Thin-Extreme Super-Mini)packages

も安定したはんだ付け強度が得られ高密度実装に有利
アウトリードのフラットリード化、及び製品の薄型化を
実現するための代表的な技術的なポイントとして、次の三
つが挙げられる。

- (1) チップの薄型化技術
- (2) ダイボンディング装置 / 技術
- (3) 低ループボンディング技術

TESM では最新の製造技術を駆使して商品化した。

TESM パッケージの断面構造を図2 に示す。

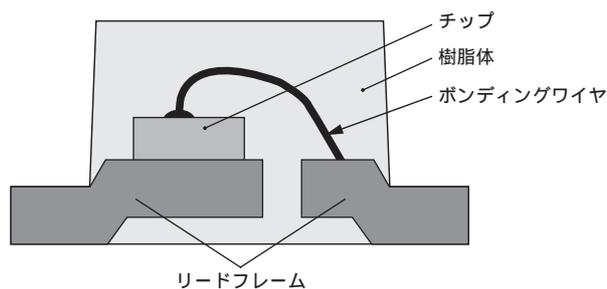


図2 . TESM の構造 アウトリードのフラットリード化と製品の薄型化を実現した。
Structure of TESM

更に TESM は、外形が小さいため 8 mm 幅のエンボス
テーピングに 2 mm ピッチでの製品封入が可能となる。従来の
4 mm ピッチテーピングの場合、1 リール(178 mm) 当
たり 3,000 pcs 封入となるが、2 mm ピッチの場合は 8,000 pcs
の封入が可能で、実装機のテーピング交換サイクルを約 1/3
に減らすことができる。

2.3 複合デバイス / セルパック用多ピンパッケージ

複合デバイス / セルパック用の多ピンパッケージとして、

ここではガルウイング構造の究極とも言える US 8(Ultra
Super-mini 8 pin) とフラットリードタイプの ES 6(Extreme
Super-mini 6 pin) を取り上げる(図3)。

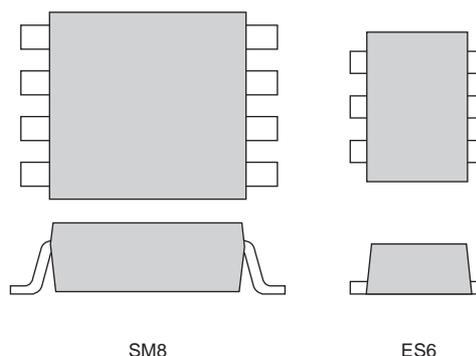


図3 . 多ピンパッケージの例 ピン数を増やすことにより、同一
寸法で複数個の素子を搭載できる。
Multipin packages

US8の特長を以下に示す。

- (1) 3.1 mm × 2.0 mm(リード含む) と世界最小クラスの
8ピンパッケージ
- (2) 現在の高密度実装で使いやすいリード間ピッチ 0.5
mm を実現
- (3) 製品薄さ 0.9 mm(最大) をガルウイング構造で達成
US 8 は、汎用セルパックシリーズの L - MOS(超小型 C-
MOS(Complementary Metal Oxide Semiconductor) ロジッ
ク IC)、CMOS タイプ オペアンプ、超小型システムレギュ
レータに採用している。

ES6の特長を以下に示す。

- (1) リード間ピッチ 0.5 mm
- (2) 製品薄さ 0.6 mm(最大) を実現

ES6 は、薄さを要求される VCQ(Voltage Control Oscilla-
tor) に使用されるマイクロ波トランジスタの複合タイプに
採用される。また、ES6 と同サイズで 5 ピンタイプの ESV
(5 pin) パッケージに L - MOS を搭載し製品化した。

3 次世代のディスクリート半導体用パッケージ

冒頭にも述べたが、個人用電子機器の小型化はとどまる
ところを知らず、ユーザーからは更なる部品サイズの小型
化が要求されている。これまでに述べてきた TESM、ES6、
US8 は、従来のディスクリート半導体用パッケージで採用
されてきた構造では限界に近いサイズである。

既に、CPU、メモリ、ASIC(用途特定 IC) などの集積回
路では限りなくチップサイズに近い CSP(Chip Scale Pack-
age) が出てきており、ディスクリート半導体用パッケージ

も徐々にCSPにシフトしていくと推測される。

当社では、次世代のディスクリート半導体用パッケージの先鞭(せんべん)としてSS-CSP(Small Signal-CSP)を開発した。外観写真を図4に示す。

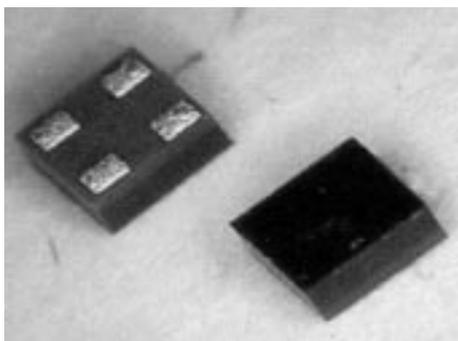


図4 . SS-CSP ディスクリート半導体にCSPを採用し、更なる小型化を実現した。
SS-CSP (Small-Signal Chip-Scale Package)

SS-CSPの外形サイズは1.0 mm(長さ)×0.8 mm(幅)×0.6 mm(薄さ)であり、従来構造パッケージのモールド体相当と非常に小さくなっている。また、アウトリードをやめて裏面電極とすることで、今以上の高密度実装にも対応可能となっている。

SS-CSPの構造は図5のようになっており、セラミック基板上にチップをダイボンディング、ワイヤボンディングした後、樹脂封止する。裏面電極とチップは、セラミック基板上的パターンとスルーホールでコンタクトをとる。

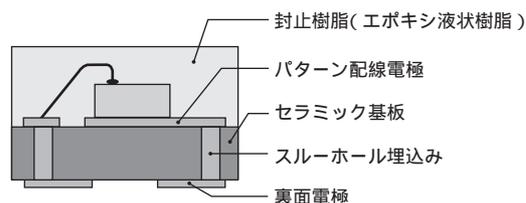


図5 . SS-CSPの構造 裏面電極とチップは、セラミック基板上的パターンとスルーホールでコンタクトをとる構造にし、小型化した。
Structure of SS-CSP

4 あとがき

ディスクリート半導体のパッケージの進展について述べた。今後はSS-CSPで培った技術を生かして、更に小型のパッケージや複合デバイス用の多ピンSS-CSPを開発していく。



柿嶋 裕 KAKISHIMA Yutaka

セミコンダクター社 ディスクリート半導体事業部 ディスクリート応用技術第一部グループ長。ディスクリート半導体の応用技術業務に従事。
Discrete Semiconductor Div.



河野 明弘 KAWANO Akihiro

セミコンダクター社 ディスクリート半導体事業部 ディスクリート応用技術第一部。ディスクリート半導体の応用技術業務に従事。
Discrete Semiconductor Div.