

省エネルギー化を推進するパワーデバイス

Advanced Power Devices for Energy Saving

川野 友広
KAWANO Tomohiro

丸岡 正幸
MARUOKA Masayuki

山川 祐司
YAMAKAWA Yuji

地球環境保護が世界のキーワードとして叫ばれるなか、電気機器は“より快適で安全”から更に“高効率で省エネルギー”なものへの進化が求められている。それら機器の高効率で省エネルギー化を推進する最新のパワーデバイスとして、超微細なトレンチ技術で開発した超高速なパワーMOSFET、高耐圧トレンチ技術を用いた高性能なIGBT、及び高耐圧SOI技術を用いてコントロールICとパワーデバイスをワンチップに集積化したインバータICを開発・製品化した。

The key word in the world nowadays is ecological consideration to preserve the global environment. In response to this need, the underlying concepts of electronic equipment must change from greater comfort and safety to high efficiency and energy saving.

Toshiba is developing new power device technologies and products that enable electronic equipment to be efficient and consume less energy. This paper introduces several advanced power devices for energy saving that we have developed and commercialized: super-high-speed power MOSFETs utilizing super-fine pattern trench technology, high-performance IGBTs utilizing high-blocking-voltage trench technology, and one-chip inverter ICs containing a power output section and a control IC utilizing high-blocking-voltage SOI technology.

1 まえがき

個別半導体製品、特にパワーデバイスでは、機器の小型化、低消費電力、高効率化及び高速化の要求にこたえるため開発が進められている。また、パワーデバイスは、その基本構造がバイポーラ系からMOS(Metal Oxide Semiconductor)系へ移行する、大きな流れが起こっている。MOS系デバイスであるパワーMOSFET(MOS Field Effect Transistor)、IGBT(Insulated Gate Bipolar Transistor)、IPD(Intelligent Power Device)は、その市場が拡大の一途をたどっている。図1に、パワーMOSFET、IGBT、IPDの電力と

周波数の適用範囲と機器を示す。

現在、地球環境保護の重要性から、電気機器の省エネルギー化が市場から要求されている。エネルギーの使用の合理化に関する法律(通称 省エネ法)の改正によるトプランナー方式の導入に伴い、エアコン、冷蔵庫などの家電分野では、インバータ技術を応用した機器が今後拡大すると考えられ、インバータ回路のキーパーツであるパワーデバイスには、素子の低損失化が求められている。

また、ノートパソコン(PC)をはじめとするバッテリー駆動型携帯情報端末機器には、高性能かつ長時間動作が求められており、バッテリー消費を極力少なくする目的として、スイッチング素子が用いられてきている。

このような背景の下、パワーMOSFET、ディスクリットIGBTの最新技術動向、開発製品及び高耐圧SOI(Silicon On Insulator)技術を用いて開発したIPDについて以下に述べる。

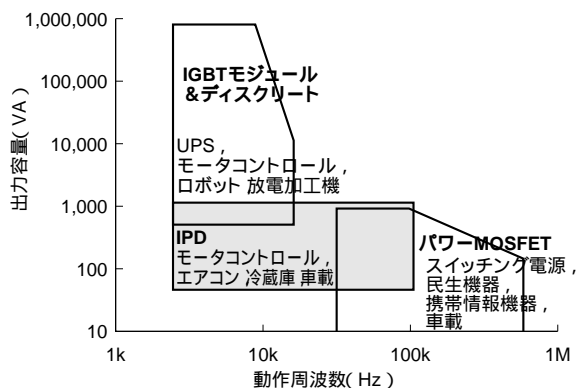


図1 . MOS系パワーデバイスの電力と周波数の適用範囲 用途(電力,周波数)に合わせて、三つのMOS系デバイスが使い分けられている。

Application of MOS structure power devices

2 パワーMOSFET

パワーMOSFETは、スイッチング素子に必要な高速、高耐圧、低損失、大電力を備えた素子として開発され、従来から使用されていたバイポーラトランジスタと比べ、駆動回路が簡略できることと、100 kHz以上でのスイッチング動作においてもスイッチングロスが小さいことにより、セットの高効率、小型・薄型化が図れる。ここ数年では、特に、汎用IC外周器であったSOP(Small Outline Package)-8外周器に搭載さ

れたパワーMOSFETが、ノートPCなどの携帯情報端末機器に使用され、急速に市場が拡大している。今回、そうした機器のDC/DC(直流/直流)コンバータ回路に適した高速U-MOS(U字型のトレンチゲート構造を持つ)IIシリーズを開発した。

2.1 同期整流方式を用いたDC/DCコンバータ

DC/DCコンバータの回路を図2に示す。この回路は、同期整流方式となっている。

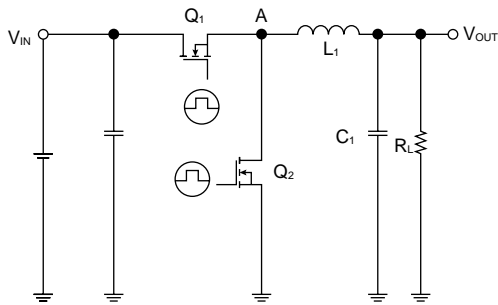


図2 .同期整流方式 DC/DCコンバータ回路 MOSFETを2個使用している。
Synchronous DC-DC converter circuit

従来は、 Q_2 部分にショットキーバリアダイオードが用いられていたが、回路での損失を最小限にするため、MOSFETを使用するのが同期整流方式である。この回路に用いられるFETのオン抵抗 $R_{DS(on)}$ は非常に小さいため、そのオン電圧 $V_{DS(on)}$ は、ダイオードの順電圧 V_F よりも小さくなり素子損失を小さくすることが可能となる。

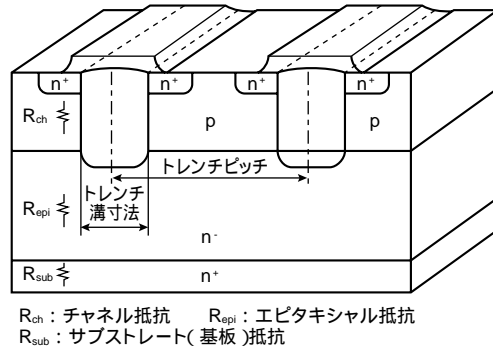
(例) $R_{DS(on)} = 8m$, $I_{DP} = 12 A$ の場合
 $V_{DS(on)} = 0.008 \times 12 = 0.096 V$ $0.4 V = V_F$

このようなDC/DCコンバータ回路は、特にPCのCPU電源として用いられている。CPUの高速化(400 MHz)、高機能化に伴って、CPU電源の出力は、より低電圧化(1.3V)、大電流化(15 A_{max.})が必要とされており、使用される素子にも、より高性能が求められる。その内容としては、低オン抵抗化と高速化の2点が挙げられる。今回開発した高速U-MOSIIシリーズでは、従来品に比べ、オン抵抗を約70%に低減し、60%の高速化を実現した。

2.2 高速U-MOSIIシリーズの特長

高速U-MOSIIデザインのFETセル構造を図3に示す。このデザインでは、ゲート酸化膜をトレンチ側壁に設けたトレンチゲート構造を採用している。超微細サブミクロン技術を用いて、セル密度1インチ平方当たり、20 Mセルの高集積化を実現している。それにより、単位面積当たりのオン抵抗 $R_{on} \cdot A$ を従来プレーナ構造に比べて約30%低減、 $R_{on} \cdot A = 56 m \cdot cm^2$ を達成した。

また、高速化を図るために、ゲート電荷量 Q_g とゲート抵抗



R_{ch} : チャネル抵抗 R_{epi} : エピタキシャル抵抗
 R_{sub} : サブストレート(基板)抵抗

図3 .高速U-MOSII MOSFETの構造 ゲート酸化膜をトレンチ側壁に設けたトレンチゲート構造を採用している。
Cell structure of high-speed U-MOS II MOSFET

R_g を低減した。 Q_g については、FETの寄生容量のうち、特に帰還容量 C_{rss} を約55%低減した。

R_g については、従来品が4 程度あったのに対して、2 以下まで小さくした。その結果、素子オフ時のスイッチング時間を従来品の40%とすることができた。

2.3 高速U-MOSIIシリーズの実機結果

高速U-MOSIIシリーズの主なラインアップを表1に示す。

上記の製品のうち、図2における回路にて Q_1 にTPC8006-Hを、 Q_2 にTPC8007-Hを使用して、実際にノートPC用DC/DCコンバータとして評価した結果を図4に示す。

この結果による効率 η は、83%以上を達成しており、セットにおける省電力化が図られていることがわかる。なお、現在は更に低オン抵抗、低容量を目指した次世代U-MOSIIIシリーズの開発を進めている。

表1 .高速U-MOSIIシリーズのラインアップ
Lineup of high-speed U-MOS II series

品名	最大定格		$R_{DS(on)}$ (m Ω) @ $V_{GS}=10V$	Q_g (nC) typ.
	V_{DSS} (V)	I_D (A)		
TPC8005-H	30	11	16	20
TPC8006-H	30	7	27	16
TPC8007-H	30	13	10	44

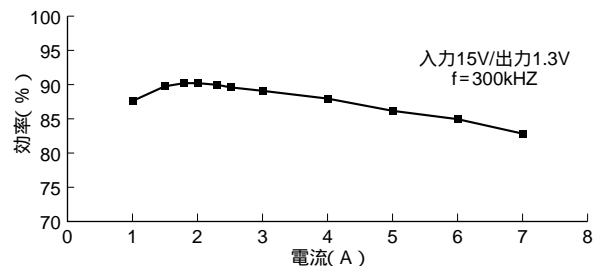


図4 .高速U-MOSII MOSFET DC/DCコンバータ効率測定結果
電源効率は83%以上を達成、ノートPCの省電力化に貢献している。
Efficiency of U-MOS II in DC-DC converter

3 ディスクリートIGBT

3.1 ディスクリートIGBTの動向

トランジスタ, MOSFETの次世代デバイスとして開発されたIGBTは, 高耐圧, 大電流と高周波数特性を兼ね備え, 第1世代が量産されてから約12年以上が経過している。その特性からIGBTは, 電力増幅用としてストロボ発光制御から電車の動力制御まで幅広く使用されている。

IGBTが搭載されている身近な家電製品は, エアコンのコンプレッサ駆動, 洗濯機のモータ駆動, 炊飯器の電力制御, 電子レンジのマグネトロン制御などがある。IGBTを搭載するメリットは, インバータ化によって幅広い電力制御が可能になることである。また, IGBTの入力は高抵抗であるため, MOSFETと同様にロジックで駆動回路が構成でき, トランジスタと比較すると設計が非常に簡略化できる。

3.2 最新のIGBT開発動向

最新の開発動向として, IH(Induction Heating)炊飯器に搭載されているIGBTについて述べる。

IH炊飯器は電磁誘導加熱を応用した製品で, 電気をエネルギーとしている。また, ガスと異なり, 火を一切使用しないため, 非常に安全でクリーンな家電製品である。

このIH炊飯器に搭載されているキーデバイスがIGBTである。IGBTは, 初代から数えて現在で第5世代目になり, 技術開発とともに世代交替してきた。世代の進歩に従い, 特性を改良し機器の効率改善に貢献している。

IGBT特性改良の目安は, 定常損失 ($V_{CE(sat)}$) とスイッチング損失のパラメータとなる下降時間 (t_f) のトレードオフ特性で, 図5に, このトレードオフの変遷を示す。

最新のデザインでは, MOS部のチャンネル抵抗を低減するトレンチゲート構造を採用している。従来のプレーナゲート構造との比較を図6に示す。大きな構造上の違いは, ゲートの酸化絶縁膜がチップ表面部に積層されるか, チップ内部に構成されるかである。プレーナ構造では表面上に配置

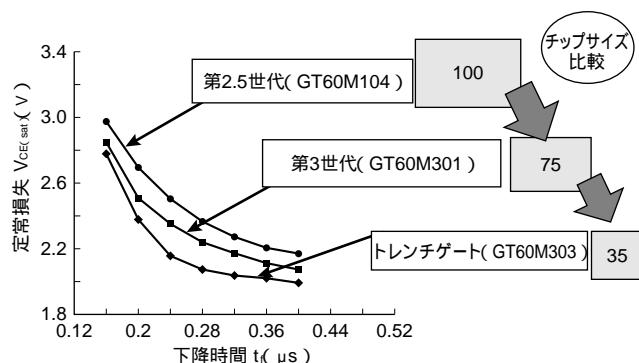


図5 . $V_{CE(sat)}$ - t_f トレードオフの変遷 世代更新により特性が改善している。

Trend of $V_{CE(sat)}$ - t_f

プロセス世代	プレーナ		トレンチ	
	第2.5世代	第3世代	フェーズ I	フェーズ II
構造図				
$V_{CE(sat)}$ (@600V)	2.5V typ.	2.1V typ.	(1.8V typ.)	(1.6V typ.)
セルサイズ	~900V 1,200V	1.00 0.75	0.43 0.09	0.06 -

図6 . トレンチゲート構造とプレーナゲート構造の比較 トレンチゲート構造を採用することで, 微細化率を向上させた。
Comparison of trench gate and planar gate structures

するために, 微細化に限界があった。しかし, チップの内部にゲート部を構成することで, 微細化率を大幅に上げることが可能になった。図5のトレードオフ特性から分かるように, 第2.5世代に対し35%のチップ面積でプレーナ構造以上の特性を実現した。

今後は, 更なる微細化と新ウェーハの採用で低損失特性を実現し, 機器の高効率を目指す。

4 高耐圧SOI

電気機器の中で, 特にモータ機器の高効率化には, モータのDC化による効果が大いと考えられている。当社では, AC(交流)ラインから直接DCブラシレスモータを駆動する, パワーICを低価格で実現する目的で, ウェーハ直接接着によるSOIウェーハ, 及び素子の分離には中間酸化膜に達するトレンチアイソレーション技術を採用したプロセスを新たに開発し, このプロセスによる高圧PWM(Pulse Width Modulation)方式の250V 1A出力のワンチップインバータTPD4008Kを開発した。

4.1 SOI

SOIとは, 一般的にはシリコン(Si)基板の中間に絶縁物(Si酸化膜)の存在する構造を言う。また, 中間酸化膜の上のSi層を“ 活性層 ”, 下のSi層を“ 台基板 ”と呼ぶ。

4.2 プロセス

使用したSi活性層の厚さは7 μ m, Si中間酸化膜の厚さは2 μ mで, 250Vの高耐圧を実現した。

開発したプロセスの工程フローを図7に示す。

このプロセスでは, ウェーハに活性層とするSi酸化膜を形成したSi基板と, 同様に台基板とするSi酸化膜を形成したSi基板2枚を, SDB(Silicon Direct Bonding)により直接接着した張合せウェーハを採用している。また, 素子の横方向の分離は, Si中間酸化膜に達する, 深いトレンチアイソレーションにより実現している。これらは, ウェーハコストの低減と, プロセス工程の簡素化に有効である。

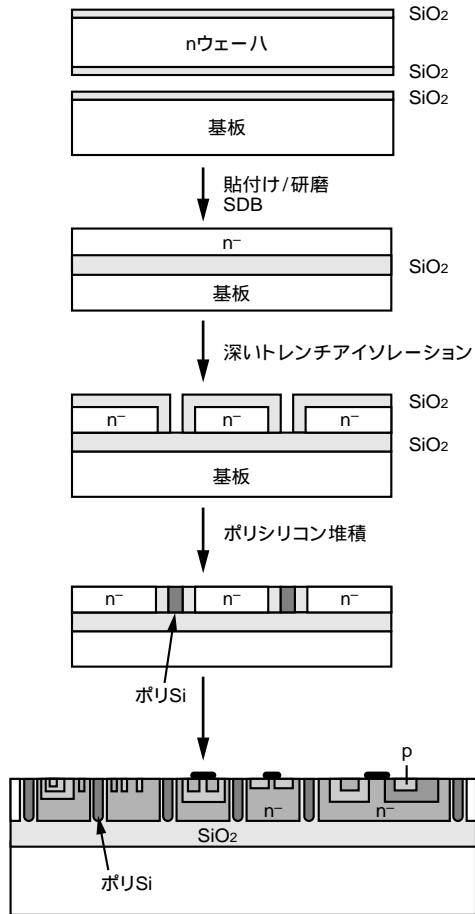


図7. プロセス工程フロー 活性層Si基板と台基板Si基板とを直接接着したウェーハを使用し、トレンチアイソレーションにより素子分離を施すSOIプロセスを示す。
SOI process flow

また、このプロセスでは、低耐圧の制御回路用として、バイポーラトランジスタ及びCMOSFETを搭載しており、デジタル回路とアナログ回路の混載が可能になっている。また、高耐圧パワー素子はラテラル構造のIGBT、nチャンネルMOSFET、FRD(First Recovery Diode)を搭載しているので、前者と併せて高機能かつ高耐圧のパワーICが実現できた。

素子の断面を図8に示す。断面左側は、250V素子のラテラルIGBTである。右側は、制御回路用低耐圧素子のnチャンネルMOSFETである。すべての素子とサブストレートが、断面図のようにSi酸化膜により分離されている。このため、pn接合分離プロセスでは起こり得る、サブストレートを介してのラッチアップ問題を回避できる。

IGBTは、一般的にその動作が少数キャリアに支配されるため、電子線照射又は重金属を拡散することで、バルクに格子欠陥を生成し、フォールタイムを高速化させていた。これに対して、このプロセスでは活性層を薄くすることで、フォールタイムが高速化される。このため、従来必要であった電

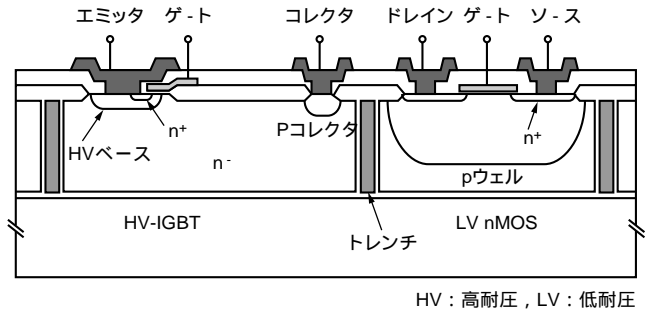


図8. ラテラルIGBTとnMOSの素子断面 パワー出力素子(250Vラテラル構造IGBT)とコントロール素子(nチャンネルMOSFET)とをワンチップ上に構成した高耐圧SOI素子の断面を示す。
Structure of lateral IGBT and nMOS

子線照射、又は重金属の拡散工程が不要になった。

4.3 ワンチップインバータ

このプロセスによる、250V 1A出力の高電圧PWM用DCブラシレスモータドライバTPD4008Kについて述べる。

回路構成を図9に、主な機能と素子特性を表2に示す。

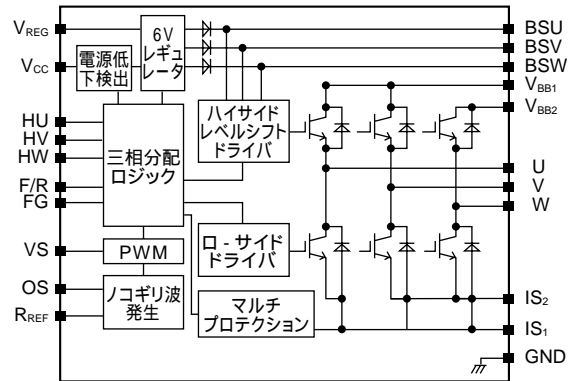


図9. TPD4008Kの回路構成 高耐圧三相DCブラシレスモータのドライブに必要なコントロール機能を内蔵し、IGBTドライバ及び出力IGBTにて構成されている。

Circuit configuration of TPD4008K

表2. TPD4008Kの主な特性と機能
Electrical characteristics of TPD4008K

項目	素子特性		
最大定格	V_{BB}	250 V	$T_a=25$
	I_c	1 A (DC), 2 A (peak)	$T_a=25$
IGBT	$V_{CE(sat)}$	2.2 V (標準値)	$I_c=0.5 A, T_a=25$
	t_f	200 ns (標準値)	$I_c=0.5 A, T_a=25$
FRD	V_F	1.3 V (標準値)	$I_c=0.5 A, T_a=25$
	t_{rr}	150 ns (標準値)	$I_c=0.5 A, T_a=25$
機能	三相分配ロジック, PWM		
保護	過電流保護, 加熱保護, 電流電圧低下保護		

t_{rr} : 逆回復時間 T_a : 周囲温度

TPD4008Kは、主に20WクラスのDCブラシレスモータを可変速制御することを目的で開発した、ワンチップインバータである。その主な応用は、小型ファン及びポンプ用モータである。従来これらのモータは、ACモータ、又は低耐圧のパワーICを用いたDCブラシレスモータが主に使用されていたが、近年の省電力化要求からACモータはDCモータへ急速に移行している。また、駆動方式も、ACラインから直接モータを駆動できる高電圧PWM方式へと変わってきた。TPD4008Kは、三相分配回路、PWM回路、ドライバ、出力素子、保護回路を内蔵しており、AC100Vラインから、DCブラシレスモータを直接可変速駆動をすることができる。このため、少ない部品でモータのDC化が可能なことから、製品の大きさ、価格などを犠牲にせずに、モータを応用した機器の省エネルギー化が実現できる。

4.4 今後の開発

パワーICに、薄い活性層でSOI構造のウェーハを適用し、250Vの高耐圧を実現した。また、厚い活性層を用いた場合と比べて、材料コストの低減、及び素子分離の工程が大幅に簡素化され、これらにより高耐圧回路の高集積化と、低価格で高機能な高耐圧パワーICを提供することが可能となった。今後は、出力素子の高電流密度化により、扱える電力領域の拡大と、更なる高機能化に向けて開発を行う予定である。

5 あとがき

以上 機器の省エネルギー化を担うパワーデバイスとして、3種類のデバイスについて述べた。今後の課題は、更なる低損失かつ高性能な製品の開発で、セル構造の超微細化を促進するとともに、新構造ウェーハの開発などにより市場ニーズに合った製品の開発を進めていく。



川野 友広 KAWANO Tomohiro
セミコンダクター社 マイクロエレクトロニクスセンター ディスクリート応用技術第二部主務。インテリジェントパワーデバイスの応用技術業務に従事。
Microelectronics Center



丸岡 正幸 MARUOKA Masayuki
セミコンダクター社 マイクロエレクトロニクスセンター ディスクリート応用技術第二部主務。パワーMOSFETの応用技術業務に従事。
Microelectronics Center



山川 祐司 YAMAKAWA Yuji
セミコンダクター社 マイクロエレクトロニクスセンター ディスクリート応用技術第二部主務。IGBTの応用技術業務に従事。
Microelectronics Center