

# ダイオードより低いオン電圧を持つ600 V系トレンチゲートIGBTの設計

Potential of 600 V Trench Gate IGBT Having Lower On-State Voltage Drop than Diodes

末代 知子  
MATSUDAI Tomoko

中川 明夫  
NAKAGAWA Akio

近年、パワースイッチングデバイスの主力であるIGBT (Insulated Gate Bipolar Transistor)において、オン電圧とスイッチングスピードとのトレードオフを大幅に改善できるトレンチ型のゲートを持つ構造が、幅広い定格電圧系で広く取り入れられている。

低損失化の観点から更なる低オン電圧化を目指し、素子耐圧600 V系の素子において薄層基板と微細設計ルールを用いた次世代のトレンチゲートIGBT構造を提案、検討した。高速のスイッチングスピードを維持したまま、オン電圧を耐圧600 Vのダイオードよりも低い、1 V以下にまで下げられる可能性を、シミュレーションにより示した。

The trench gate structure has recently been widely introduced both for low-voltage 600 V insulated-gate bipolar transistors (IGBTs) and high-voltage 4.5 kV IGBTs. The reason is because of the significant improvement that has been achieved in the tradeoff between device on-state voltage and switching speed.

This paper outlines the ultimate limit design and characteristics of a next-generation trench gate IGBT, using a very thin substrate and a finer design rule in the trench gate IGBT. The proposed IGBT will realize a forward voltage drop even lower than that of a 600 V diode while retaining fast switching speed.

## 1 まえがき

パワーエレクトロニクス機器の効率向上や小型化に対する要求が、年々強まってきている。なかでも汎用インバータやエアコン、無停電電源 (UPS)、電子レンジ、IH (電磁誘導加熱)炊飯ジャーなどの中小容量応用分野 (素子耐圧400~1,200 Vクラス)では、低損失性と制御容易性からMOS (Metal Oxide Semiconductor)駆動パワーデバイスであるIGBTが注目されている。IGBTでは、オン電圧の低減と高速スイッチング動作による低損失化が省エネルギーの観点から今後も重要な課題となっている。

縦型IGBTにおいて、トレンチ型ゲートを持つ構造、いわゆるトレンチゲートIGBTは、素子中の接合型FET (Field Effect Transistor)効果による抵抗成分 (JFET抵抗成分)を除去できるので、オン電圧の低減に有効である。トレンチ型ゲート構造は、現在、定格電圧600 Vから4.5 kVクラスまで、幅広い耐圧系で取り入れられている。

ここでは、次世代IGBTとして、高速スイッチング動作を維持したまま更なるオン電圧の低減を目的とし、基板の薄層化と微細設計ルールとを採用した素子耐圧600 V系のトレンチゲートIGBTを提案する。この構造の素子特性についてデバイスシミュレーションで検討し、ダイオードより低いオン電圧を得たので報告する。

## 2 トレンチゲートIGBTの構造

IGBTは電圧駆動型で、ターンオフ能力と広い安全動作領域を持ち、自在なスイッチング動作をする素子として幅広く用いられている。nチャネルIGBTの場合、コレクタ側から少数キャリアである正孔がn型活性層に注入され、伝導度変調が生ずることによりオン抵抗が低減される。しかし、オン状態でコレクタ側から注入された正孔は、pベース層を通り直接エミッタ電極へ流れるため、n型活性層のエミッタ側に効果的にキャリアを蓄積することができない。これがオン電圧を高める一因となっている。更に、MOSFETゲート部のチャネル抵抗とJFET抵抗成分も、オン電圧を高める要因となっている。

素子耐圧600 V系における各世代IGBTのオン電圧とターンオフ時間 (フォールタイム)との相関関係を図1に示す。従来、プレーナ技術で設計されてきたIGBTは第一世代から第三世代まで続いてきた。微細加工技術の積極的な導入によるチャネル密度の増加や短チャネル化などにより、第三世代ではオン電圧の大幅な低減に成功した。しかし、素子の繰返しパターンを微細化をもってしても、その効果には限界があった。この原因は、図2 (a)に示すように、プレーナ構造に必ず含まれるJFET抵抗成分である。このJFET抵抗成分のために、オン電圧は1.6 V (100 A/cm<sup>2</sup>)以下には下がらないことが実験的に確かめられている。

この構造に対して、JFET抵抗成分を取り除くためにトレン

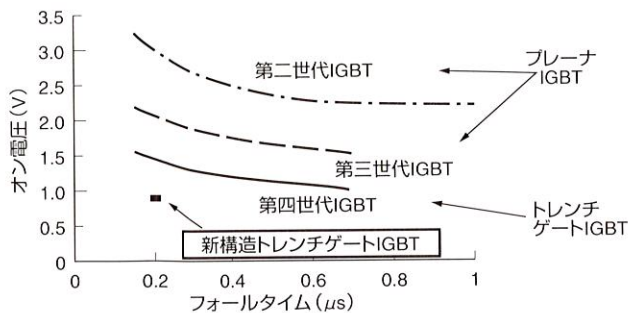


図1. 600 V系での各世代IGBTのオン電圧とフォールタイムの比較  
トレンチゲート構造を用いることで、素子中のJFET抵抗成分を取り除くことができオン電圧の改善が見られた。

Tradeoff between on-state voltage drop and fall time for different-generation IGBTs

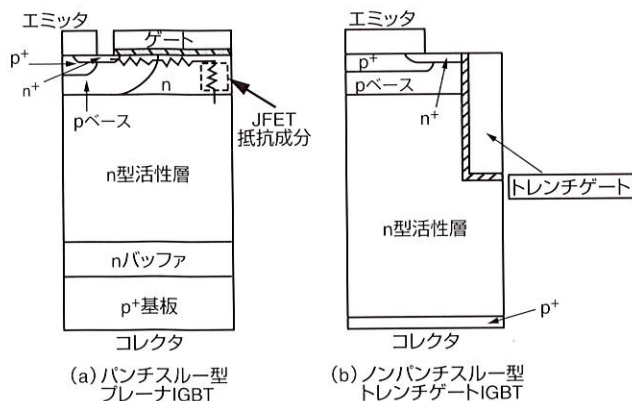


図2. 従来のIGBTの構造例 プレーナIGBTでは、微細設計を用いても必ずJFET抵抗成分が存在する。

Cross-sectional views of planar IGBT and conventional trench gate IGBT

チ溝をゲートとして採用したのが、第四世代として知られるトレンチゲートIGBTである。トレンチ構造では、素子の集積度を高くすることでチャンネル密度を向上でき、更にJFET成分を排除した効果で、プレーナ構造では実現できなかったオン電圧とフォールタイムとのトレードオフの大幅な改善が得られた。

ここでは、更なるオン電圧低減を目指した次世代トレンチゲートIGBTについて検討した。JFET抵抗を排除した効果については議論されてきているが<sup>(1)</sup>、薄層基板の適用、微細設計ルール適用の適用、深いトレンチ溝の必要性などについてまだ十分な検討が行われていない。そこで、トレンチゲートIGBTに、低注入のp<sup>+</sup>コレクタ層を備えた総厚さ55 μmの薄層化基板や、0.3 μmの微細設計ルールを導入し、低損失化の可能性についてデバイスシミュレーションを行い、検討した。

### 3 薄層基板を用いたトレンチゲートIGBT

#### 3.1 素子設計と電圧-電流特性

高速のスイッチングスピードを維持したまま、ダイオードよりも低いオン電圧を実現するべく提案した、耐圧600 V系トレンチゲートIGBTの断面を図3に示す。図4は、第三世代のプレーナIGBT、第四世代のトレンチゲートIGBTと、今回提案する次世代トレンチゲートIGBTの、温度300 Kにおける電圧-電流特性を計算により比較した図である。前述のように、プレーナIGBTはJFET抵抗成分によって、100 A/cm<sup>2</sup>を得るための条件下でもオン電圧は1.6 V以下に下らない。JFET抵抗成分を取り除くためには、LOCOS (LOCAL Oxidation of Silicon) などを含む溝型ゲートを採用し、チャンネル領域を縦方向に形成する方法がある。その結果、トレンチゲートIGBTでは、1.5 V (150 A/cm<sup>2</sup>) 以下のオン電圧が実

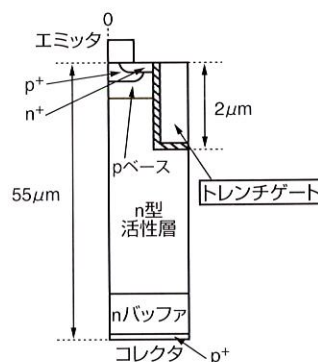


図3. 薄層基板を用いたトレンチゲートIGBTの構造 薄層基板を採用することで、低オン電圧と高速スイッチングスピードを得る。

Cross-sectional view of simulated trench gate IGBT

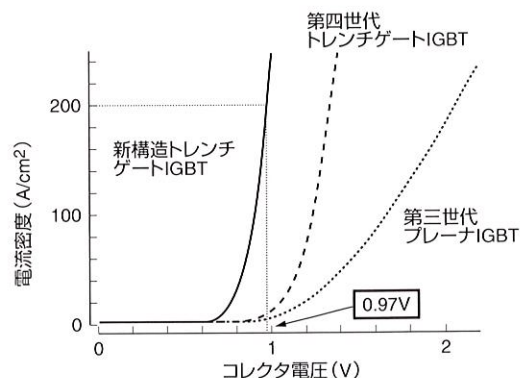


図4. 従来のプレーナIGBTと新構造トレンチゲートIGBTの電圧-電流特性 200 A/cm<sup>2</sup>の電流密度を得るときのオン電圧を比較すると、プレーナでは約2 Vなのに対し薄層基板を用いたIGBTでは0.97 Vとダイオード並の値となる。

Simulated forward current-voltage characteristics for conventional IGBTs and simulated trench gate IGBT

験的に得られている。

今回提案した薄層基板を用いたトレンチゲートIGBTの電圧-電流特性は、電流の立ち上がりが非常に早く、オン電圧にして世界最高レベルの0.97 V (200 A/cm<sup>2</sup>)という値が得られた。これは、耐圧600 V系ダイオードのオン電圧よりも低い値であり、p<sup>+</sup>コレクタ層とn型活性層領域との間の順方向電圧降下そのものに大きく近づいた値である。これまでオン電圧の低い素子として開発されてきたIGBTであるが、ここで1 Vを切る可能性が初めて見えてきた。

提案したIGBTの第一の特長は、図2(a)に示すような従来のエピタキシャル基板(以下、エピ基板と略記)を用いたパンチスルー型の構造では考えられなかった、非常に薄い基板を採用したことである。今回の検討では、基板総厚さを55 μmとしている。

パンチスルー型は、p<sup>+</sup>基板とn型活性層の間にnバッファ層を設け、活性層中の空乏層がnバッファに達する構造であり、IGBTで主流の基板構造である。耐圧600 V系に対しては活性層は厚さ50~60 μmで十分であるが、p<sup>+</sup>基板部分を含むと総厚さが200~300 μmになる。実用的なスイッチング時間を得るために、電子線照射などのライフタイム制御が不可欠である。

一方、図2(b)に示す、低ドーズ量の浅いp<sup>+</sup>コレクタ層(低注入p<sup>+</sup>コレクタ)を採用したノンパンチスルー型は、p<sup>+</sup>基板を使わないので、基板総厚さはパンチスルー型よりも大幅に薄くなる。この構造では正孔の注入率を抑制できるので、ライフタイム制御を行わなくても高速スイッチングが可能であるが、オン電圧はn型活性層の厚みと比抵抗に依存するのでまだ高い値である。

これに対し今回用いたのは、総厚さ55 μmの薄層基板である。パンチスルー型と同じく活性層は600 V耐圧に応じて50 μm程度にしてあり、空乏化させる。そのため活性層下にはnバッファ層が設けてある。一方、コレクタ側は、低ドーズ量の浅いボロン拡散層を低注入コレクタとして用いており、ノンパンチスルー型の場合と同様にライフタイム制御は不要である。シミュレーションではキャリアライフタイムを10 μsに設定した。

エピ基板を用いてライフタイム制御をしたパンチスルー型のトレンチゲートIGBTと、薄層基板のトレンチゲートIGBTの素子中のキャリア密度の計算結果を図5に示す。いずれも電流密度200 A/cm<sup>2</sup>のオン状態でのキャリア密度を示している。薄層基板の構造では、電子、正孔密度ともpベース側も含め活性層全体にわたって非常に高くなっており、この影響でオン電圧が効果的に下がることがわかる。

今回提案した構造の第二の特長は、微細設計ルールをパワー半導体に用いたことであり、LSIラインで試作可能な範囲にまで素子の繰返し単位を縮小し、トレンチ溝幅が0.6 μm、トレンチ溝深さは2 μmとしてある。微細加工設計は主に、ト

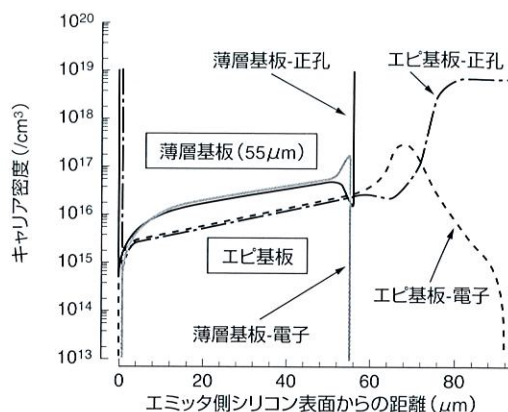


図5. オン状態のキャリア分布の比較 薄層基板のIGBTでは、n型活性層全体にわたって高いキャリア密度を示す。  
Simulated carrier distribution

レンチトレンチ間、つまりエミッタ電極周りの領域に適用した。更に、pベース層を浅く拡散して短チャネル化も図っている。

0.97 Vというダイオードより低いオン電圧は、基板薄層化、微細化によるチャネル密度の増加、短チャネル化のすべてを満たして初めて得られる結果である。しかし、低注入p<sup>+</sup>コレクタを備えた薄層化基板の採用で、活性層のキャリア密度を非常に高くできたことが低いオン電圧にもっとも寄与している。

### 3.2 その他の電気特性

次に試作面での負荷となっているトレンチ溝の条件に触れる。従来のトレンチゲートIGBTでは、オン電圧の低減のために深い溝を必要としてきた。これに対して提案したIGBTでは、図6に示すようにオン電圧はトレンチゲートの深さにほとんど依存しない。つまり、ゲートに用いるトレンチは2 μmという浅い溝で十分であり、試作面での負担となる精巧な

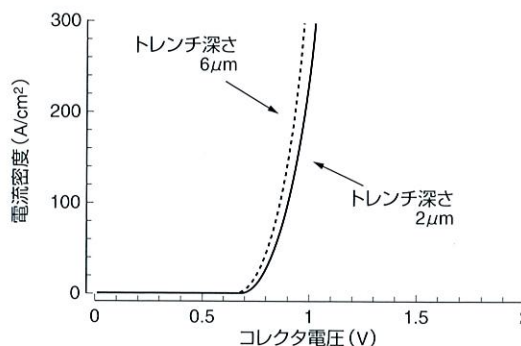


図6. トレンチ深さによる電流-電圧特性の比較 薄層基板のIGBTでは第四世代IGBTと異なり、オン電圧がトレンチゲートの深さに依存しない。

Simulated current-voltage characteristics for cell size 0.9 μm with trench depths of 2 μm and 6 μm

深いトレンチゲートを必要としない。この理由は、活性層中のキャリア密度が活性層全体にわたって非常に高いため、オン電圧がトレンチ構造によるキャリアの蓄積効果に影響されないからである。

ターンオフ波形のシミュレーション結果を図7に示す。新構造トレンチゲートIGBTでは、低注入 $p^+$ コレクタを採用し、コレクタ側からの正孔の注入率を制御している。このためライフタイム制御なしの条件、つまりライフタイム $10\mu s$ の設定でも、 $200 A/cm^2$ の電流密度の状態から $200 ns$ という高速のターンオフ時間（フォールタイム）が得られている。

薄層基板での耐圧を図8に示す。素子耐圧は $n$ 型活性層の厚さで決まっており、理論的にはコレクタ側の $p^+$ 層をごく薄くしても耐圧には影響しない。これも計算により $600V$ 以上の耐圧が確認されている。従来、パンチスルー型では、ライフタイム制御のために電子線照射を行い、これによる耐圧

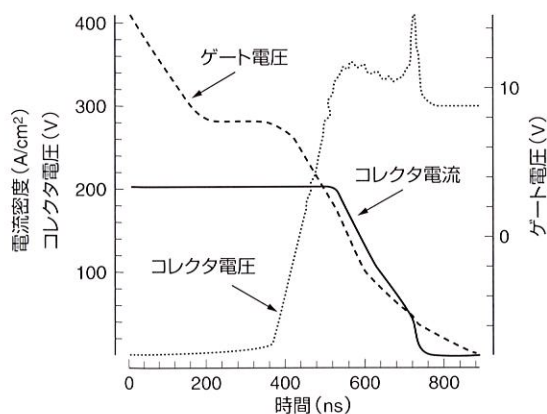


図7. 計算によるトレンチIGBTのターンオフ波形 ライフタイム $10\mu s$ の条件下で、フォールタイム $200 ns$ という高速動作が得られた。  
Turn-off waveforms of simulated trench gate IGBT

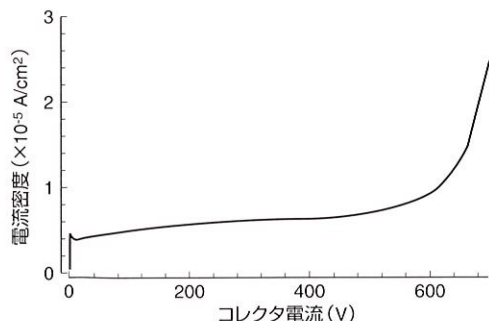


図8. 薄層基板を用いたIGBTの耐圧  $n$ 型活性層の厚さを $50\mu m$ に設定し $n$ バッファを設けた基板構造にすることで、シリコン全体の厚みが $55\mu m$ でも $600V$ 耐圧は維持される。  
Simulated breakdown characteristic combined with low-efficiency p-emitter

劣化のマーゼンを見込んで、設計段階では計算上 $750V$ 程度の耐圧をねらっている。しかし、新構造トレンチゲートIGBTでは、ライフタイム制御が不要となるため、電子線照射による耐圧劣化のマーゼンも必要がなくなる。

一般に、オン電圧とターンオフ時間とはトレードオフの関係にあり、従来のトレンチゲートIGBTは、 $1V$ 付近にまでオン電圧を下げる素子条件ではターンオフ時間が長くなっている。今回提案したIGBTでは、 $600V$ の耐圧と $200 ns$ の高速のフォールタイムを維持したまま、ダイオードをも下回る $1V$ 以下の低オン電圧が得られる可能性があることが示された。

#### 4 あとがき

電力の変換や制御を行うパワー半導体には、高耐圧化、低オン電圧化、高速・高周波数化などの要求がある。特に、スイッチングデバイスとして需要の大きいIGBTでは、低オン電圧化が課題となっている。

プレーナ型の微細化や、JFET抵抗成分除去のためのトレンチゲート型の採用で実現してきた低損失化を更に進めるため、今回、薄層基板とLSI分野で用いる微細設計ルールという新たな観点をパワー半導体に取り入れることを提案した。計算では素子特性の大幅な改善の可能性が示された。もちろん、試作上は基板を薄層化するための様々な技術課題がある。しかし、これをクリアできれば、高価なエピタキシャル基板を用いる必要もなく、ライフタイム制御も省略可能となり、なによりもオン電圧とターンオフ時間とのトレードオフにおいて大幅な改善が見込める。

低オン電圧の次世代IGBTは、今後、省エネルギーが重要になるパワーエレクトロニクスと情報通信分野との融合領域（通信機器の電源、ディスプレイ周辺回路、交通用、送配電用）での成長が大いに期待される。

#### 文献

- (1) Kitagawa, M., et al. "Injection Efficiency Enhancement in Dynamic Trench Gate Emitter (DTGE) for 4,500V MOS Gate Transistor (IEGT)". SSDM Technical Digest, Yokohama, 1994, p.760-762



末代 知子 MATSUDAI Tomoko

セミコンダクター社 ディスクリート半導体事業部 ディスクリート半導体開発部主務。パワー素子・パワーICの開発に従事。応用物理学会会員。  
Discrete Semiconductor Div.



中川 明夫 NAKAGAWA Akio, D.Eng.

研究開発センター 個別半導体基盤技術ラボラトリー技監、工博。パワー素子・パワーICの開発に従事。IEEE、電気学会、応用物理学会会員。  
Advanced Discrete Semiconductor Technology Lab.