

渡辺 重佳
WATANABE Shigeyoshi

川中 繁
KAWANAKA Shigeru

布施 常明
FUSE Tsuneaki

システムLSIは、将来のマルチメディア社会を支え、半導体事業を牽引(けんいん)するキーデバイスとして位置づけられる。近年、システムLSIに必要な不可欠な、高速低消費電力特性を実現可能とするSOI (Silicon On Insulator) 技術が脚光を浴びている。

当社は、このようなニーズにこたえるために、SOI基板上に構成されたLSIに必要な不可欠となる新たなデバイス・設計技術を開発した。独自の低リーク電流デバイス設計法と可変しきい値制御方式の導入により、高速性能を犠牲にすることなく、従来より2けた消費電力が少ない0.5V動作のデジタルLSIを実現した。また、横形バイポーラトランジスタの導入により、携帯情報端末に対応可能な低消費電力であるRF用アナログLSIを構成できる。

In recent years, there has been increasing demand for the realization of a high-speed, low power system LSI with silicon-on-insulator (SOI) technology. To meet this requirement, we have developed a novel device/circuit technology for SOI devices. Our newly developed device design and body bias control method enables power dissipation to be reduced to 1/100 without sacrificing the operating speed. Using a novel SOI lateral bipolar junction transistor, low-power, high-speed characteristics for a radio-frequency analog LSI can be achieved.

1 まえがき

マルチメディア社会では文字から音声へ、静止画から動画へと情報量は着実に増加し、それに伴ない21世紀のシステムLSIに要求される情報処理能力は1,000 MIPS (Million Instructions Per Second)にも達すると予想される。一方、システムLSIの消費電力は、その高集積・高密度化により増加の一途をたどっている。その結果、高性能のプロセッサでは将来100Wにも達すると予想されている。携帯情報端末でも従来のバッテリー寿命を確保しつつ、動画などの高度のマルチメディア処理を実現するのが困難となる。

これらの高速化、低消費電力化の要求にこたえられる新技術として、従来の埋込み酸化膜のないシリコン(Si)基板であるバルクSi基板に代え、Si支持基板、埋込み酸化膜、SOI層の3層構造から成るSOI基板を用いたデバイス、設計技術が提案されている(図1)。

SOI基板を用いると、素子のpn接合部分がSiの支持基板から埋込み酸化膜で分離されるので、素子の接合容量が従来のバルクSi基板の場合に比べて大幅に低減できる。そのため、従来以上の高速低消費電力特性が期待できる。SOI素子には、ほかにも薄いSOI層の下に埋込み酸化膜があるため、隣接した素子間の分離が容易になる特長がある。

ここではこれらのSOI素子の特長を生かしたシステムLSI実現のための高速低消費電力技術について述べる。

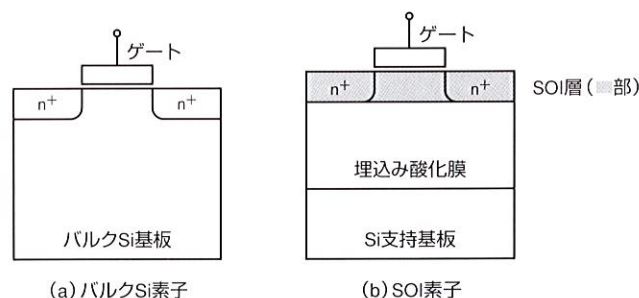


図1. 素子の断面構造の比較 SOI素子ではpn接合部分の接合容量が低減できるため、バルクシリコン素子以上の高速低消費電力特性が実現できる。

Comparison of device structures

2 微細SOI素子のデバイス設計法

この章では、SOI素子固有の問題点で基板浮遊効果とともに重要な素子分離(LOCOS(LOCAl Oxidation of Silicon)分離)形成によって生ずる素子のリーク電流増大の問題と、それを解決するデバイス設計法^{(1),(2)}について述べる。

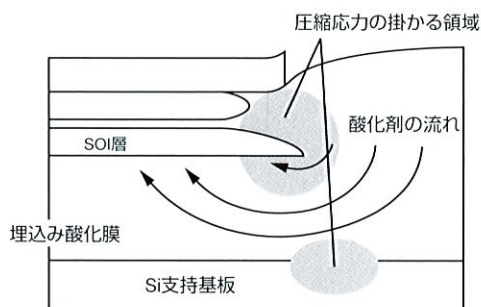
従来、SOI素子の素子分離法としては、プロセス工程の簡略さなどの観点からバルクSi基板で使われるLOCOS法が広く用いられている。しかしながら、薄いSOI層にLOCOS法を適用すると結晶欠陥が発生しやすく、薄いSi層に形成したMOS(Metal Oxide Semiconductor)トランジスタの素子分離端で、ソースとドレイン電極間にリーク電流が発生する間

題がある。リーク電流は1トランジスタ当たり μA オーダーにも達し、多数のトランジスタを集積したシステムLSIを実現する場合に低消費電力化の妨げとなる。

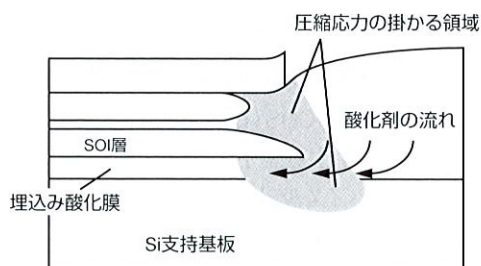
このリーク電流の原因を、LOCOS酸化工程のシミュレーションを用いて究明した(図2(a))。LOCOS酸化が埋込み酸化膜まで達すると、酸化剤は図中の矢印で示すように酸化膜中を拡散する。そのため薄いSOI層の端部と、その直下の酸化膜とシリコン支持基板の界面で体積膨張が発生し、その結果圧縮応力が生ずる。

圧縮応力は本来酸化剤の拡散を抑制する働きがあるが、図2(a)のように酸化膜厚が400nmと比較的厚い場合には、酸化剤は容易に酸化膜中を拡散し、薄いSOI層の底部に回り込む。この結果、薄いSOI層が大きく変形し(図3)、リーク電流の原因になる。

この問題点を解決するため、新たに埋込み酸化膜厚の最適設計手法を開発した。最適化された膜厚80nmの場合(図2(b))には、図2(a)と比較して圧縮応力が発生する2か所が近接するため、酸化剤の拡散が抑制される。そして薄いSOI層底部の酸化も抑制され変形も小さくなる(図4)。その結果、リーク電流も6けた以上低減され、SOI素子を用いた大容量化されたシステムLSIの低消費電力化が初めて可能となった。



(a) 酸化膜厚400nm



(b) 酸化膜厚80nm

図2. LOCOS酸化工程のシミュレーション結果 埋込み酸化膜厚を最適化することにより、酸化剤のSOI層底部への回り込みを防げる。

Results of simulating LOCOS process

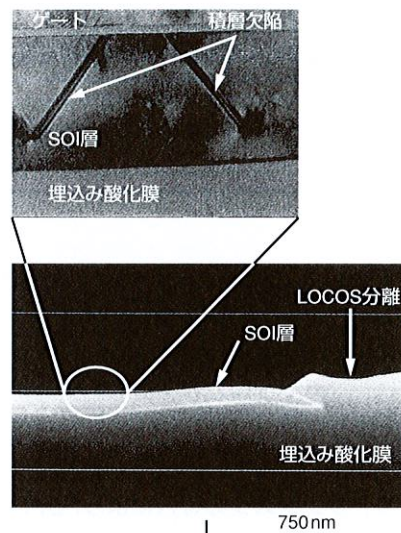


図3. リーク電流の発生したSOI素子の断面TEM写真 埋込み酸化膜厚が比較的厚い場合(400nm)には、薄いSOI層が大きく変形し、リーク電流が流れる。

Cross-sectional view of leaky SOI device

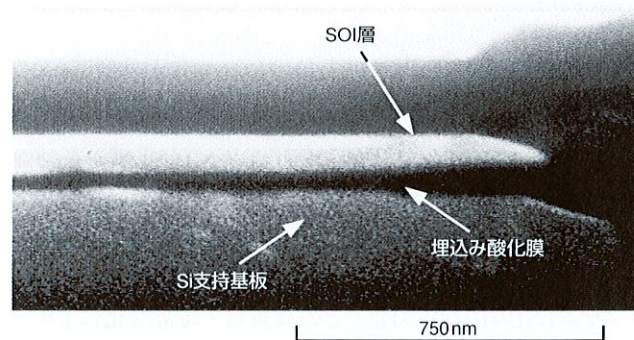


図4. 酸化膜厚を最適化したSOI素子の断面TEM写真 埋込み酸化膜厚を最適化(80nm)することにより、リーク電流を低減できる。

Cross-sectional view of optimized SOI device

3 基板電位制御によるデジタル回路の低消費電力化

高集積化により増加傾向にあるシステムLSIの消費電力を減らすためには、LSIを構成するデジタルCMOS(Complementary MOS)回路の消費電力の大部分を占める負荷容量の充放電電流を低減しなければならない。デジタル回路では充放電電流は電源電圧の二乗に比例するため、電源電圧を下げることで消費電力の低減にもっとも効果がある。ただし、MOSトランジスタのデバイス設計を変更せずに低電圧化すると、動作速度が大幅に落ちる問題が新たに発生する。

これらの課題を解決するため、各トランジスタごとに基板

を分離し、基板電圧を動的に制御することによりしきい値電圧を可変とする方式を導入した。この方式では具体的にはトランジスタのゲートと基板を接続し、動作時にはそのしきい値を下げることで高速性能を実現し、待機時にはしきい値を上げることで低消費電力特性を達成している。トランジスタごとに基板電圧を個別に制御するためには、各トランジスタごとに基板を分離しなければならない。従来のバルクSi基板では、基板が共通になっているためお互いに分離するのは困難だが、SOI基板を導入することにより初めて容易に分離できるようになった(図5、図6)^{(3)・(4)}。

この方式を導入する際に、SOI素子固有のソースとドレイン電極間のリーク電流を低減するため、埋込み酸化膜厚には2章で述べた最適化された80nmを用いている。

この方式の技術検証のため、0.3μmのSOIデバイス技術を用いて、32ビットのプロセッサ回路(ALU: Arithmetic Logic Unit)を試作した⁽⁵⁾。図7に試作したチップと得られた特性を示す。0.5Vという低い電源電圧で高速動作を実現するため、動作時にはしきい値を0Vと低く設定している。

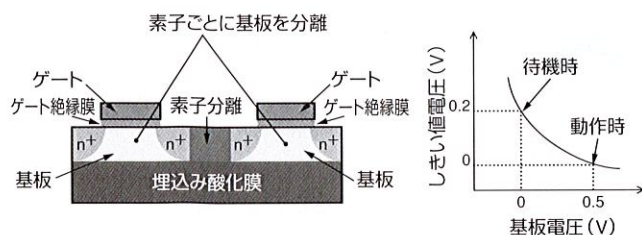


図5. 可変しきい値制御方式 基板電位を制御することにより、しきい値電圧を可変にできる。
Threshold-voltage control technique

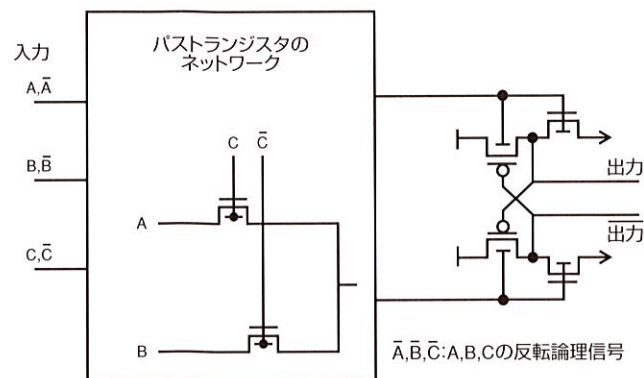
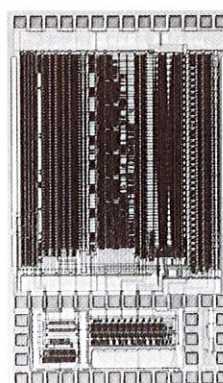


図6. 可変しきい値制御方式を用いたSOIパスゲート回路 パスゲート回路に適用することにより、高速低消費電力特性が実現できる。
SOI pass-gate logic with threshold-voltage control technique

一方、待機時にはしきい値を0.2Vと上昇させることにより、トランジスタのもれ電流(サブスレッショルドリーク電流)を低減している。その結果、消費電力は約2mWと従来のバルクシリコン基板のときと比較して2けた近く小さい値を実現できた。そのときの動作スピードは200MHzと従来のバルクシリコン基板の場合と遜色(そんしょく)ない値となっている。

以上の結果により、SOI素子を用いたしきい値を可変とする方式は、デジタルLSIの高速性能を損なうことなく2けた近い低消費電力化を実現することが実証できた。



- ・可変Vt SOIパスゲート回路
- ・0.3μm SOI CMOSプロセス
しきい値電圧：動作時 0V
待機時 0.2V
埋込み絶縁膜厚：80nm
- ・動作電圧：0.5V
- ・動作周波数：200MHz
- ・消費電力：2mW

図7. 32ビットプロセッサ回路のチップと特性 可変しきい値制御方式の導入により、32ビットALUの消費電力を従来の1/100に低減できた。
32-bit ALU with threshold-voltage control technique

4 RF用SOI横形バイポーラ トランジスタ

SOI基板を導入することにより、デジタル回路だけでなく、RF (Radio Frequency) 用アナログ回路の高速低消費電力化が実現できる^{(6)・(7)}。従来RF用アナログ回路としては、バルクシリコン基板上に形成した縦形のバイポーラ トランジスタが使用されていた(図8(a))。そのデバイス構造は素子分離を中心として非常に複雑であり、素子面積も大きくなった。それに対しSOI基板を用いた横形のバイポーラトランジスタ(図8(b))では、素子構造が簡単なため、製造工程数が従来のバルクシリコン基板の場合より40%低減できる。しかもSOI基板の導入により各電極の接合容量が大幅に低減するため、バルクシリコン基板の場合と比較して高速低消費電力特性が実現できる。

この方式の検証のため0.3μmのデザインルールを用いて、SOI基板上に形成した横形バイポーラトランジスタの特性を三次元デバイスシミュレーションを用いて予測した。その結果、通常LSIの動作周波数の10倍必要になると言われている最大発振周波数fmaxは50GHz近い高速性能が得られた。この技術を用いることにより、2GHzで動作する将来

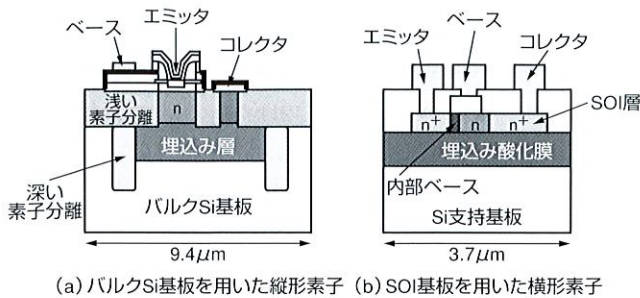


図8. バイポーラトランジスタ構造の断面構造の比較 SOI基板上に形成することにより、素子構造が簡単になる。
Comparison of bipolar junction transistor structures

のW-CDMA (Wide-band Code Division Multiple Access: 広帯域符号分割アクセス)用端末のRF部分を、安い製造コストで、従来と比較して1けた小さな消費電力で、実現できる可能性がある。

5 あとがき

次世代のシステムLSIの高速化、低消費電力化に必要な不可欠となるSOI素子を用いたデバイス・回路技術について述べた。信頼性の高い低価格のSOI基板が量産される21世紀の初頭には、これらの要素技術を採用した高度のマルチメディア処理に対応できるシステムLSIが、半導体産業、マルチメディア社会を支える新たなコア技術になると予想される。21世紀のシステムLSIのコア技術を開発しているという認識の下に、今後も研究開発に注力したい。

文献

- (1) Kawanaka, S., et al. Study of LOCOS-induced anomalous leakage current in thin film SOI MOSFETs. IEICE Trans. ELECTRON. E82-C, 7, 1999, p.1341-1346.
- (2) 川中 繁. SOIにおける素子分離技術, S/D間異常リークはBOX厚に関連. 月刊Semiconductor World. 2月号, 1999, p.76-81.
- (3) Fuse, T., et al. 0.5V SOI CMOS pass gate logic. ISSCC Dig. Tech. Papers. 1996-02, IEEE, 1996, p.88-89.
- (4) Fuse, T., et al. A ultra low voltage SOI CMOS pass gate logic. IEICE Trans. ELECTRON. E80-C, 3, 1997, p.472-477.
- (5) Fuse, T., et al. A 0.5V 200MHz 1-stage 32b ALU using a body bias controlled SOI pass-gate logic. ISSCC Dig. Tech. Papers. 1997-02, IEEE, 1997, p.88-89.
- (6) Kawanaka, S. et al. 3-D simulation analysis of high performance SOI lateral BJT for RF applications. IEEE SOI Conf. 1998-10, IEEE, 1998, p.29-30.
- (7) 川中 繁. SOI横形バイポーラ素子のシミュレーション解析, 21世紀に向けた半導体技術問題研究委員会予稿. 1998-11, (社)日本工業技術振興協会. 1998, p53-63.



渡辺 重佳 WATANABE Shigeyoshi, D.Eng.
技術企画室 参事, 工博。大容量メモリ, 高速低消費電力デバイス, システムLSIの研究・開発に従事。電子情報通信学会, IEEE会員。
Technology Planning Div.



川中 繁 KAWANAKA Shigeru
セミコンダクター社 マイクロエレクトロニクス技術研究所。高速低消費電力デバイスの研究・開発に従事。IEEE会員。
Microelectronics Engineering Lab.



布施 常明 FUSE Tsuneaki
研究開発センター コンピュータ・ネットワークラボラトリー 研究主務。高速低消費電力デバイス, システムLSIの研究・開発に従事。
Computer & Network Systems Lab.