

DRAM 内蔵ハードディスク コントローラ LSI

Hard Disk Controller with Embedded DRAM

西出 康一
NISHIDE Koichi

出町 一則
DEMACHI Kazunori

西牧 治良
NISHIMAKI Jiro

2.5 インチ型磁気ディスク装置(以下, HDD と記述)内蔵のコントローラ LSI を開発した。この LSI は、半導体最先端技術である 0.35 μm DRAM 混載 ASIC 技術を用い、4 Mビット DRAM、ランダムロジック 125 K ゲート、PLL(Phase Locked Loop)2 個をインテグレーション(集積)し、ボディサイズ 14 mm \times 14 mm の 128 ピン TQFP(Thin Quad Flat Package)に収めた。この開発により、当社 HDD 戦略に密着した LSI 開発、DRAM 内蔵による高性能・ローパワー化、基板面積縮小による HDD の薄型・小型化、コスト競争力強化などを実現している。

We have developed a hard disk controller LSI for Toshiba hard disk drive products using 0.35 μm embedded DRAM technology. We integrated a 4 Mbit DRAM, 125 k gates random logic, and two phase-locked loops (PLLs) into one chip. The body size of the package is within 14 mm \times 14 mm, and the pin count is 128.

Through this development, we realized lower power consumption and higher performance, and contributed to thinner and smaller hard disk drives. We also obtained high competence in terms of cost.

1 まえがき

ノートパソコン(PC)やサブノート PC の市場拡大に伴う 2.5 インチ型 HDD の需要拡大とマルチメディア技術の進展などにより、HDD の記憶容量の増加、高速化、高信頼性化、小型・軽量化、低価格化が強く要求されている。それらの要求にこたえるため、当社では HDD のキーデバイスである HDC(ハードディスクコントローラ)LSI の開発を行なった。

2 コントローラ LSI の概要

2.1 HDD 戦略に密着した LSI

HDD の記録密度は年率 60% 以上の割合で増加しており、現在ではディスク 1 枚で 3 G バイトを超える容量に達している。この大容量化には HDC のエラー訂正能力の向上も大きく寄与している。

また、HDD 内のキャッシュメモリの高度化によりアクセススピードも年々改善されている。この LSI は、このようなエラー訂正機能やキャッシュメモリを内蔵する HDC であり、当社の HDD 戦略に密着した LSI として開発されている。

2.2 HDD の小型・薄型化に貢献

ノート PC に代表される携帯機器の小型化に伴い、HDD の小型・薄型化が進んでいる。この LSI はキャッシュメモリとして使用される DRAM とサーボ制御回路をワンチ

ップに内蔵することにより、HDD 基板上の部品を削減した(図 1)。

2.3 超量産のための部品供給安定化と低コスト化

当社の 2.5 インチ型 HDD は世界市場で高いシェアを確保しており、年間で 500 万台以上の生産台数になる。

この LSI はこのような超量産に対応するため、また DRAM 混載 ASIC(用途特定 IC)プロセスなどの高度な半導体プロセスを用いることによるリスク回避のため、複数の半導体ベンダーで製造を行う必要がある。また、LSI の低コスト化を実現するために、つねにコストに見合う半導体ベンダーの開拓が必要である。

2.4 コントローラ LSI の特長

- (1) 4 Mビット DRAM バッファ内蔵 64 ビットのデータバス幅をもつ 4 Mビット DRAM を内蔵している。これにより外付け DRAM に比べて、データ転送レートが向上し、基板面積が削減され、消費電力も小さくなった。さらに、効率の高いキャッシュアルゴリズムと組み合わせることによって、ディスクのアクセススピードを向上させた。ディスクリード時における、キャッシュミスヒット時とヒット時のデータの流れを図 2 に示す。
- (2) 高度なエラー訂正機能を内蔵 3 インタリーブ 7 バーストエラー訂正という方法により、1 セクタ(512 バイト)の中で 1 か所のエラーであれば連続 161 ビットまで、3 か所のエラーであれば 1 か所当り連続 49 ビットまでのエラー訂正が可能である。

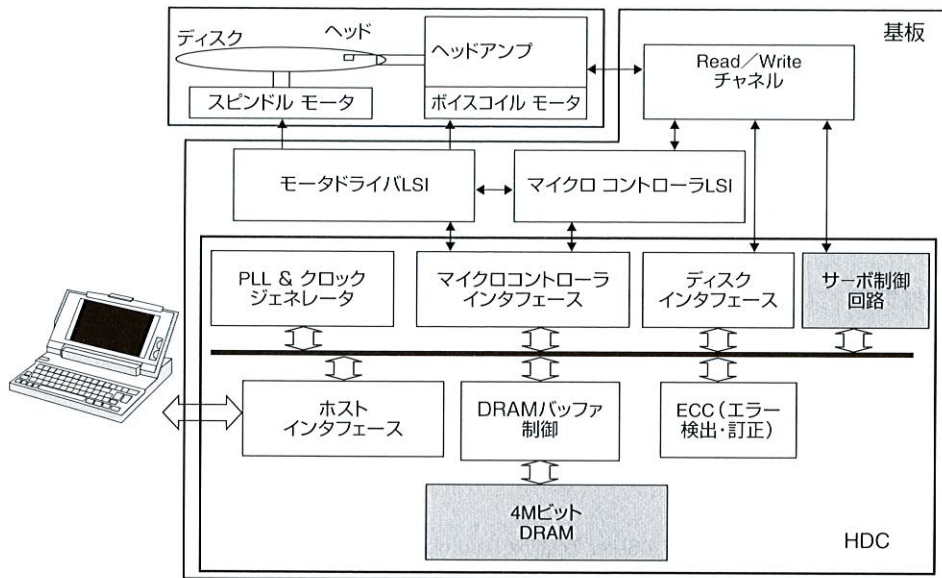


図1. 当社 HDD システムの内部構成に貢献している。

HDC に DRAM とサーボ制御回路を内蔵することにより、HDD の小型化、高性能化、低消費電力化に貢献している。

Configuration of Toshiba hard disk drive

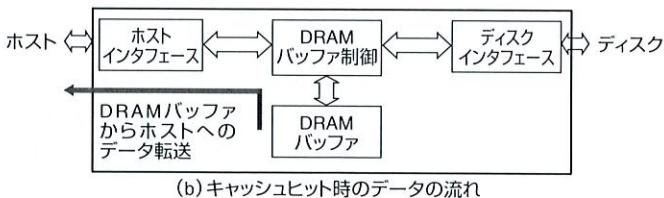
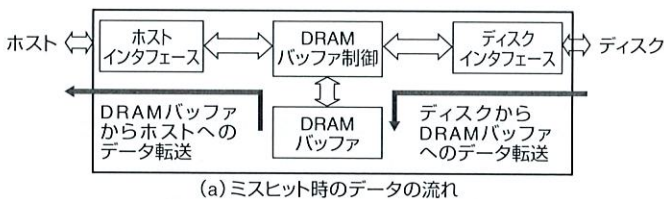


図2. ディスクリード時のデータの流れ (a)は、ディスクからの読出しが必要になり、ディスク回転待ちやシークタイムなどミリ秒オーダーの時間がかかる。(b)は、DRAM からの読出しだけであり、非常に高速である。

Data flow of disk read transfer

(6) マルチベンダー開発 LSI のマルチベンダー化による開発においては、各ベンダーの開発期間をできるだけ短期間に行う必要がある。そのためにこの LSI では、後の 4 章で述べるように特別な開発手法を用いている。

3 コントローラ LSI 開発で用いた LSI 技術

3.1 プロセス技術

この LSI には、0.35 μ m DRAM 混載 ASIC (dRAMASIC™) プロセスに、HDD の標準インタフェースである ATA インタフェースに必要な I/O (入出力) セル設計のために、厚いゲート酸化膜を追加したマルチ酸化膜厚プロセスを適用している。当社の DRAM 混載 ASIC プロセスは、汎 (はん) 用の 0.35 μ m DRAM プロセスをベースに、ゲート酸化膜の薄膜化や多層配線技術を盛り込むことにより、同世代の CMOS LSI と同程度のトランジスタ速度、狭ピッチ多層メタル配線を実現した。また、トランジスタ形成前に記憶保持キャパシタンスを基板に埋め込んで形成するトレンチ型メモリセルを採用しており、これによりセル形成時の熱工程によるトランジスタ性能劣化防止、およびメモリ部とロジック部の平坦性確保による製造マージンの向上を実現するとともに、大きなセルキャパシタンスによるノイズ耐性向上を実現している。

- (3) ATM-4 ホストインタフェース規格^(注1)対応
Ultra-DMA 33 モードサポート^(注2)により高速化した (最大 33 M バイト/秒)。
- (4) キャッシュヒット自動判定回路を内蔵 複数のリードセグメントに対するヒット判定機能をもつ。
- (5) ライトコマンド処理の高速化 データバッファ (この LSI では内蔵 DRAM) にデータを取り込んだ時点で、ホストにコマンドの終了を示すライトコマンドキューイング機能をサポートした。

(注1) PC とハードディスクを接続する DFS (事実上の業界標準) である IDE (Integrated Device Electronics) インタフェースを ANSI (米国規格協会) で標準化した規格の一つ。

(注2) ホストと磁気ディスク間のデータ転送モードの一つ。

3.2 設計技術

上記 DRAM 混載プロセスを用いて試作した LSI のチップ写真を図 3 に示す。この LSI の設計には、メモリジェネレータにより自動生成された 4 M ビットの DRAM マクロを搭載したエンベデッドアレイ手法を採用した。これにより LSI に要求される試作ターンアラウンド時間の短縮化や大規模量産の垂直立上げなどが可能になり、市場にタイムリーに LSI を供給することができた。

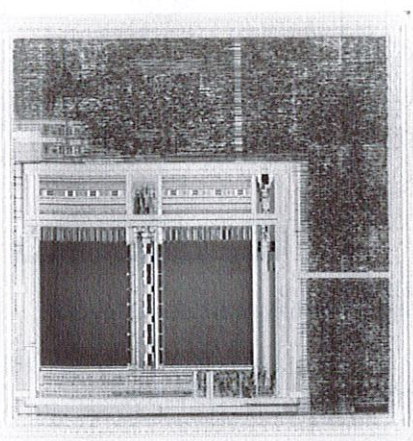


図 3. DRAM 混載 HDC 左下に 4 M ビット DRAM マクロが埋め込まれている。

Micrograph of hard disk controller with embedded DRAM

3.3 テスト技術

メモリのテストについては、DRAM マクロに内蔵したテスト回路を直接アクセスすることで行なっている。これにより汎用 DRAM と同様なメモリテストが可能になり、メモリセルの冗長ロー（セルの横列）／カラム（セルの縦列）を用いて不良セルを救済するリダンダンシ技術^(注3)の適用が可能となる。この方法を用い、汎用 DRAM 並みの動作保証、歩留まり向上が可能になった。

4 マルチベンダー化開発手法

ここでは、コントローラ LSI の開発で採用したマルチベンダー化を実現する“超短期開発手法”と“高品質設計手法”について述べる。

4.1 LSI のマルチベンダー化の従来手法とその問題点

4.1.1 AC(Alternating Current)タイミング上の問題が多発 ネットリスト(回路接続情報)の作成方法は、第 2 ベンダーのライブラリを使用して、RTL(Register Transfer Level)から論理合成をする方式が一般的である。当然ながら制約ファイルは、半導体ベンダーごとに作る必要があ

り、おのおのベンダーごとにノウハウが必要であった。また、この方式で作成したネットリストは、第 1 ベンダーのネットリストと比較した場合、回路構造が変わってしまうという問題があった。これにより、第 2 ベンダー品以降の設計時に AC タイミング検証と論理合成のやり直し作業が多発し、開発期間が長期化するという問題があった。

4.1.2 半導体ベンダーごとにセルが異なる(名前、機能など) 半導体ベンダーごとにセルが違うため、おのおのベンダーのセルの機能・性能を把握しなければならない。

これらの回路構造の違い、セル名の違いで“回路を追えない”という問題は、論理検証のあらゆる場面で足かせとなり、マルチベンダー化の開発は、第 1 ベンダー開発と同様の設計リソースを必要としていた。

4.1.3 半導体ベンダー製 CAD の違い CAD のオープン化が進んでいる現在でも、半導体ベンダーは自社の設計ルールにあった自製の CAD をユーザーに提供することが多い。この場合、CAD の習得に時間がかかるなどの問題がある。また、CAD のインタフェースデータの違いで第 1 ベンダーの設計データの再利用が困難であった。

4.2 マルチベンダー化の開発手法

コントローラ LSI のマルチベンダー化の開発手法は、第 1 ベンダーの開発環境で作られた設計データを再利用し、当社の設計ルールと設計フローに他のベンダーを合わせ込むということを基本としている。そして、従来手法の問題点は、以下のように解決し、実際の開発に適用した。

4.2.1 セル交換ソフトマクロによるネットリストの再利用 まず、ネットリストの回路構造の違いは、第 1 ベンダーで作成したゲートレベルのネットリストを再利用することで問題を解決した。当社のセル名で構成されたネットリストを他のベンダーのセルへマッピング(対応付け)する方法は、“当社セル→ベンダーセル変換用ソフトマクロ”を付加する方式をとった。このソフトマクロは、マクロ名が当社セル名で、そのなかは、当社セルに相当するベンダーのセルで構成されている(図 4 の網掛け部分)。

4.2.2 セル名の違い セル名の違いの問題は、ソフトマクロ内の識別名を当社セル名にすることで解決した。こうすることで CAD の出力情報の最下位階層に当社セル名の識別名が現れ、ベンダーのセル名をまったく知らなくても開発が可能である。

4.2.3 汎用 CAD 採用による設計データの再利用 CAD については、当社の開発環境と同様の汎用シミュレータ(Verilog-HDL(Hardware Description Language: ハ

(注 3) 大規模化したメモリでは、その全セルが良品になることは難しく、予備のセル列に置き換えて良品チップを得る。これをリダンダンシ技術と呼ぶ。

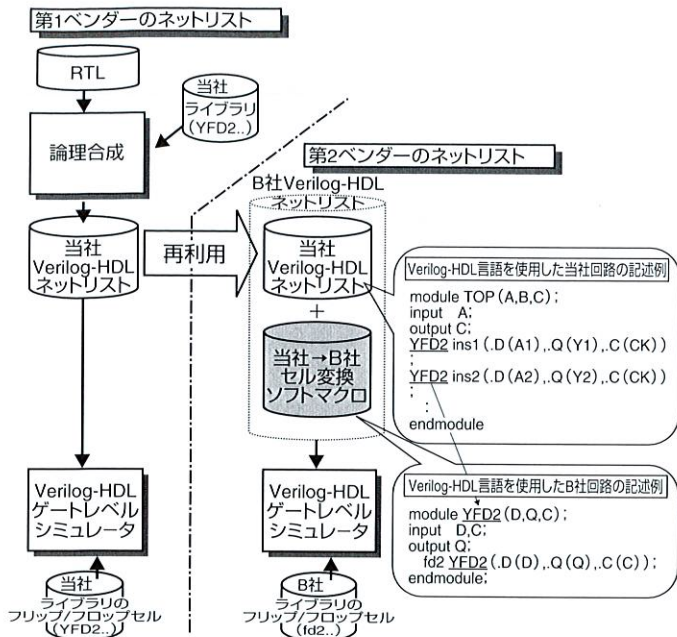


図4. ネットリストの再利用とセル変換ソフトマクロ ベンダーのセルへのマッピングは、“当社セル→ベンダーセル変換用ソフトマクロ”を付加する方式をとった。この図は、当社のフリップ/フロップセル(YFD2)をB社のfd2に対応付けた例である。

Converting Toshiba format netlist to those of other vendors using soft macro cells

ードウェア記述言語)シミュレータ), 汎用スタティックタイミグ解析ツールを採用した。ネットリストだけでなく, テストデータ, タイミグ解析用情報も再利用を可能にした(図5)。

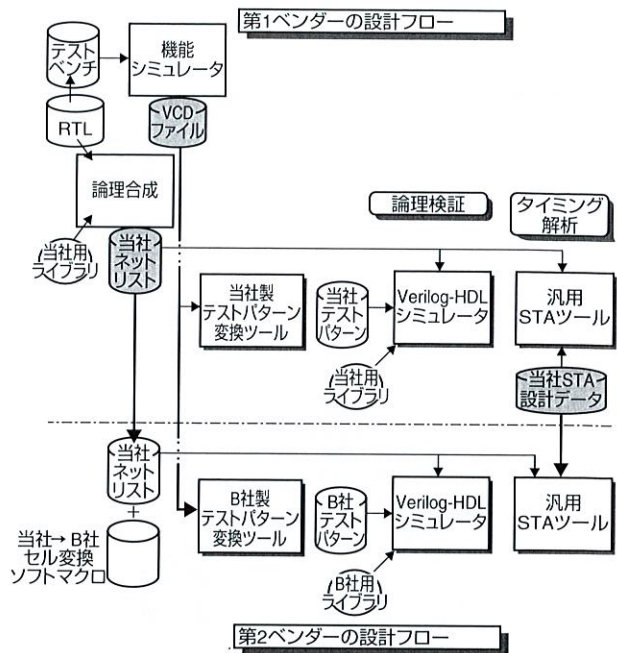
4.2.4 この開発手法のメリット 上記のマルチベンダー開発手法により, このLSIの第2, 第3ベンダー品の設計を2~3週間という短期間で行うことができ, HDDの超量産の垂直立上げに貢献することができた。

5 あとがき

今後, ますますHDDの高性能化, ローパワー化, 小型化, 低コスト化が進むであろう。われわれはその要求にこたえるため, 社内外の壁を超えた連携・協力をさらに強化し, 次世代のHDCを開発していく所存である。

文献

- (1) 森田 功, 他. 2.5インチ型磁気ディスク装置 M5000シリーズ. 東芝レビュー. 52, 12, 1997, p.63-66.



VCD : Value Change Dump
STA : Static Timing Analysis(静的タイミング解析)

図5. セカンドベンダー化の開発環境 ベンダーの開発環境を当社と同様の汎用シミュレータ(Verilog-HDLシミュレータ), 汎用スタティックタイミグ解析ツールにしたことで, 設計データの再利用が可能となった。

Environment for developing LSI in other vendors

- (2) 的場 司, 他. システムオンチップ技術. 東芝レビュー. 53, 5, 1998, p.53-56.
(3) 矢部友章. メモリコア技術. 東芝レビュー. 53, 11, 1998, p.13-16.



西出 康一 NISHIDE Koichi

デジタルメディア機器社 青梅工場 コンピュータLSI開発センター主務。
システムLSIの開発・設計に従事。
Ome Operations



出町 一則 DEMACHI Kazunori

デジタルメディア機器社 青梅工場 コンピュータLSI開発センター。
システムLSIのCAD開発・設計に従事。
Ome Operations



西牧 治良 NISHIMAKI Jiro

東芝マイクロエレクトロニクス(株) 第二集積回路設計部主務。
ASICの応用技術に従事。
Toshiba Microelectronics Corp.