

# 256MビットNAND型EEPROM

256 Mbit NAND EEPROM with Shallow Trench Isolation Technology

姫野 敏彦  
HIMENO Toshihiko

今宮 賢一  
IMAMIYA Kenichi

白田 理一郎  
SHIROTA Riichiro

現在NAND型EEPROMは、電子スチルカメラの画像データ用記憶媒体として幅広く使用されているが、さらに音楽市場でもMDから半導体メモリへの置換をねらった製品が登場しており、大容量かつ高速書換え可能なNAND型EEPROMの需要が高まっている。

今回、 $0.25\text{ }\mu\text{m}$ の微細加工技術に加え、素子間に溝を設けるSTI素子分離技術を用いることで、メモリアレイのカラム方向(ビット線)ピッチを従来のLOCOS分離技術に比べて73%に縮小させ、世界最小チップサイズ $129.76\text{ mm}^2$ の業界最大容量(256Mビット)のNAND型EEPROMを開発した。また、高速化のために三つの技術を導入した。ノイズに強く高速な読出しを実現するため、隣接する偶奇のビット線を交互に接地するビット線シールド方式と、微少なビット線振幅を検知可能なセンサアンプ回路とを採用した。さらに、コマンド入力により、従来の2倍のページサイズ(1Kバイト)に拡張可能な高速書き込みモードを内蔵させた。この結果、17.5Mバイト/sの読出しと、4.4Mバイト/sの書き込み、世界最高速を達成した。

NAND EEPROMs are currently widely used in digital still cameras, and will also be applied in the silicon audio market as a replacement for MDs. Therefore, the demand for a high-density and high-speed NAND EEPROM is increasing.

We have developed a  $129.76\text{ mm}^2$ , 256 Mbit NAND EEPROM with shallow trench isolation (STI) technology, which can shrink the bit-line pitch to 73% in comparison with that of conventional local oxidation (LOCOS) isolation technology, enabling a  $0.29\text{ }\mu\text{m}^2$  cell with a  $0.25\text{ }\mu\text{m}$  design rule. Three new technologies were developed for high speed. These are a bit-line shield technology and a new data sensing scheme, which were adopted to provide fast access, and an optionally available double page size mode to allow fast programming.

As a result, our new NAND EEPROM has a throughput of 17.5 Mbytes/s for read operations and 4.4 Mbytes/s for program operations, the fastest throughputs ever realized.

## 1 まえがき

NAND型EEPROM(Electrically Erasable and Programmable ROM)はファイルメモリ用途として、電子スチルカメラの画像データ用記憶媒体、メモリカード、半導体ディスクなどに幅広く使用されている。特に最近では、カメラの高画質化や半導体ディスクのHDD(ハードディスク装置)代替などに対応して、大容量化の需要が増加している。また、音楽市場でも光磁気ディスクから半導体メモリへの置換をねらった製品が登場しており、今後は同市場からもブロックデータの書換え・読出しの高速な大容量NAND型EEPROMの需要が高まるものと予想される。

NAND型EEPROMがNOR型フラッシュメモリに比べ、書換えスピードが速いのは、書換え方式の違いによりメモリセルでの消費電力が小さいことによる。書き込みをNAND型はFN(Fowler-Nordheim)トンネル電流により、NOR型はホットエレクトロン注入電流により行なっているためである。したがって、NAND型EEPROMは、一括に非常に多くのメモリセルへのデータ書き込みが可能である。その結

果、画像や音声などのブロックデータの書換えスループットが高められる。

図1のようにNAND型EEPROMでは、1ページ(512バ

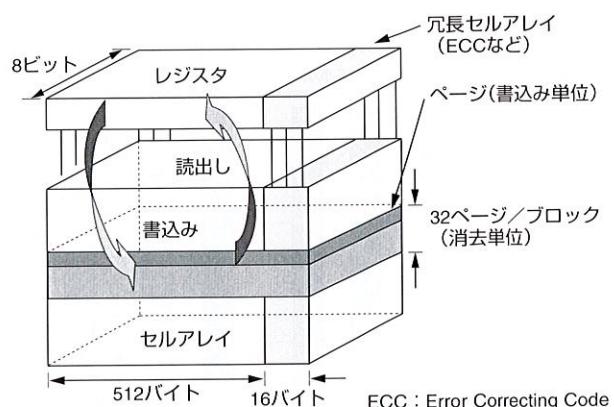


図1. 256MビットNAND型EEPROMのメモリ構成 ページ単位でデータをレジスタにたくわえ一括してメモリセルに書き込むため、高速な書き込みが実現できる。

Configuration of 256 Mbit NAND EEPROM

イト + 16 バイト) のシリアルデータをまずレジスタ(ページバッファ)に書き込む。この時間は  $25 \mu\text{s}$  である。そこから、1 ページ分を一括にメモリセルに書き込む。この時間は  $200 \mu\text{s}$  である。すなわち、2.3 M バイト / s で書き込める。今回、さらにページサイズの拡張モードを搭載し、4.4 M バイト / s の書き込み速度を実現した。

## 2 チップ概要

図 2 に開発した 256 M ビット NAND 型 EEPROM のチップ写真を示す。チップ面積は世界最小の  $129.76 \text{ mm}^2$  である。NAND 型 EEPROM は当社の開発したオリジナルデバイスであり、図 3 に示すように 1 個の NAND 型セルは直列接続された 16 個のメモリセルと、メモリセルの両端に接続された 2 個の選択ゲートから構成される。また、直線状に形成されるワード線とこれと直交し直線状に形成される拡散層

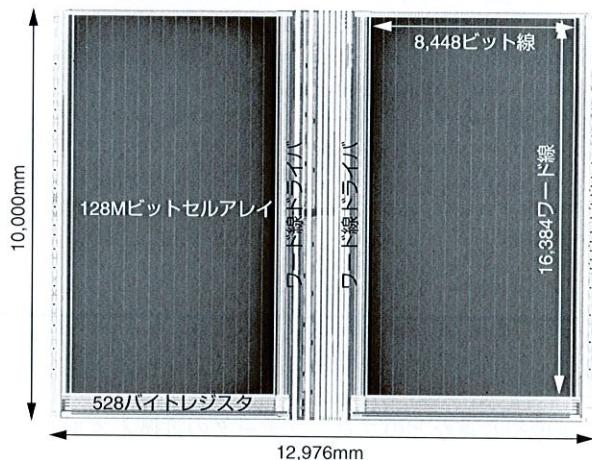


図 2. 256 M ビット NAND 型 EEPROM のチップ写真 シンプルなアレイ配置により世界最小の  $129.76 \text{ mm}^2$  を実現した。  
Microphotograph of 256 Mbit NAND EEPROM chip

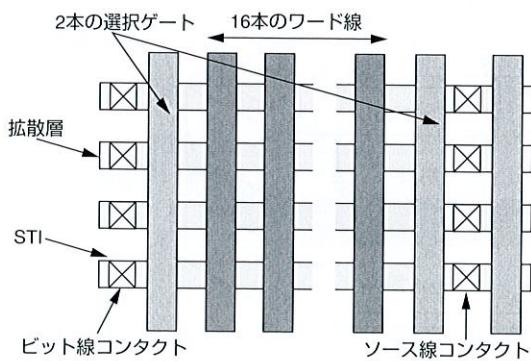


図 3. NAND 型 EEPROM のメモリセル 直線状に形成されるワード線と、これと直交し直線状に形成される拡散層で構成されるため、加工が容易で微細化に適した構成になっている。  
NAND EEPROM memory cell

で構成されるため、加工が容易で、かつさらなる微細化にも有利な構造になっている。これらの技術により、小面積のメモリセルが実現でき、単位ビット当たりのコストを低減できた。

チップ構成および性能とプロセス技術を表 1 に示す。電源電圧は  $3.3 \text{ V}$  の単一電源で動作する。チップ構成、性能は基本的に前世代の 128 M ビット NAND 型 EEPROM と互換性を保っている。

表 1. 256 M ビット NAND 型 EEPROM の性能とプロセス技術  
Chip performance and process technology of 256 Mbit NAND EEPROM

項目	仕様	
プロセス技術	$0.25 \mu\text{m}$ P 基板トリプルウェル CMOS, 1 ポリ、1 ポリサイド、3 メタル	
メモリセル	トンネル酸化膜厚 インターポリ膜厚 セルサイズ	9 nm $14 \text{ nm}$ (実効膜厚) $0.29 \mu\text{m}^2$
周辺回路	ゲート酸化膜厚	9 nm
チップサイズ	129.76 $\text{mm}^2$	
性能	ランダムアクセス	$3.8 \mu\text{s}$
	シリアルアクセス	35 ns
	ブロック消去時間	2 ms / ブロック
	ページ書き込み時間	200 $\mu\text{s}$ / ページ
	電源電圧	3.3 V
	動作電流	12 mA
	スタンバイ電流	5 $\mu\text{A}$

## 3 STI 素子分離技術

256 M ビット NAND 型 EEPROM ではビット線間隔を縮めるために素子間に溝を設ける素子分離方法、STI (Shallow Trench Isolation) 技術を採用した。図 4 に示すように従来の LOCOS (Local Oxidation of Silicon) 技術では、素子分離幅として加工の最小ルール  $F$  に対して、2倍の  $2 \times F$  が必要であった。これに対して STI 技術を用いれば、素子分離幅は  $1.2 \times F$  で構成でき、LOCOS 技術に対して 73% のビ

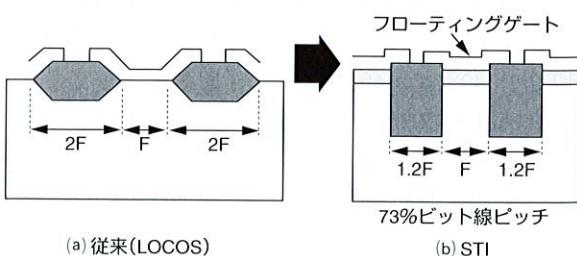


図 4. STI 技術 従来技術の LOCOS 技術に対して 73% のビット線ピッチが実現できる。  
Shallow trench isolation technology

ット線ピッチが実現できる。

256MビットNAND型EEPROMのメモリセルの断面写真を図5に示す。メモリセルトランジスタのチャネル幅は $0.25\mu\text{m}$ で素子分離幅は $0.3\mu\text{m}$ の微細加工を実現できている。この結果、単位ビットあたりの面積 $0.29\mu\text{m}^2$ のメモリセルが実現できた。

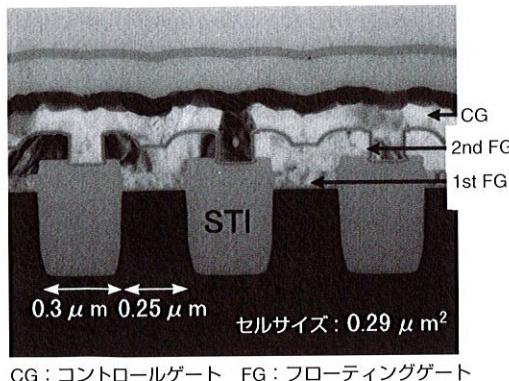


図5. メモリセルの断面写真 チャネル幅 $0.25\mu\text{m}$ 、素子分離幅 $0.3\mu\text{m}$ を実現できており、単位ビット当たり $0.29\mu\text{m}^2$ のメモリセルが実現できた。

Cross-sectional view of memory cell transistors

#### 4 周辺トランジスタ

256MビットNAND型EEPROMはメモリセルトランジスタのゲート酸化膜に $9\text{nm}$ (ナノメートル： $10^{-9}\text{m}$ )の薄い酸化膜を使用する。しかし、アプリケーション側からの要求により、電源電圧として $3.6\text{V}$ 程度までの動作保証が必要であった。このため、従来技術では、周辺回路用トランジスタのゲート酸化膜にメモリセルトランジスタとは異なる厚さの酸化膜を使用する必要があり、周辺回路用トランジスタの製造工程が増加するという問題点があった。そこで、256MビットNAND型EEPROMでは外部供給電圧を降圧し、内部に供給する回路方式を採用した。その結果、メモリセルトランジスタと同じ酸化膜厚のトランジスタを周辺回路に用いることが可能となった。この結果、製造工程を削減することができ、コスト削減を図ることができた。また、ゲート端子もメモリセルトランジスタと同じく二重構造で加工することにより、メタル配線層の平坦化に有利な構造になっている。

図6に周辺回路トランジスタの断面図を示す。メモリセルと同じ工程で作製するため、トランジスタのゲート端子は二重構造のままになっている。メモリセルトランジスタのフローティングゲートが周辺トランジスタのゲート端子に相当する。コントロールゲートに相当する端子は、周辺回路ではフローティング状態を保っている。

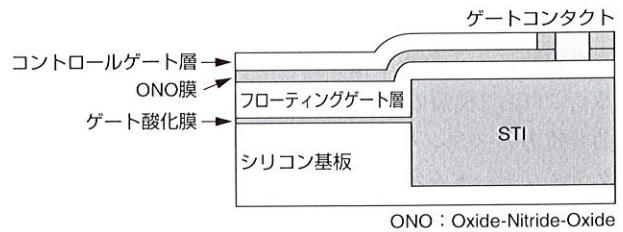
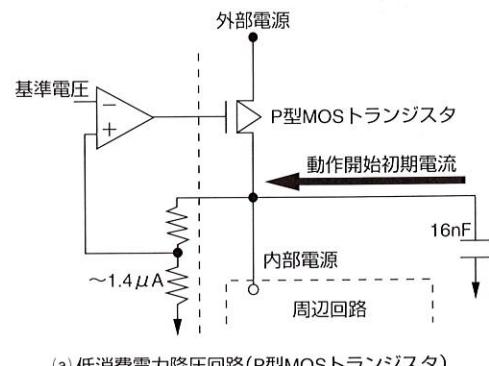


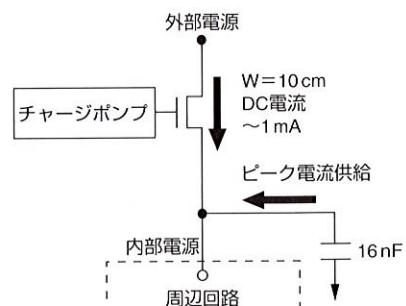
図6. 周辺トランジスタの構成 メモリセルと同じ工程で作製するためトランジスタのゲート端子は二重構造のままになっている。  
Configuration of peripheral transistor

#### 5 電圧降下回路

電源降圧回路は大きく二つの回路に分けることができる。一つは、スタンバイモードにおいて動作する低消費電力モード用降圧回路で、P型MOSトランジスタを用いた帰還回路により消費電流 $1.4\mu\text{A}$ を実現している(図7(a))。もう一つは、チップ選択時の数mAの消費電流があっても安定的に内部電圧を制御できる降圧回路で、N型MOSトランジスタを用いた帰還回路を採用している(図7(b))。また、これらの降圧回路で制御する内部電源電圧を安定的に制御するためにチップ全体で $16\text{nF}$ の安定化容量をバス配線下のスペ



(a) 低消費電力降圧回路(P型MOSトランジスタ)



(b) 動作モード用降圧回路(N型MOSトランジスタ)

図7. 電源電圧降下回路 スタンバイ時は、低消費電力モードの降圧回路で $1.4\mu\text{A}$ の消費電力を実現した(a)。アクティブ時は、動作モード用の降圧回路をチップ全体に分散配置することで内部電源電圧を安定的に供給することができる(b)。

Voltage down converter for standby mode (a) and for active mode (b)

ースを利用して配置し、このためのチップ面積増はなく、ピーク電流による急激な電圧降下からの危険性に対処している。これら2種類の降圧回路を組み合わせることにより、低消費電力のスタンバイモードと、リーズナブルな電力でアクティブモードを実現できている。

## 6 高速読み出しセンスアンプ

256MビットNAND型EEPROMではチップ面積の縮小を最優先に設計したため、128Mビットずつの大きな2ブレーンのメモリアレイを採用した。このため、ビット線の時定数が大きくなり、従来技術では、その分読み出しが遅れる。この問題に対して、ビット線に接続されたビット線クランプ用のN型MOSトランジスタのゲート電圧を制御することにより、ビット線の電圧の振幅が小さくても効果的に読み出すことができる手法を採用し、読み出しスピードの高速化を図った。これにより、大きなビット線容量にもかかわらず、64Mビット世代と同様にメモリセルからの信号を高速に読み出すことに成功した。図8にセンスアンプの回路図とこの読み出し方法について示す。

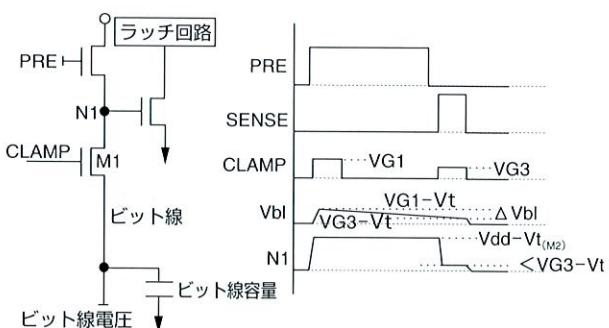


図8. センスアンプ回路 ビット線クランプ用のNMOSトランジスタのゲート電圧を制御することで微少ビット線振幅を高速に読み出すことができる。

Sense amplifier and sensing scheme

まず、読み出し動作が始まると、ビット線クランプ用トランジスタのゲート信号(CLAMP)をVG1に設定する。この時、ビット線はVG1-Vtまで充電されセンスノード(N1)は、Vdd-Vtに充電される。次にビット線は、ON状態にあるセルトランジスタに放電される。最後にVG3にバイアスする。この時、ビット線電圧がVG3-Vt以下になった場合、センスノードN1はすぐにVG3-Vtになる。この結果、ビット線電圧のVG1-VG3の微少変化はVdd-VG3に増幅され、センスアンプに入力される。したがって、ビット線の電圧はVG1-VG2だけ変動すれば、データを読み出すことができるため、ビット線容量が大きくても高速に読み出

すことができる。次に述べるビット線シールド方式を合わせて採用することにより、ビット線振幅は0.4Vまで低減することに成功した。

## 7 ビット線シールド

上述のSTI技術により、ビット線間隔が狭く加工できるようになった。しかし、同時に隣接ビット線間の容量結合が大きくなる問題が生じた。0.25μmルールの256MビットNAND型EEPROMの場合、この容量はビット線容量全体の中で60%を占める。このため、読み出しの際、読み出しだが隣接するビット線のデータに影響され、誤読み出しする危険性が高くなる。そこで、256MビットNAND型EEPROMは一本おきにビット線を接地し、隣接するビット線の影響をなくすシールドビット線方式を採用した。図9に示すようにセンスアンプ回路は2本のビット線で共有されており、偶数本目のビット線のデータを読み出す場合には、偶数ビット線用トランジスタゲートをONさせ、偶数本目のビット線をセンスアンプに接続する。この時、奇数本目のビット線は接地用トランジスタにより接地する。このように読み出し時に隣接の非選択ビット線を接地状態にすることにより、隣接するビット線信号の影響を低減することが可能となった。

これらの高速読み出しセンスアンプとビット線シールド技術により、256Mビットという大容量においても、17.5Mバイト/sの高速読み出しを達成した。

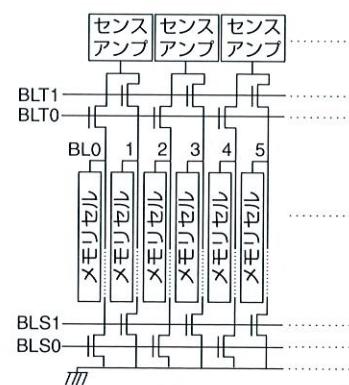


図9. ビット線シールド方式 センスアンプ回路は2本のビット線で共有されており、読み出しビット線に隣接するビット線は接地されノイズの影響をうけないようにしている。  
Bit-line shield method

## 8 高速書き込みモード

さらに、高速書換えを実現するために、ページサイズを従来の2倍に拡張可能な高速書き込みモードを内蔵させた。

通常ページモードでは、ページサイズは528(512+16) バイトであり、2.3Mバイト／sで書き込みを行える(図10(a))。今回導入したダブルページモードでは、チップ外部からのコマンド入力により、ページサイズを1,056(1,024+32) バイトに拡張できる(図10(b))。この結果、世界最高速の書き込みスピード、4.4Mバイト／sを達成した。

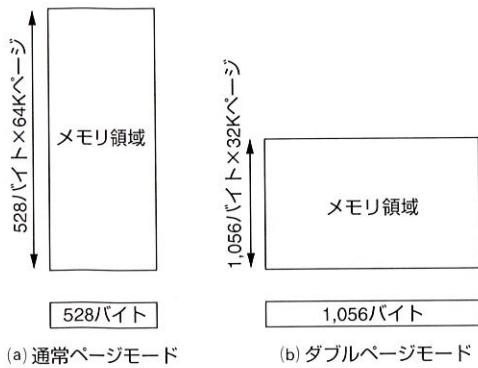


図10. 高速書き込みのためのダブルページモード 書き込み単位であるページサイズを倍に拡張することにより、世界最高速の書き込みスピード 4.4 Mバイト／sを実現した。

Double page mode for fast programming

## 9 あとがき

0.25μmの微細加工技術に加え、STI技術を用いることで、

世界最小のチップサイズ( $129.76\text{ mm}^2$ )の256 MビットNAND型EEPROMを開発した。高速化技術を新規に導入することにより、17.5Mバイト／sの読み出しと、4.4Mバイト／sの書き込みの、世界最高速を達成した。今後は、さらなる大容量化、それに伴う単位ビット当たりのコストの低減を進めるべくデバイス技術と、画像・音声の大きなブロックデータを高速に処理できる回路技術を追求していく。



姫野 敏彦 HIMENO Toshihiko

セミコンダクター社 マイクロエレクトロニクス技術研究所 デバイス技術研究所主務。フラッシュメモリの研究・開発に従事。

ULSI Device Engineering Lab.



今宮 賢一 IMAMIYA Kenichi

セミコンダクター社 マイクロエレクトロニクス技術研究所 デバイス技術研究所主務。フラッシュメモリの研究・開発に従事。

ULSI Device Engineering Lab.



白田 理一郎 SHIROTA Riichiro, Ph.D.

セミコンダクター社 マイクロエレクトロニクス技術研究所 デバイス技術研究所主査、理博。フラッシュメモリの研究・開発に従事。

ULSI Device Engineering Lab.