

ワンチップ無線機

Single-Chip Transceivers

谷本 洋
TANIMOTO Hiroshi

山路 隆文
YAMAJI Takafumi

無線機の究極の姿として、ワンチップ無線機の研究開発が進められている。ここでは、ワンチップ無線機実現のなかめである高周波フィルタを取り除ける受信方式について、シリコンLSI回路技術の面から利害得失を述べ、ダイレクトコンバージョン(DC)方式の優位性を示した。

当社は、このDC方式の実用化に向けて新しいミキサ回路を開発し、ワンチップ無線機実現に一歩前進した。

So-called single-chip transceivers are being studied as the ultimate form of wireless transceiver. This paper reviews fundamental circuit-related issues for realizing single-chip transceivers on silicon. In particular, several receiver systems that can eliminate high-frequency filters are compared, and it is concluded that the direct-conversion architecture is superior among them. Toshiba's recent results toward single-chip integration are presented with emphasis on a new mixer circuit. Various other issues for realizing single-chip transceivers are also discussed.

1 まえがき

ワンチップ無線機とは、文字どおり一つの半導体チップ上に無線機の全機能が実現されたもので、無線技術者や回路技術者の夢である。現実には無線部のワンチップ化が研究レベルで始まった段階であり、ベースバンドのデジタル信号処理部まで含んだ完全なワンチップ化はまだ達成されていない。

しかし、将来技術として世の中の関心が高く、急速な半導体技術の進歩に伴って、この夢を実現しようという研究が世界中で進められている。

無線機がワンチップになることのインパクトは、第一に超小型無線機の実現であろう。外付けの部品点数が最小限になり、コストが低下することや、高周波回路の開発にほとんど時間が掛からないこともメリットとして挙げられる。

ここでは、シリコンLSI回路技術の面から、ワンチップ無線機実現に必要な技術的課題と、その解決に向かって行われている種々の研究動向およびワンチップ無線機実現に向けた当社の取組みについて述べるとともに、真のワンチップ無線機実現のために今後解決すべき課題についても触れる。

2 ワンチップ無線機の実現に必要な技術

図1は現在主流の無線機方式であるスーパーヘテロダイン(SH)方式の一般的なブロック構成である。構成中、高周波フィルタと発振回路のためのタンク回路および水晶発振子は、サイズが大きいだけでなく、シリコンLSI技術とは

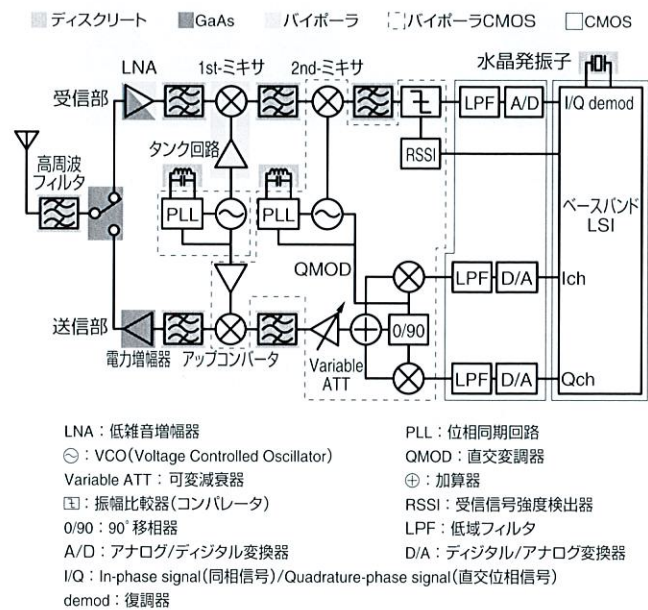


図1. スーパーヘテロダイン方式による無線機(PHSの例)の構成多様な技術で実現されている。

Configuration of superheterodyne transceiver (PHS)

異なった技術で製造されているため、LSI上に取り込むことができない。ほかのブロックは複数のチップに分かれており、ガリウムヒ素(GaAs)プロセスで実現されているものもあるが、原理的にはシリコンLSI技術で実現できるので、ワンチップ化の可能性がある。したがって、高周波フィルタを内蔵するか、それらを不要にすることがワンチップ化の第一歩となる。

3 ワンチップ化を可能にする受信方式

送信側は自分で信号を発生しているので、高周波フィルタで除去すべき不要波の発生量をコントロールできる。これに対して受信側はどんな妨害信号が入ってくるか予測できないので、送信側に比べて格段に厳しい妨害波除去性能が要求される。従来のSH方式では妨害波除去のために高性能の外付けフィルタを使用して、LSI内の回路の線形性に対する要求を緩和していた。また、送信側については受信側の方式をそのまま用いることができる。したがって、ワンチップ化にあたっては、外付け高周波フィルタを使わずに受信性能をどう確保するかが第一の課題である。これを可能にする受信方式がいくつか存在する。この章ではこれらの簡単な説明と、各方式の利害得失について述べる。

3.1 DC方式

DC方式(図2)はSH方式の中間周波数(IF)がゼロ、すなわち直流になったものと考えればよく、ゼロIF方式とも呼ばれている。SH方式では、現行の各種移動無線システムに対して80dBにも及ぶイメージ応答抑圧が必要であるのに対して、DC方式はイメージ応答が原理的に存在しないためイメージ除去用の高周波フィルタを必要としない。さらに、SH方式が外付けのIFフィルタで行っていたチャンネル選択をLSI上に集積化可能なLPFで行うことができる。したがって、外付けフィルタを必要としない方式である。しかし、IFがゼロであるために、次のようなDC方式固有の問題が発生する。

- (1) 二次ひずみの問題 ミキサ以降の回路における二次ひずみがベースバンド信号帯域に現れ、受信感度を劣化させる。
- (2) 自己混合の問題 受信高周波信号とミキサのLOの周波数が等しいので、受信信号に比べて非常に大きなLOの信号が回り込んで自分自身と混合すると大きな直流オフセットを生じ、それがベースバンド回路の飽和や受信感度の劣化を引き起こす。

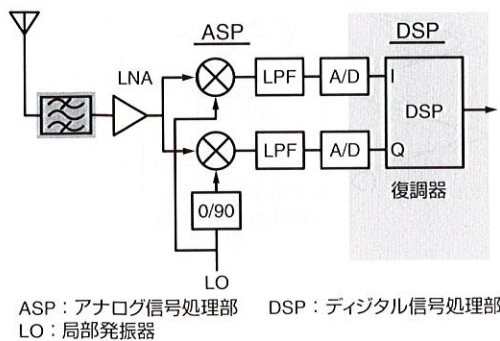


図2. ダイレクト コンバージョン方式の受信部の構成 高周波信号を直接ベースバンドに変換するため、イメージ抑圧の必要がない。
Configuration of direct-conversion receiver

これらは、無線システムや変調方式によっては大きな問題にならない場合があり、DC方式に都合のよい独自の方式を設定して、無線LAN用の無線部ワンチップ化を試作した報告もある。しかし、携帯電話やPHSなど、多くのシステムでは上記2点が問題となる。このようなDC方式の欠点を避けるために提案されたのが、次の低IF方式とワイドバンドIF(W-IF)方式である。

3.2 低IF方式

低IF方式(図3)は、DC方式ではゼロであったIFを数百kHz程度の低い周波数に設定することで二次ひずみと自己混合で直流付近に生じた擬似信号が所望の信号と重ならないようにし、これらの問題から逃れようとするものである¹⁾。しかし、IFをゼロ以外に設定すればSH方式と何ら異なるところはないので、DC方式では問題とならなかったイメージ応答の問題が発生する。IFが低いため、チャンネル選択フィルタはDC方式と同様、オンチップ化できる。

イメージ応答を除去するため、低IF方式では高周波のフィルタに代わってデジタル信号処理(DSP)でイメージ抑圧を行うことができるが、ハードウェア量は大きくなる。また、デジタル信号処理でのイメージ抑圧度を確保するためには、ミキサ以降のアナログ回路におけるI/Qチャンネルの間の位相誤差、振幅誤差を非常に厳しく管理する必要がある。70~80dBのイメージ抑圧を、アナログ回路の製造ばらつきを含めてDSPで処理するには、AD変換器に14~16ビット程度の分解能が必要となる。

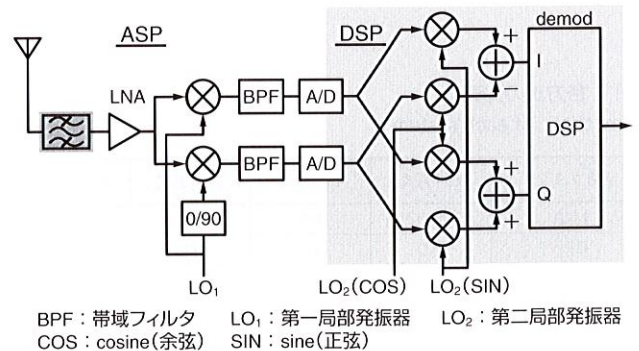


図3. 低IF方式による受信機の構成 一度200kHz程度の低いIFに変換し、デジタル信号処理でイメージ抑圧を行う。直流オフセットを除去するためのBPF(帯域フィルタ)はオンチップ化可能である。

Configuration of low-IF receiver

3.3 W-IF方式

W-IF方式²⁾の構成(図4)は低IF方式とほとんど同じであるが、IFを数百MHzと高く設定する点に特徴がある。IFが高いためイメージ抑圧をデジタル信号処理で行うことができず、アナログ信号処理で行う必要がある。そのため

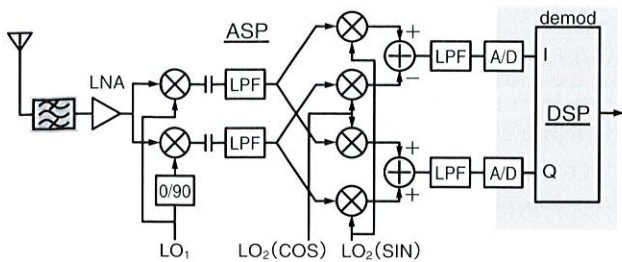


図4. W-IF方式による受信機の構成 一度200MHz程度のIFに変換し、アナログ信号処理でイメージ抑圧を行う。IFが高いため、高周波フィルタでのイメージ抑圧がある程度期待できる。
Configuration of wideband-IF receiver

特性のよくそろったミキサが4個必要となり、それらのマッチングがイメージ抑圧量を制限し、現状ではせいぜい40dB程度にとどまる。しかし、IF周波数が高いので低IFの場合とは異なってLNAに前置される高周波フィルタなどのイメージ抑圧効果が30dB程度期待できるため、全体で70~80dB程度のイメージ抑圧が達成できる。

4 DC方式の再検討 — 当社の取組み

前述のように、低IF方式とW-IF方式は、DC方式の課題を別の困難な課題であるイメージ抑圧の問題に転換したものであり、表1のように、固有の課題が解決できればDC方式がもっとも単純であり、よりLSI化に適していることも事実である。要はどの方式が現状の技術レベルで必要な性能を達成しやすいかである。

表1. 各方式の比較
Comparison of each system

回路ブロック	SH方式	DC方式	低IF方式	W-IF方式
LNA	あり	あり	あり	あり
BPF	あり	なし	なし	なし
1stミキサの数 (注意事項)	1	2 (自己混合, 2次ひずみ)	2 (要I/Q精度)	2 (要I/Q精度)
BPF/LPFの別	BPF	LPF	BPF	LPF
2ndミキサの数	1(2)*	なし	4(デジタル)	4(アナログ)
BPF/LPFの別	BPF(LPF)*	なし	なし	LPF
A/D分解能	~8ビット	~14ビット	~16ビット	~10ビット

(*) : 直交復調の場合

このような考えに添って、当社ではDC方式の実用化を研究し、原理的に二次ひずみと自己混合の問題が存在しない平衡型偶高調波ミキサをシリコンLSI上で実現する手法を開発した。あわせて高分解能A/D変換器の導入とデジタル信号処理による直流オフセットの補償方式も開発した。以下、これらについて述べる。

4.1 平衡型偶高調波ミキサ

DC方式で自己混合が問題になったのは受信する高周波(RF)信号の周波数とLOの周波数が同じだからである。偶高調波ミキサは入出力特性が点対称な非線形素子を用いて、LOの周波数の偶数次高調波(ここでは第二高調波)とRF信号をミキシングするもので、必要なLOの周波数がRF信号周波数の1/2であり、原理的に自己混合を生じない。また、点対称な非線形素子を用いるため、二次ひずみも原理的に発生しない。

従来、偶高調波ミキサの非線形素子として2個のダイオードを逆並列接続したものが用いられてきたが、これは2端子素子なのでRF信号、LO信号、低周波出力信号を分離するために急峻(しゅん)な高周波フィルタが必要であり、移動通信に用いられる2GHz付近の周波数ではオンチップ化が困難であった。また、ダイオードを駆動するために必要な電力も大きかった。

当社では、これらの欠点を克服できるシリコンLSI向けの平衡型偶高調波ミキサを提案した(図5)。非線形素子として3端子素子であるバイポーラトランジスタの差動ペアを利用した。差動ペアは二つの入力端子と一組の出力端子をもっているため、入出力の三つの信号が分離できる。実際は製造のばらつきなどで完全な点対称特性は実現できないので、わずかに二次ひずみが残留する。これをキャンセルするため、差動ペアによる偶高調波ミキサを2組用いて平衡構成した。信号成分はミキサの出力側で加算され、二

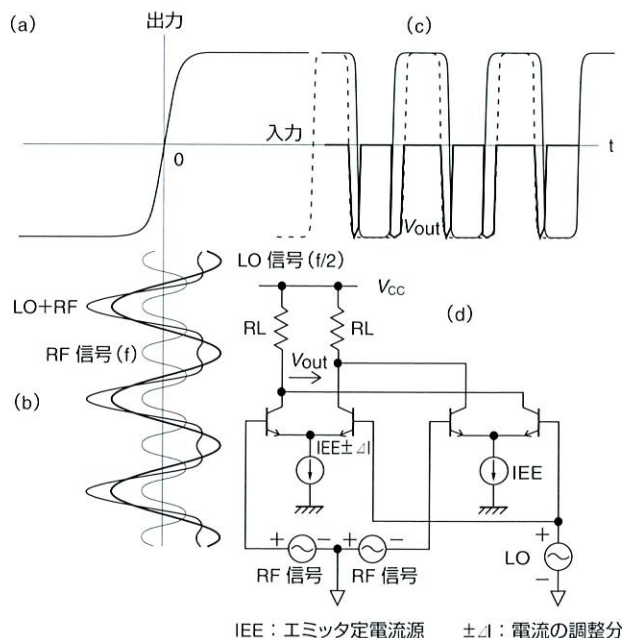


図5. 平衡型偶高調波ミキサ RF信号とLO信号の和(b)を差動ペアの非線形特性(a)に入力すると、パルス幅変調出力(c)が得られる。実際の回路(d)は2組の差動ペアを平衡構成しているため、出力VoutはRF入力に応じてパルスの高さや極性が変化する。

Balanced even-harmonic mixer circuit and its operation

次ひずみ成分は出力側でキャンセルするように回路を接続した。さらに、二つの差動ペアの二次ひずみが完全には同一ではないので、一方の差動ペアの動作電流をわずかに増減させて二次ひずみをキャンセルする。これにより、二次ひずみを実用上問題ないレベルまで下げることができ、自己混合による直流オフセット変動もミキサ自体の雑音レベルまで下げることができた⁴⁾。この手法はCMOSにも同様に適用できる。

4.2 直流オフセット補償方式

DC方式では高周波部での利得がSH方式に比べて少ないため、受信機として必要な利得の大部分をミキサの後段のベースバンド部で稼ぐ必要がある。一方、最近のデジタル変調方式の多くが直流付近まで信号成分をもつため、ベースバンド部で必要な60~70dBにも及ぶ利得を直流結合で得る必要があり、ミキサ以降の回路のわずかな直流オフセットもベースバンド回路を飽和させる原因になる。

これを解決するため、ベースバンド部での利得を回路が飽和しない30dB程度に抑え、残りの40dB程度を後続のA/D変換器のビット数を増加することで、直流オフセットをデジタル信号処理で補償する方式を導入した⁴⁾。この場合、A/D変換器の分解能は14ビット程度必要になるが、高速動作が必要なので、統計的ばらつき改善手法を導入した多ビット $\Delta\Sigma$ 型A/D変換器を開発した。0.6 μ mCMOSで試作し、分解能14ビット、信号帯域100kHzで消費電力10mW以下の性能が得られている。

ほかにBiCMOSによるLPFの試作も済んでおり、当社ではこれらを統合したチップを開発中である。

5 ワンチップ無線機実現に向けての課題

以上のように、少なくとも高周波部についてはワンチップ化の可能性が見えてきたが、全体のワンチップ化を阻むほかの問題について見てみる。

送信側電力増幅器は電力効率の点から現在のところGaAsプロセスで作られているものが大半であるが、これもシリコンで実現されつつある。現状でもDECT(Digital European Cordless Telephone)やPHSなど、電力が小さいものならシリコンで実現できるであろう。発振器のタンク回路もオンチップ化され、インダクタのQ値(良さ)改善や注意深い回路設計で必要な位相雑音が達成されつつある⁴⁾。

このように、要素回路について言えば、かなり見通しが出てきた。しかし、全体のワンチップ化に伴う回路ブロック間の相互干渉は大きな未解決の課題である。これに対しては、高抵抗シリコン基板やSOI(Silicon On Insulator)基板の採用、全差動構成の回路の採用などが検討されているが、実証はこれからである。

大規模なデジタル信号処理部は、CMOS-LSIで実現さ

れるので、現在バイポーラが主流のアナログ高周波部もCMOSだけで構成できることが望ましい。いわゆる“高周波アナログMOS”は、着々とバイポーラによる高周波回路へ置き換えられつつあるが、まだ消費電力の点でバイポーラに一日の長がある。したがって、当面としてはBiCMOSによるワンチップ化を経て、近い将来CMOSによるワンチップ化へと進むものと考えられる。

6 あとがき

ワンチップ無線機実現に対する研究動向と、当社の取組みについて述べた。ところで、経済性を考慮すれば「無理をしてワンチップ化しないで、作りやすいブロックに分けて、それぞれ最適な技術を用いた複数のチップとして実現し、マルチチップモジュールなどの実装技術で全体として小型・低価格化できればよいではないか」という意見もある。当面としてはそのとおりであろう。

しかし、技術の発展のためには強力な原動力が必要であり、ワンチップ無線機がそれにあたることは間違いない。たとえば、DC方式に代表されるワンチップ化が可能な無線機技術はIFにおける帯域制限要素が少なく、ベースバンドでのフィルタが電氣的に特性可変であるなど、今後主流となり得るワイドバンドCDMA(Code Division Multiple Access)やソフトウェア無線機に必須(す)の要素技術を含んでいる。このような観点から、当社では今後もこれまでの技術的蓄積を基に、完全なワンチップ無線機を目ざして研究開発を推進する。

文献

- (1) Steyaert, M., et al. "A Single-Chip CMOS Transceiver for DCS-1800 Wireless Communications". Dig.of Tech.Pap.of ISSCC'98. 1998-2, p.48-49.
- (2) Paul R.Gray;Robert G. Mayer. "Future Directions of Silicon IC's for RF Personal Communications". CICC'95.1995-5, p.83-90.
- (3) Yamaji, T., et al. "An I/Q Active Balanced Harmonic Mixer with IM2 Cancellers and a 45° Phase Shifter". Dig.of Tech.Pap.of ISSCC'98. 1998-2, p.368-369.
- (4) Yoshida, H., et al. "DC Offset Canceller in a Direct Conversion Receiver for QPSK Signal Reception". PIMRC'98. 1998-9, p.1314-1318.



谷本 洋 TANIMOTO Hiroshi, D. Eng.

研究開発センター 情報・通信システム研究所研究主幹、工博。通信用アナログLSIの研究・開発に従事。電子情報通信学会、電気学会、IEEE会員。

Communication & Information Systems Research Labs.



山路 隆文 YAMAJI Takafumi

研究開発センター 情報・通信システム研究所。通信用アナログLSIの研究・開発に従事。電子情報通信学会、IEEE会員。

Communication & Information Systems Research Labs.