

サブバンド構造変調を利用した高性能超薄膜 SOI-MOSFET

Ultrathin SOI MOSFETs Utilizing Subband Structure Modulation

高木 信一
TAKAGI Shin'ichi

古賀 淳二
KOGA Junji

鳥海 明
TORIUMI Akira

ロジック応用を中心としたLSIの高速化のため、Si MOSFETに対する高駆動力化^(注1)の要求が近年ますます高まっている。これまで、素子の微細化によりこの要求にこたえてきたが、微細化技術はその困難度を増してきており、素子の縮小によらない方法が模索されている。

この論文では、ナノメートルサイズのSiにおいて顕在化する量子効果によりMOS反転層のサブバンド構造を変調し、MOSFETの駆動力を向上させる方法を提案する。これは、膜厚が数ナノメートルのSilicon On Insulator(SOI)基板上にMOSFETを作製することで実現可能であることを理論的に示す。

In recent years, there has been increasing demand for higher current drive in Si MOSFETs in order to realize high-speed logic LSIs. So far, the miniaturization of device sizes has met this demand. Alternatives are currently being explored, however, because of the increasing difficulty of lithography technology.

We propose a new direction to increase the current drive by modifying the subband structure in the MOS inversion layer through the size effect that occurs in an Si layer of nanometer-order thickness. It has been theoretically shown that this subband modulation can be realized for Si MOSFETs fabricated on silicon-on-insulator(SOI) films as thin as a few nanometers.

1 まえがき

Si MOSFET(MOS型電界効果トランジスタ)の高駆動力化の要求は、回路の高速性がきわめて重要なロジックLSIを中心に、近年ますます高まっている。MOSFETの電流駆動力を高める手段として、これまでチャネル長の縮小やゲート酸化膜の薄膜化が進められてきているが、サブ0.1μmの世代では、これらのスケーリングはきわめて困難になることが予想される。このため、今後とも続く高駆動力の要求にこたえていくためには、MOSFETのチャネルそのものに見直しを加え、改良していく必要があると考えられる。

われわれは、シリコンの微細ナノ構造を利用して現れる現象を利用してMOSFETのチャネルの駆動力を向上する方法を提案する。まず、その背景となるシリコン反転層の電子状態に立ち戻り、駆動力を決めている物理的要因を検証する。反転層中の電子は、シリコンとシリコン酸化膜界面に垂直方向の自由度を失い、二次元状態となっている。そのエネルギー状態である二次元サブバンドの最適構造を明らかにする。さらに、その具体的なデバイス構造として、膜厚が数ナノメートルという超薄膜のSOI層をチャネルに使ったMOSFETを提案し、その電気特性

を理論的に予測した結果について述べる。

2 MOS反転層の二次元サブバンド構造と駆動力の関係

MOSFETの動作原理は、ゲート電極に電圧を加えて、絶縁膜であるシリコン酸化膜越しの、シリコンとシリコン酸化膜の界面にキャリアを誘起させ、ソースとドレインの間の抵抗を変化させるというものである。この原理から、シリコンとシリコン酸化膜の界面に誘起されたキャリアは、シリコンのバンドの曲がりに閉じ込められて界面近傍に局在する(図1)。結果として、キャリアは深さ方向の運動の自由度を失って、三次元状態から二次元状態になる。

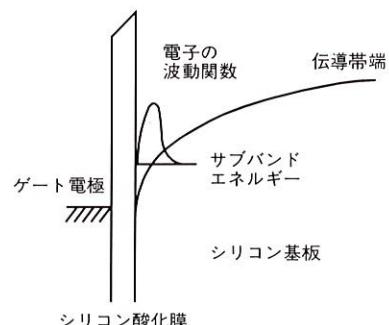


図1. MOS反転層における電子の閉込め状態を示す模式図 MOS反転層のキャリアはポテンシャルによってシリコンとシリコン酸化膜界面に閉じ込められ、二次元キャリアガス状態となる。

Confinement of electrons in MOS inversion layer

(注1) 高電流化といってよい。ただし、電流を増やすにしても、電圧を高くしたり、素子の幅を広くしたりすると消費電力が高くなったり、素子面積が大きくなったりする。同じ電圧、同じ素子寸法で、より多くの電流を流せるようにすること。

このときのキャリアの深さ方向分布は波動関数で記述され、その広がりは、およそ 10 nm 以下のオーダーになる。キャリアは、界面に閉じ込められる効果として、サブバンドエネルギーと呼ばれるエネルギーだけ、三次元のキャリアよりも高いエネルギーをもつ。

さて、MOSFET のチャネルでキャリアが二次元状態になると、バンド構造もバルク Si の場合とは変化する。通常 MOSFET が作られる(100)面における、二次元波数平面上での電子の等エネルギー面を図 2 に模式的に示す。バルクのシリコンでは、等価な電子の谷(バレー)は六つあるが、これが二次元平面に投影されると、2種類の異なるバレーに分かれる。一つは、界面に垂直な軸方向に存在していた二つの谷から派生した二重縮退バレー、もう一つは界面に平行な面内に存在していた四つの谷から派生した四重縮退バレーである。興味深い点は、この 2種類のバレーのもつ有効質量が異なることであり、この結果 2種類のバレー間で、電子の伝導特性にも違いが現れる。

図 2 に、それぞれのバレーの特長を簡単にまとめてある。MOSFET のドレイン電流は、界面に平行方向(即ち、ソースからドレインに向かう方向)に電界が印加されたときのキャリアの流れによって決定されるので、電子の平行方向の質量が軽いほど、電子の速度が高くなってドレイン電流が増加する。キャリア速度の電界に対する比例係数が移動度であるから、移動度が大きいほど沢山の電流が流れる。図 2 の 2種のバレーの中では、二重縮退バレーのほうが、界面に平行方向の有効質量が小さく移動度が大きい。このため、二重縮退バレーに存在する電子の数が増やせれば、全体の電流駆動力を高める上では有利となる。

一方、波動関数の広がりは、界面に垂直方向の質量で決まことが知られている。この点では、四重縮退バレーのほうが波動関数はより深くまで広がっている。また、サブバンドエネルギーの大きさは、界面に垂直方向の質量に逆比例するので、二重縮退バレーのほうがエネルギー的に若干低くなる。しかし、通常の MOSFET では、二重縮退バレーと四重縮退バレーのエネルギー差は室温の熱エネルギーとほぼ同程度であるため、二つのバレーの電子の数は、ほぼ同等である。

3 最適サブバンド状態を実現する構造

それでは、このサブバンド構造を自由に調節できるとしたとき、どのような状態が電流駆動力を最大にできるだろうか？これは、単純に移動度がもっとも大きい二重縮退バレーにすべての電子を閉じ込めてしまうことである。このようなサブバンド構造を実現するためには、四重縮退バレーのサブバンドエネルギーを、二重縮退のそれよりも十分高くすることができればよい。これを可能にしうる構造が、超薄膜の SOI 層をチャネルとする MOSFET である。ここで、SOI とは、シリコン酸化膜上に薄い単結晶のシリコン層が形成された基板のことであり、SIMOX 法^(注2)や張合せ法などさまざまな方法で作製することができ、近年超高速 LSI への応用が検討されているものである。

この SOI 層を超薄膜化することによる、サブバンド構

(注2) シリコン基板に大量の酸素イオンを注入して、シリコン基板内部にシリコン酸化膜を形成する方法。表面側は、薄いシリコン単結晶薄膜となる。

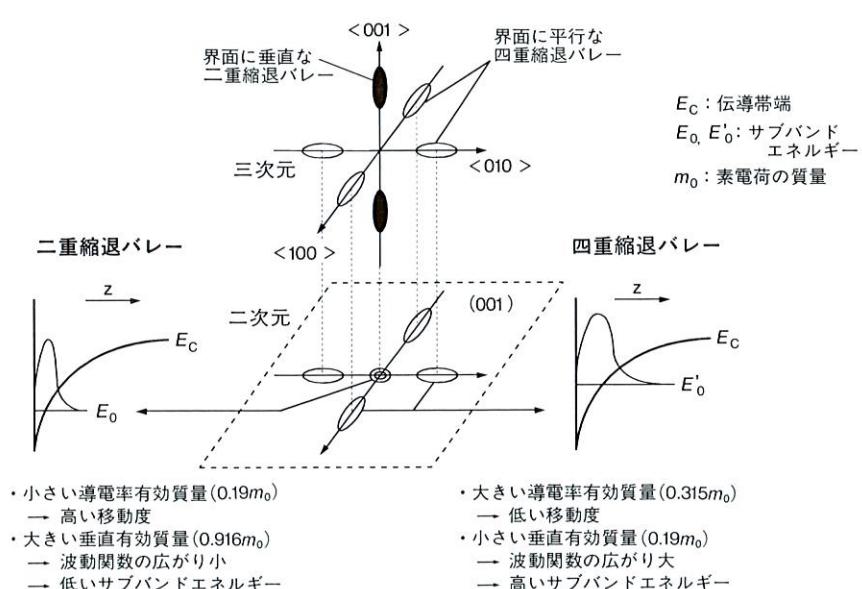


図 2. 二次元電子のサブバンド構造と各バレーの特長　波数空間での二次元サブバンド構造の模式図と 2種類の谷(バレー)の特長を示す。

Subband structure of 2-dimensional electrons on (100) Si surface

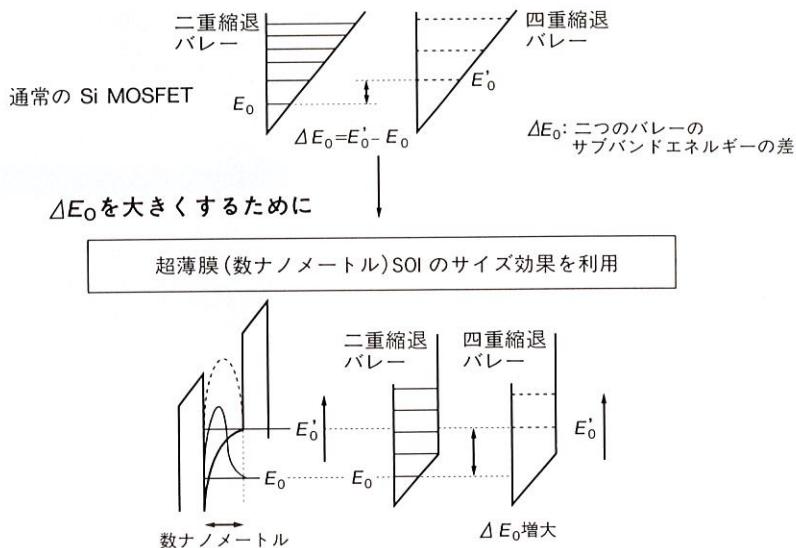


図3. 電流駆動力増大のためのサブバンド構造エンジニアリング 二重縮退バレーの電子の割合を増やすためには、二重縮退バレーと四重縮退バレーのエネルギー差を大きくする必要がある。数ナノメートルサイズの超薄膜 SOI 層をチャネルに用いることでこのエネルギー差を増大させることができる。

Subband structure engineering utilizing ultrathin SOI films

造の変調効果を図3に模式的に示した。先に述べたように、四重縮退バレーの電子の波動関数は、より基板側に広がっている。そこで、もし SOI 層の厚さをこの四重縮退バレーの電子の波動関数よりも薄くすることができたとすると、いわゆる量子サイズ効果により、四重縮退バレーの電子のエネルギー準位は上昇することが予想される。結果として、反転層のすべての電子は、よりエネルギー準位の低い二重縮退バレーに落ち込み、高い電流駆動力が得られることが予想される。

4 SOI 層超薄膜化による駆動力増大の計算結果

MOSFETの電流駆動力を表す指標の一つは、相互コンダクタンス G_m である。相互コンダクタンスとはゲート電圧を変化させたときのFETのドレイン電流変化の割合を示したものである。 G_m が大きいほど、電流駆動力は高くなる。

図4に、この G_m が SOI 膜厚に対してどのように変化するのかを理論計算^[1]により求めた結果を示す。ここで、

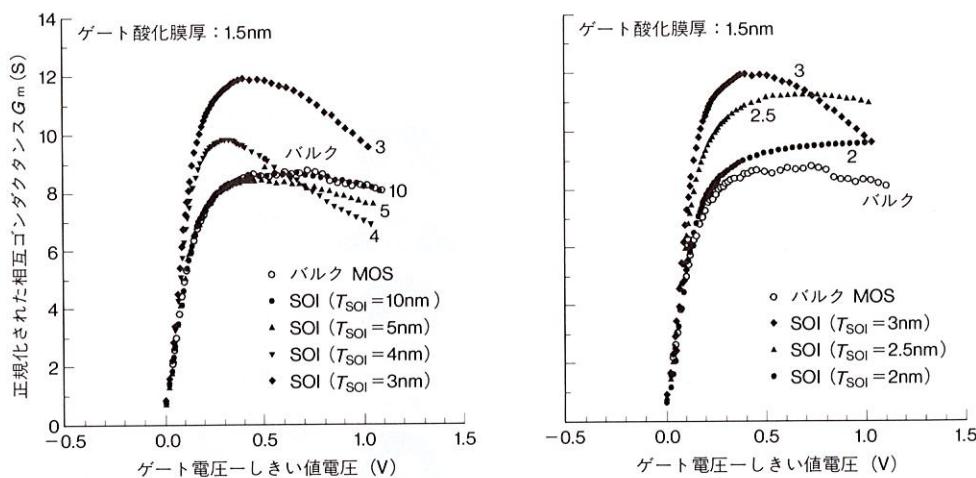


図4. 相互コンダクタンス G_m の SOI 膜厚に対する変化 SOI 膜厚 T_{SOI} を変化させた時の G_m のゲート電圧依存性の変化を示す。SOI 膜厚 3 nm で、 G_m は最大となる。白抜きシンボルは、通常のバルク基板上の MOSFET の結果である。

G_m as function of gate voltage at various SOI film thicknesses

電子に対する散乱は、室温で支配的な格子振動によるものだけを考慮した。シリコンと酸化膜の界面は十分平坦(たん)であると仮定して、界面散乱の影響は含めなかった。

バルク MOS と書かれたものは、通常の Si 基板上に作製された MOSFET での結果である。SOI 膜厚が、5 nm 以下にまで薄くなると、 G_m が通常のバルク MOSFET よりも向上することがわかる。特に、3 nm で最大の G_m が得られる。この SOI の薄膜化による G_m の増加は、有効質量が軽く移動度が高い二重縮退バレーの電子数の増大によるものである。このようすを図 5 に示した。SOI 膜厚が 5 nm になると、二重縮退バレーに存在する電子の割合が増大はじめ、3 nm でほぼすべての電子が二重縮退バレーに落ち込むことがわかる。以上の結果から、SOI 厚さを数ナノメートルオーダにまで薄くすることによって、反転層内のサブバンド構造を制御し、MOSFET の性能を向上させることができることがわかった。一方、2.5 nm 以下の膜厚では G_m はかえって劣化する。これは、薄膜化でフォノンによる散乱が増加するためである。

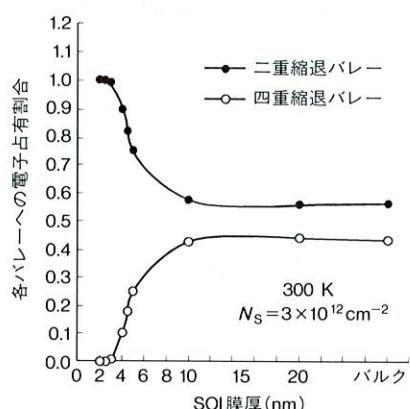


図 5. 二重・四重縮退バレーの電子占有率の SOI 膜厚依存性 SOI 膜厚 3 nm 以下で、ほぼ 100% の電子が二重縮退バレーに落ち込む。
SOI thickness dependence of electron occupancy

5 SOI 膜厚の薄膜化の実験結果

上述の G_m 増大効果を実験的に示すためには、SOI の厚さを 5 nm 以下で均一にかつ平坦性よく作製する技術が必要である。SOI の薄膜化は、通常 SOI 基板に対して酸化を施し、このシリコン酸化膜を除去することにより行われる。酸化速度は、酸化条件の選択により制御できるので、かなり精密に薄膜化することができる。図 6 は、このようにして作製したおよそ 5 nm の SOI 層の透過電子顕微鏡(TEM)写真である。埋込み酸化膜、ゲート酸化膜両界面に数原子層程度の凹凸があるが、膜厚のゆらぎは比較的良好である。5 nm 程度の膜厚であるため、実測ではバルク

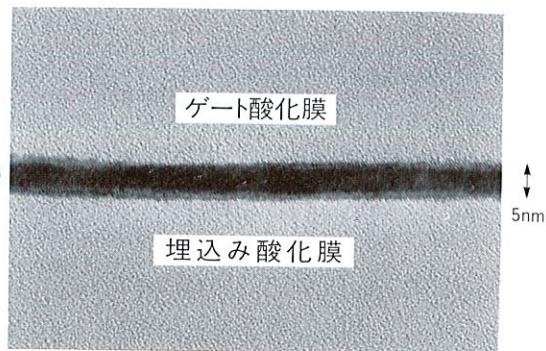


図 6. 超薄膜 SOI の TEM 写真 酸化により、およそ 5 nm まで超薄膜化した SOI 薄膜の TEM 写真を示す。

TEM photograph of ultrathin SOI film

MOSFET よりも高い電流駆動力は、まだ得られていない。今後さらに、3 nm 程度まで膜厚を薄くし、また界面の平坦性を高めることで、実験的に電流駆動力の向上が観測されることが期待できる。

6 あとがき

SOI 層の膜厚を数ナノメートルオーダにすることで、Si MOS 反転層のミクロな電子状態が変調され、電流駆動力が増大する可能性があることを理論的に示した。この効果は、サイズ効果によりサブバンドエネルギー差を十分大きくしているために、室温で十分観測できる。ナノメートル寸法のデバイスにおいて、このような室温でも消えない量子効果を積極的に活用することで、将来のさらなる高性能デバイス・高機能システムが実現できると考えられる。

文 献

- (1) Takagi, S., et al. "Subband Structure Engineering for Performance Enhancement of Si MOSFETs". Digest of International Electron Device Meeting. Washington, DC., 1997, p.219-222



高木 信一 TAKAGI Shin'ichi, D.Eng.

研究開発センター先端半導体デバイス研究所主任研究員、工博。極微細素子、量子効果素子の研究・開発、評価解析に従事。応用物理学会、IEEE 会員。
Advanced Semiconductor Devices Research Labs.



古賀 淳二 KOGA Junji

研究開発センター先端半導体デバイス研究所研究主務。極微細素子、量子効果素子の研究・開発、評価解析に従事。応用物理学会会員。
Advanced Semiconductor Devices Research Labs.



鳥海 明 TORIUMI Akira, D.Eng.

研究開発センター先端半導体デバイス研究所ラボラトリーアリーダー、工博。極微細素子、量子効果素子の研究・開発、評価解析に従事。日本物理学会、応用物理学会、APS、IEEE 会員。
Advanced Semiconductor Devices Research Labs.