

シリコン系ナノクリスタル形成技術

Fabrication Technology for Silicon Nanocrystals

杉山 直治
SUGIYAMA Naoharu

手塚 勉
TEZUKA Tsutomu

大場 竜二
OHBA Ryuji

ナノメートルサイズのシリコン(Si)系微細結晶(ナノクリスタル)を半導体集積回路の製造プロセスに整合した方法で形成することが注目されている。当社は、薄膜結晶の成長技術を応用して、半導体基板の上にナノクリスタルを形成する手法を開発した。非晶質薄膜中のSi原子が移動しやすい特性を利用すれば、超高真空中での高温加熱により半球状のナノクリスタルが形成できる。この手法を応用し、誘電体中に埋め込まれたナノクリスタルへの電荷のやり取りを利用した記憶素子を試作し、初期的動作の確認ができた。

The fabrication of silicon nanocrystals has become an important semiconductor process technology. This paper describes the formation of nanocrystals on semiconductor substrates using an improved thin-film growth method. This method applies the agglomeration phenomenon, in which the silicon atoms in a thin, amorphous layer migrate and form a hemispherical mass during annealing.

Using this technology, we have realized a nanocrystal memory device comprising a charge-storing effect in a nanocrystal.

1 まえがき

きわめて微小な導体の粒を、絶縁体の中に多数閉じ込めて電子の動きを観察すると、興味深い現象が数々観察される。また、これらの現象からさまざまな応用も期待される。残念ながらこの現象を電子素子に応用するためには、いくつかのプロセス上の困難が予想される。ところがこれをSi基板の上で、しかも半導体の製造プロセスを用いて作製すると一気に半導体素子としての現実性を帯びてくる。

半導体製造技術および微細領域の評価技術の発展から、近年ではナノメートルの大きさのナノクリスタルを半導体基板上に形成することができるようになった(図1)。さらにナノクリスタルを利用した電子素子も実現されつつある。ここでは、Siやゲルマニウム(Ge)の半導体ナノクリスタルを例にとり、その作製技術と半導体素子への応用例について述べる。

2 Si系ナノクリスタルの形成技術

2.1 薄膜成長技術

ナノクリスタルの形成には薄膜成長装置を用いる。化学的気相成長(CVD)法で代表される薄膜形成技術では、Siの結晶基板を加熱および保持した状態で原料を供給することにより、ナノメートルスケールの厚さの薄膜結晶を形成することができる。薄膜成長が起こる基板表面では、供給された原料分子の分解および移動、安定位置への集積あるいは一部再脱離といったさまざまな過程を経て薄膜の形成が進む。ここでは基板表面の状態が重要な要因となる。

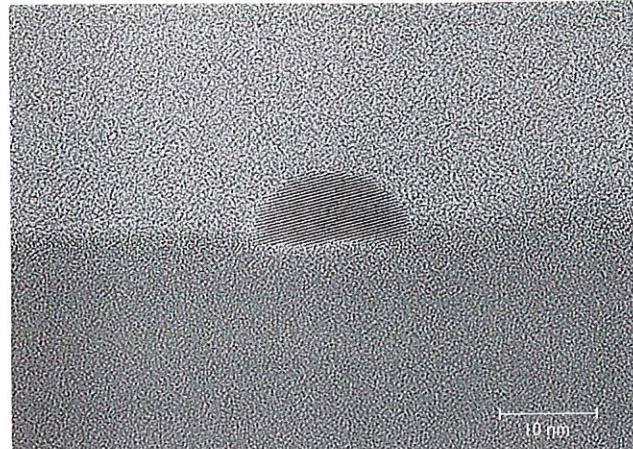


図1. Siナノクリスタルの電子顕微鏡写真 酸化膜上に非晶質Si層を堆(たい)積した後、加熱処理を施し形成したSiナノクリスタルの断面を示す。

Cross-sectional view of silicon nanocrystal

例えば基板表面への異種原子の被着の有無、基板温度などで決まる表面の活性度といった要素が、薄膜成長の過程に重大な影響を与える。また、基板結晶とその上に形成される薄膜結晶との性質の差なども、薄膜成長の初期過程を左右する要因である。

一般に半導体結晶の表面はきわめて活性で、大気中の酸素によりすぐに酸化される。したがって薄膜成長の過程では、酸素などの反応性分子の混入を遮断する必要がある。われわれは、超高真空中で薄膜成長の過程を制御する装置を用い、半導体基板上にナノクリスタルの形成をする技術を開発したので、その手法を中心に述べる。

2.2 薄膜成長初期過程の制御とナノクリスタル形成

結晶基板の表面状態を変化させることにより、薄膜成長の初期過程を制御し、基板上にナノクリスタルを形成することができる。まず最初に Si 表面の水素の被覆状態を制御することによりその上に Ge のナノクリスタルを作製した例を示す(図 2)。

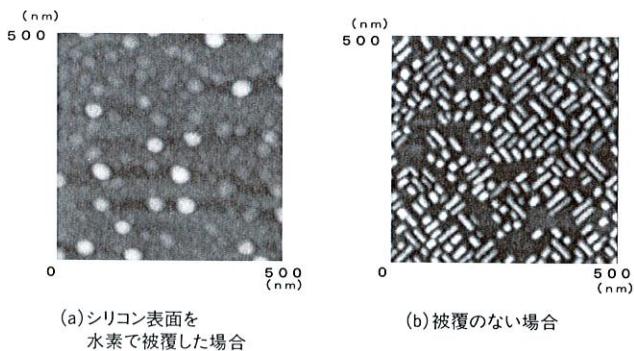


図 2. ゲルマニウム薄膜成長の比較 水素で被覆した場合はドーム状の Ge ナノクリスタルが形成される。

Comparison of germanium thin-film growth methods

まず Si の結晶基板の表面を被覆している酸化膜を除去後、超高真空中で清浄表面を保持する。この状態で Ge の薄膜成長を行うと、Ge 結晶は Si 結晶上に 1 層ずつ平坦(たん)に形成されるが、やがて Ge 結晶と Si 結晶の格子の大きさの差に起因するひずみにより表面に屋根型の凹凸が発生する(図 2 b)。

一方、Si の基板表面を水素で被覆することにより、Ge 薄膜の成長初期過程は大きく変化する。結晶表面に水素が存在することにより Ge 原料の分解反応や、分解した Ge 原子の表面での移動が阻害される。そのため平坦な Ge 薄膜結晶の形成が妨げられ、ドーム型の Ge ナノクリスタルが形成される(図 2 a)^⑪。このとき形成される Ge ナノクリスタルの大きさは、Si 基板の温度、供給する Ge 原料分子の量などで制御することができる。

このようにして、Si 結晶表面条件を変化させることにより、Ge ナノクリスタルの形状制御ができる。さらにこの上に Si 層を形成することにより、Ge のナノクリスタルを Si 中に閉じ込めた構造が作製できる。

2.3 非晶質の塊状化を利用したナノクリスタル形成

基板と薄膜層の材料が異なる場合には、加熱処理により基板上の薄膜層が凝集および変形することがある。表面が酸化 Si 層(酸化膜)で覆われた Si 基板上に、非晶質の Si 層を堆(たい)積した後、真空中で加熱処理を加えると表面の Si 原子が移動し、半球状の塊に集合する。この塊状化の現象を利用して、酸化膜上に Si ナノクリスタルを形成

することに初めて成功した^⑫。

基板として、通常の Si 基板の表面を 100 nm 程度熱酸化したもの用いる。この上に厚さ 1 nm の Si の非晶質層を 400°C 以下の低温で形成する。この後基板を 700 から 800 °C で加熱する。すると非晶質を形成している Si 原子は最表面を移動し、半球状の結晶粒を形成する(図 1 参照)。1 nm の非晶質 Si 層を 800°C で 3 分間加熱した場合、半径 7 nm の半球状ナノクリスタルが酸化膜表面に $1.1 \times 10^{11} \text{ cm}^{-2}$ の密度で形成される。形成されるナノクリスタルの大きさと密度は、初期の非晶質層の厚さと加熱処理温度および加熱処理時間の設定により制御することができる。

ここで非晶質 Si の表面が酸化されていると、Si 原子の移動を阻害するため、塊状化現象は観察されにくい。また Si 原子の移動は非晶質層の表面側で起こるため、加熱処理開始直後は非晶質層の上に微小なナノクリスタルの核が乗った構造ができる。ナノクリスタルの核はやがて数 nm の大きさに成長し、下地の酸化膜層が露出した後に、Si 原子は下地酸化膜中に含まれる酸素と反応し SiO となって蒸発する(図 3)。そのため形成された半球状ナノクリスタルは、加熱処理時間を長くするとやがて縮小し、消滅する。したがってこの過程を利用して、ナノクリスタルの大きさと密度を制御することができる。

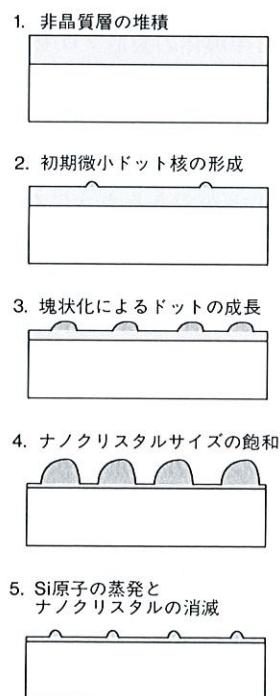


図 3. 塊状化現象の模式図 非晶質 Si 層の表面に微小なドットの核が形成された後、ナノクリスタルが成長する。やがて Si 原子は下地酸化膜層の酸素と反応して、ナノクリスタルは蒸発し、消滅する。

Possible mechanism of agglomeration

このように作製された Si ナノクリスタルを含む半導体基板に、さらに酸化膜層を堆積することにより酸化膜層中にナノクリスタル含む構造が形成できる。以下の項で説明するナノクリスタルメモリでは、この技術を利用してい る。酸化膜上の Si ナノクリスタルの作製方法はこのほかに、成長の初期過程を利用したものや、プラズマ放電をさせた気相中で Si 原料が分解し原字どうしが結合する特性を利用した方法などがあるが、ここでは省略する。

3 ナノクリスタルの電子素子への応用

3.1 クーロン ブロックエイド

ナノクリスタルの電子素子への応用を考えるうえで、クーロンブロックエイド^(注1)の概念が重要となる。まず、周囲を絶縁された容量 C の導体球あるいは半導体球を考える。この球に電荷 Q を蓄積するときに必要なエネルギー (E : 充電エネルギー) は、

$$E = Q^2/2 C$$

と書き表せる。 C がきわめて小さい場合、素電荷 1~2 個分の電荷に対応する充電エネルギーは熱エネルギーと比べ十分に大きな値となる。したがってこの場合、充電エネルギーは蓄積された素電荷数に応じて離散的な値となる。つまり絶縁体の中で孤立した微小な粒に、1 個ずつの電子を順次えながら蓄積させることができる。

3.2 ナノクリスタルメモリ

クーロンブロックエイドの特性を利用して設計される半導体素子の代表に、ナノクリスタルメモリがある。この素子は通常の MOSFET(MOS 型電界効果トランジスタ)の酸化膜層にシリコンナノクリスタルを埋め込んだ構造をしている(図 4)。同じく酸化膜層の中に半導体の薄い浮遊電極層を埋め込んだフラッシュメモリによく似た構造をしている。

通常の MOSFET ではゲートにバイアスを印加することでソースとドレインの間に流れる電流を制御するが、ゲート電圧とソース／ドレイン電流の関係はつねに一定である。一方、フラッシュメモリやナノクリスタルメモリでは酸化膜の中の浮遊電極層やナノクリスタル部分への電荷の蓄積に応じて、ゲート電圧に対するソース／ドレイン電流の応答特性がシフトする(図 5)⁽³⁾。すなわち電荷の蓄積に対応した記憶動作ができる。

ここで、フラッシュメモリでは浮遊電極の電気容量が大きいため、電荷の蓄積量がアナログ的に観察される。これに対してナノクリスタルメモリでは、先ほどのクーロンブロックエイドの効果により、酸化膜中の各ナノクリスタル

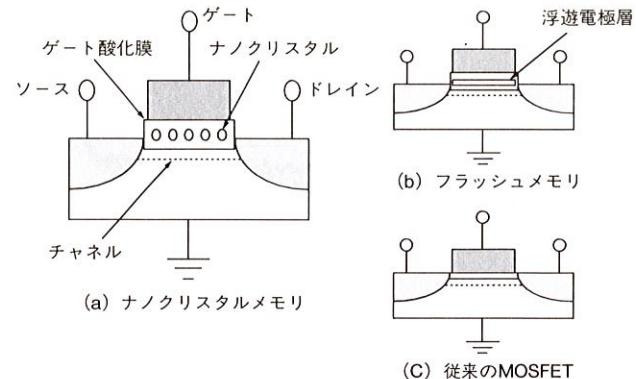


図4. ナノクリスタルメモリと従来のMOSFETの断面 従来の MOSFET に対して、ナノクリスタルメモリでは多数のナノクリスタルがゲート酸化膜中に埋め込まれている。一方、フラッシュメモリは一つの浮遊電極層が埋め込まれている。

Cross-sectional views of nanocrystal memory device and conventional MOSFETs

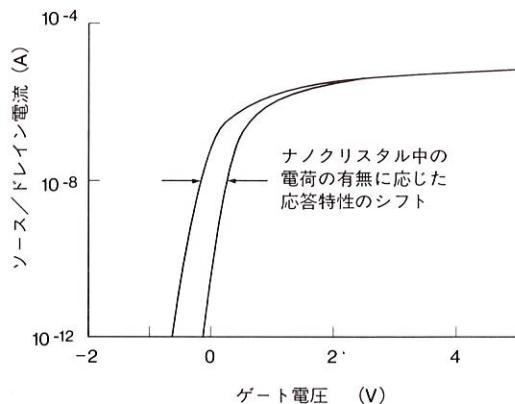


図5. ナノクリスタルメモリのしきい値変化 ゲート電圧に対するソース／ドレイン電流特性を示す。ナノクリスタルメモリでは、電荷の蓄積の有無によりソース／ドレイン電流特性がシフトする。

Source/drain current shifts in nanocrystal memory device

に蓄積される電子の数が離散的に制御できる。したがって蓄積電荷に応じた、ソース／ドレイン電流の応答特性のシフト量も離散的に変化する。これはナノクリスタルメモリが多値の記憶機能をもっていることを意味している。

次にナノクリスタルメモリへの電荷の注入および保持特性について述べる。図 6 はゲート電圧を上昇させた場合と下降させた場合のゲート電流の変化を示す。ゲート電圧を上昇させたとき、特定の電圧付近でだけゲートに電流が流れ、ナノクリスタルへの電荷の書き込みがあることがわかる。このとき、各ナノクリスタルに 1 個ずつの電子が蓄積されている。一方、ゲート電圧を下降させた場合は書き込み電圧より 1 V 程度低い値で書き込み時と逆の電流が流れている。このとき電荷の取り出し(消去)が起こっていることが

(注1) 同じ極性どうしの電荷が反発しあう特性により、小さな容量の球にすでに電荷が入っている状態で、さらに次の素電荷を入れようとする際に大きなエネルギーが必要になること。

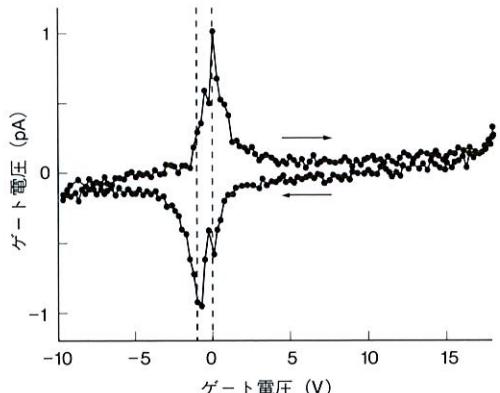


図6. ナノクリスタルへの電荷の注入 ゲート電圧の前方掃引と後方掃引に対するゲート電流特性を示す。ゲート電圧を上昇させるとある瞬間電流が流れる。このとき各ナノクリスタルに一斉に電荷が蓄積される。蓄積された電荷の掃出し(記憶の消去)は書き込みとは異なる電圧で起こる。

Gate current characteristics of nanocrystal memory device

わかる。すなわちいったん書き込まれた電荷は、書き込み電圧より低い電圧にしても、消去電圧までの間では保持されていることがわかる。

以上の特性から、書き込み電圧と取出し電圧の間で素子を動作させれば、ナノクリスタル中の電荷の有無に対応したソース／ドレイン電流の変化を利用して、記憶保持機能のある素子が実現できることがわかる。さらに、ナノクリスタルメモリでは、電荷保持特性に重要な絶縁層の厚さを、フラッシュメモリと比べ薄く設計することが可能となる。このことは素子の微細化を進めるうえで有利な条件となる。したがって先に挙げた多値記憶の特性と併わせ、ナノクリスタルメモリは、フラッシュメモリに置き換わる将来の大容量記憶素子として有望視されている。

4 あとがき

Si半導体素子の製造工程に適したナノクリスタルの作製方法について述べた。またナノクリスタルを利用した代

表的な電子素子として、ナノクリスタルメモリを取り上げ、その動作原理と特性を述べたうえで、将来の大容量記憶素子として有望であることを示した。Si系ナノクリスタル技術は既存の半導体製造工程にうまく適合し、今後、素子の微細化および高機能化の要求に対応しますます重要な役割を果たすと期待される。

これまで述べたなかで、ナノクリスタルメモリについての研究は通商産業省産業科学技術研究開発制度の一環として(財)新機能素子研究開発協会(FED)が、新エネルギー・産業技術総合開発機構(NEDO)から委託を受け実施している「量子化機能素子の研究開発」の成果である。

文 献

- (1) Tezuka, T. and Sugiyama, N. Two types of growth mode for Ge clusters on Si (100) substrate with and without atomic hydrogen exposure prior to the growth. *J. Appl. Phys.* **83**, 10, 1998, p.5239-5243.
- (2) Sugiyama, N., et al. Fabrication of nano-crystal silicon on SiO₂ using the agglomeration process. *J. Cryst. Growth.* **192**, 3/4, 1998, p.395-401
- (3) Ohba, R., et al. "Single electron charging characteristics in nano-crystal floating gate memory". Proceedings of 1998 International Symposium on Formation, Physics and Device Application of Quantum Dot Structures. Sapporo, Japan, 1998-6, Scientific Research Project and Hokkaido University. 1998, p.74.



杉山 直治 SUGIYAMA Naoharu, D. Eng.

研究開発センター 基礎研究所研究主務、工博。
半導体薄膜結晶成長技術の研究・開発に従事。
応用物理学会、日本真空協会会員。
Advanced Research Lab.



手塚 勉 TEZUKA Tsutomu

研究開発センター 基礎研究所研究主務。
光半導体素子および先端半導体素子の研究・開発に従事。
応用物理学会、日本物理学会会員。
Advanced Research Lab.



大場 龍二 OHBA Ryuji

研究開発センター 先端半導体デバイス研究所。
微細半導体素子の研究・開発に従事。応用物理学会会員。
Advanced Semiconductor Devices Research Labs.