

2.5 V 駆動型 第III世代トレンチゲート MOSFET TPCS8004

TPCS8004 2.5 V-Driven, n-Channel, Third-Generation Trench Gate MOSFET

米田 辰雄
YONEDA Tatsuo松木 宏文
MATSUKI Hirobumi金丸 恭弘
KANAMARU Yasuhiro

携帯機器の電池制御用に、2.5V駆動型第III世代^(注1)トレンチゲート MOSFET TPCS8004を開発した。TPCS8004は、トレンチゲート第III世代デザインを採用し微細化を進め、オン抵抗をトレンチゲート第II世代製品に対し30%以上低減させた。TSSOP-8という小型で薄型のパッケージに搭載したにもかかわらず、オン抵抗 $12\text{ m}\Omega\text{ max}(@V_{gs}=2.5\text{ V})$ を実現し、同クラスのパッケージでは世界最小レベルのオン抵抗の保証となっている。セルの高集積化により、 $V_{gs}=6\text{ V}$ 以上ではチップのオン抵抗値はバルク抵抗値を除くとわずか $0.1\text{ m}\Omega$ 程度となり、チャンネル抵抗をほぼ無視できるようになった。今後いっそうこのトレンチゲート第III世代デザインチップでTSSOP-8以下の小型パッケージ(SM-8, SM-6)への展開を図り、携帯機器の小型・軽量化、低価格化を図る。

We have developed the TPCS8004 trench gate MOSFET, driven by a gate voltage of 2.5 V, with a TSSOP-8 package. The main application is for lithium-ion battery controllers in mobile equipment. By using third-generation trench gate technology (one half-micron trench gate), the on-resistance (R_{on}) of the device has been reduced by more than 30% compared with the conventional (second-generation) device to a value of 12 m Ω maximum (@ $V_{gs}=2.5\text{ V}$, one of the lowest values in the world), despite the use of the TSSOP-8 package. The R_{on} of the TPCS8004 chip is only about 0.1 m Ω in the range of $V_{gs}>6.0\text{ V}$, excluding the Si bulk resistance value, because of the high integration of the cells.

Third-generation trench gate chips will be mounted using TSSOP-8, SM-8 and SM-6 packages in the future, greatly contributing to the further miniaturization and lower cost of mobile equipment.

1 まえがき

パワーMOSFET(MOS型電界効果トランジスタ)の需要は、従来の大電流、高電圧のスイッチング電源市場に加え、ここ数年、ノートPCをはじめとする移動体通信機器などの省エネルギー用スイッチ市場で急増している。パワーMOSFETがパワーマネジメント回路や、リチウムイオン電池の安全回路に使用されるため、市場からは電池電圧で直接的に駆動できる低電圧駆動化および低オン抵抗化、ならびにパッケージの薄型・小型化が強く要求されている。現在、小型面実装外周器であるSOP-8あるいは、TSSOP-8が多く使用されている(図1)。

このような状況のなかで、当社は数年前からAPRESTM(Advanced Power device for Energy Saving)MOSFETシリーズで市場の要求にこたえてきており、今回新たにトレンチ第III世代デザインを確立した。この第III世代デザインは、微細化の促進によってセル密度を第II世代比約3倍に高集積化し、約30%のオン抵抗低減を実現した。

先頭品種であるTPCS8004は、TSSOP-8パッケージに搭載し、オン抵抗 $12\text{ m}\Omega\text{ max}(@V_{gs}=2.5\text{ V})$ と、同パッケージでは、世界最小レベルのオン抵抗保証を実現した。

(注1) 第III世代とは、トレンチ幅 $0.35\text{ }\mu\text{m}$ を、第II世代とは、トレンチ幅 $0.6\text{ }\mu\text{m}$ をいう。

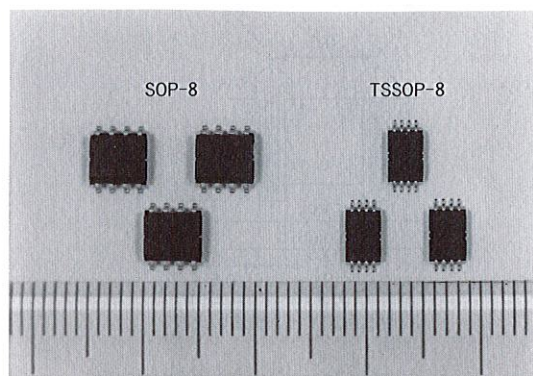


図1. 小型面実装パッケージ 携帯機器市場で主に使用される小型面実装パッケージで、TSSOP-8はSOP-8よりさらに小型・薄型化されている。

Small SMD package for mobile market

2 設計のポイントと素子構造

APRESTMMOSFETの開発はオン抵抗低減、ゲート膜の高信頼性、工程削減(工程合理化)がかぎとなる。特に、TPCS8004は2.5V駆動を薄膜ゲート技術で実現しているため、高信頼性ゲート膜が必要不可欠である。

図2に素子デザインのオン抵抗、セル密度経緯を示す。図に示すように、第III世代デザインはほかに比べて急激に

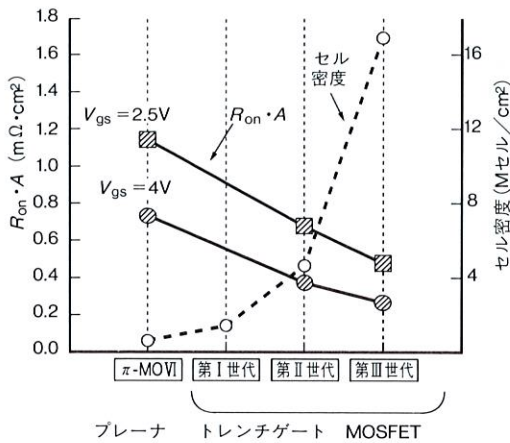
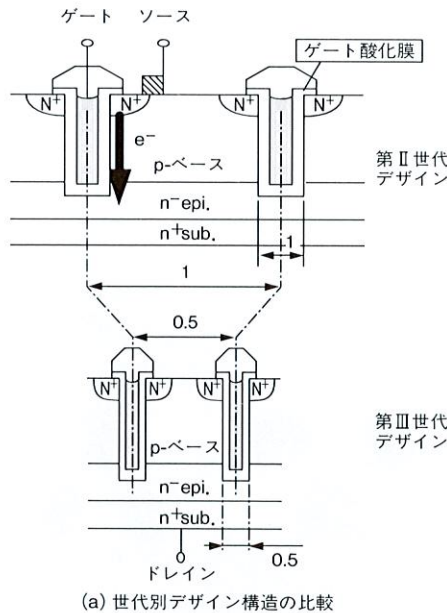
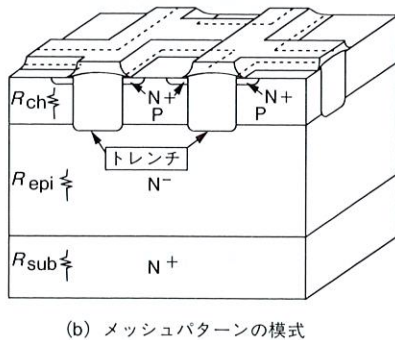


図2. 30V系2.5V駆動型APRES™ MOSFETのオン抵抗とセル密度の推移 第III世代デザインは、ブレーナに比べセルを20倍以上に高密度化し、 $R_{ON} \cdot A$ を約40%に低減した。

R_{on} and cell density by generation



(a) 世代別デザイン構造の比較



(b) メッシュパターンの模式

図3. トレンチゲート MOSFETの世代別構造比較とオフセットメッシュパターン 第III世代のセルピッチ、トレンチ幅を第II世代の約1/2に縮小。オフセットメッシュパターンの採用で集積度をアップさせた。

Structure of trench gate MOSFET, and offset-mesh pattern of TPCS8004

セル密度が上昇している。図3(a)に第II世代デザインと第III世代デザインの構造比較を、図3(b)にTPCS8004で採用したオフセットメッシュパターンの模式を示す。

第III世代デザインの微細化は露光、現像条件の最適化および微細加工用レジストの採用により実現し、トレンチ幅、ピッチとも第II世代デザインに比べ約1/2に縮小できた(図3(a))。

しかし、そのままでは、大幅な微細化はソースコンタクト面積を減少させソースオーミック抵抗を増加させるので、第III世代デザインでは高温Alスパッタプロセスを導入し、ソースコンタクト部のAlカバレッジを向上させコンタクト抵抗を低減させた。第II世代品と比較した結果を図4に示す。図から、微細化にかかわらず安定的に低いオーミックコンタクトが実現できていることがわかる。

ゲート膜の高信頼性はトレンチ側壁の平均面粗さを2~3nmに制御し、4V駆動型(第I世代:2SK2466)並みのTDDB(Time Dependent Dielectric Breakdown)初期不良寿命を実現した。図5にTDDB寿命結果を示す。摩耗寿命はゲート膜厚に比例するため、4V駆動型のほうが高いが、初期不良寿命では同等の結果が得られた。また、工程統合

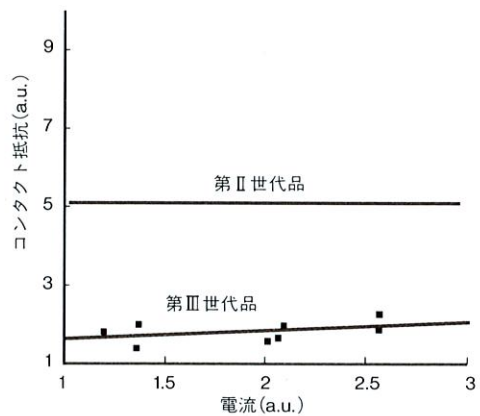


図4. コンタクト抵抗の測定結果の比較 第III世代品は第II世代品の約1/2以下の抵抗値であり、高温Alスパッタプロセスの効果が確認された。

Experimental results of contact resistance measurements

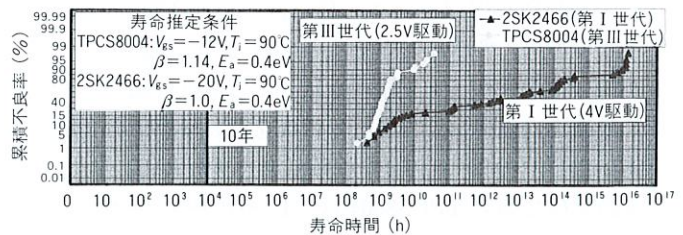


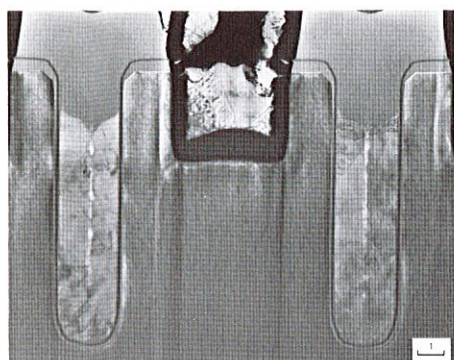
図5. トレンチゲート MOSFETのTDDB寿命結果 2.5V駆動型第III世代品で4V駆動型第I世代品と同等の初期不良寿命が得られた。

TDDB life of trench gate MOSFET

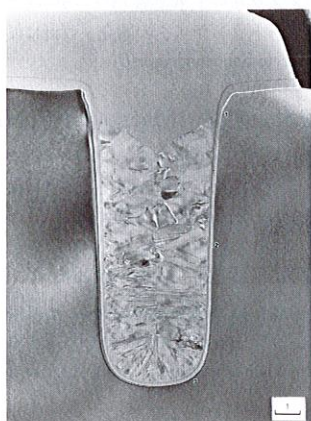
により、第III世代デザインは従来に比べ工程数を10%削減できた。

今回、以上の技術点の最適化、新規設備の導入により第III世代デザインの先頭品種であるTPCS8004を開発した。

図6にトレンチFET部分の断面TEM写真を示す。



(a)TPCS8004



(b)第II世代品

図6. トレンチFET部分の断面TEM写真 TPCS8004のトレンチ幅が第II世代品の約1/2に縮小されている

Cross-sectional TEM photographs of trench FETs

3 電気特性

表1に今回開発したTPCS8004の目標定格と実測値の比較を示す。表からすべての定格を十分満たしていることがわかる。

表1. TPCS8004の主要目標特性と実測値
Main required characteristics and typical characteristics of TPCS 8004

	$V_{th}(V)$		$R_{ON}(m\Omega) @ I_d=5A$	
	$V_{dss}(V)$ $I_d=1mA$	$10V/1mA$	$V_{gs}=2.5V$	$V_{gs}=4.0V$
目標定格	20 min	0.5 min	1.2 max	9 max
実測値	39	0.65	8.3	7.3

表2に20V系nチャネル APRES™ MOSFETの世代別 $R_{on} \cdot A$ (単位面積当たりのオン抵抗)性能比較を示す。第II世代品は2.5V駆動型TPCS8201で、第III世代品はTPCS8004で代表した。表から $V_{gs}=2.5V$ では第II世代比約40%, $V_{gs}=4V, 10V$ では同比約30%以上の低減効果が確認できた。

表2. トレンチゲートMOSFETの $R_{on} \cdot A$ 性能比較
Comparison of trench gate MOSFET $R_{on} \cdot A$ performance

	$V_{dss}(V)$	$V_{th}(V)$	$R_{ON} \cdot A (m\Omega \cdot mm^2) @ I_d=5A$		
	$I_d=1mA$	$10V/1mA$	$V_{gs}=2.5V$	$V_{gs}=4.0V$	$V_{gs}=10V$
TPCS8201	36	0.97	51	38	29
TPCS8004	39	0.65	30	24	23

4 考察

図7にTPCS8004のオン抵抗(チップ)のゲート電圧依存性を示した。図から $V_{gs}=6V$ 以上ではゲート電圧依存性がなくなることがわかる。また、20V系バルク抵抗値が4.4mΩであるので、それ以外の抵抗成分は $V_{gs}=6V$ 以上では0.1mΩ以下となり、この第III世代デザインでオン抵抗は限界まで低減できたと考える。

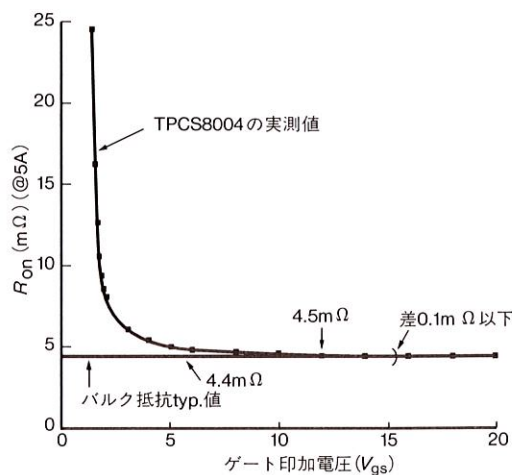


図7. オン抵抗のゲート電圧依存性(TPCS8004チップ) $V_{gs}=6V$ 以上でゲート電圧依存性がなくなり、バルク抵抗値にほとんど等しくなる。バルク抵抗値はシリコンウェーハのtyp. ρ_{vg}, T_{vg} で計算した。

Relationship between R_{on} and gate voltage

この第III世代チップの開発により、パッケージの小型・薄型化が加速できるのは言うまでもない。図8は、FETチップのオン抵抗とチップサイズとの相関を示す。2本のラインは第II世代と第III世代とで製品を開発した場合の比

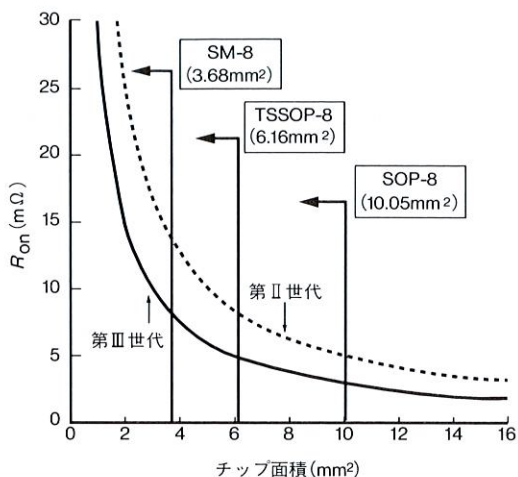


図8. 世代別チップオン抵抗とチップサイズとの相関 第III世代
チップで搭載パッケージの小型化が可能となった。

Dependence of R_{on} on chip generation

較である。図から、同一オン抵抗では、第III世代デザインのほうがチップサイズを縮小できることがわかる。

5 あとがき

従来では SOP-8 パッケージでしか実現できなかった特性が、第III世代デザインによって TSSOP-8 パッケージで実現可能になった。また、TSSOP-8 よりもさらに小型の SM-8/SM6 への製品展開も可能となった。

今後、この第III世代 APRES™ チップを使って、小型・薄型化パッケージのラインアップを拡充し、電子機器の発展にいつそう貢献したい。

文 献

- (1) 米田辰雄, 他. "高ゲート膜寿命の L² 型 UMOSFET". 平成7年度電気学会全国大会, 4, 1995, p.22-23.
- (2) 大田 剛, 他. "TSSOP-8 搭載デュアルタイプ 2.5 V 駆動型 n-ch UMOSFET". 平成10年度電気学会全国大会, 4, 1998, p.22-23.
- (3) Yoneda, T., et al. "Dual type 2.5 V Driven N-channel UMOSFET mounted with TSSOP-8". PCIM INTER'98 JAPAN PROCEEDINGS. 1998, p.591-596.
- (4) 若狭外樹, 他. SOP-8 搭載 30 V 系 Nch 低 Ron U-MOSFET. 平成10年度電気学会全国大会, 4, 1998, p.27.
- (5) 船戸紀秀, 他. トレンチゲート IGBT と トレンチパワー MOSFET. 東芝レビュー, 52, 2, 1997, p.47-50.
- (6) Baba, Y., et al. "A STUDY ON A HIGH BLOCKING VOLTAGE UMOS-FET WITH A DOUBLE GATE STRUCTURE". Proceeding of 4th ISPSD, 1992, p.300-302.
- (7) Baba, Y., et al. "HIGH RELIABLE UMOSFET WITH OXIDE=NITRIDE COMPLEX GATE STRUCTURE". Proceedings of 9th ISPSD, 1997, p.369-372.



米田 辰雄 Yoneda Tatsuo

ディスクリート事業部 パワーデバイス技術部。
パワートランジスタの開発・設計に従事。
Discrete Semiconductor Div.



松木 宏文 Matsuki Hirobumi

ディスクリート事業部 パワーデバイス技術部。
パワートランジスタの開発・設計に従事。
Discrete Semiconductor Div.



金丸 恭弘 Kanamaru Yasuhiro

半導体生産技術推進センター 半導体プロセス技術第一
部。パワートランジスタのプロセス開発に従事。
Semiconductor Manufacturing Engineering Div.