

72M ビット ラムバス DRAM

72 Mbit RAMBUS DRAM

佐野 克政
SANO Katsumasa

当社は、米国ラムバス社との技術提携により、500 Mbps の高速データ転送を実現する 18 M ビット ラムバス DRAM を開発・製品化したのに引き続き、ピン当たり 800 Mbps のデータ転送を実現する 72 M ビット ラムバス DRAM を開発した。

ラムバス DRAM は、高速・小振幅・パケット転送方式のクロック同期型インタフェースをもち、チップ内部にセンスアンプキャッシュ、ライトバッファを内蔵することにより、速いレイテンシを達成している。また、144 ビットのデータをパラレルに 10 ns という高速なカラムサイクルで取り出すことで、800 Mbps の高速データ転送を達成している。

In cooperation with Rambus Inc. (U.S.A.), we have developed a 72 Mbit Rambus DRAM that has an 800 Mbps per pin data transfer rate. The Rambus DRAM features a high-speed, small-swing, packet-transfer synchronous interface. The Rambus DRAM achieves a short latency implemented by an internal sense-amplifier-cache and write buffer. The very high data rate of 800 Mbps is demonstrated by simultaneously reading 144 bits of data from the memory cell array in a 10 ns column cycle.

1 まえがき

現在、汎(はん)用 DRAM は大型コンピュータ、ワークステーション、パソコンなどのメインメモリ、画像表示用メモリ、大容量データバッファなどに幅広く使用されている。これらの機器に使用されるマイクロプロセッサの急速な演算処理能力の向上に対応し、システム全体の処理能力を高めるために高速データ転送が可能な DRAM が求められている。

当社は、このようなニーズに対応するため PC100 SDRAM の 2 倍の高速データ転送が可能な 72 M ビット ラムバス DRAM を開発した。

ここでは、ラムバスアーキテクチャの概要と、72 M ビット ラムバス DRAM について述べる。

2 ラムバスアーキテクチャの概要

2.1 ラムバスチャンネルの構成

ラムバス社は、マスタデバイス(ラムバスインタフェースをもつ CPU やグラフィックコントローラなど)と、スレーブデバイス(ラムバス DRAM: ラムバスインタフェースをもったメモリ)との間で、800 Mbps という高速データ転送を行うバスを提唱している。そのラムバスチャンネルの構成を図 1 に示す。図からわかるように、18 本のデータ線、8 本のアドレス・制御信号線、4 本のクロック線はバスの特性インピーダンスで終端され、電圧 V_{term} につられ、高速データ転送を行う。その際、信号は V_{ref} 電位を基準に ± 200 mV の小振幅で伝播(ば)される。また、2 本の CMOS 振幅のデータ線と 2 本の CMOS 信号のクロック/制御信号線は、

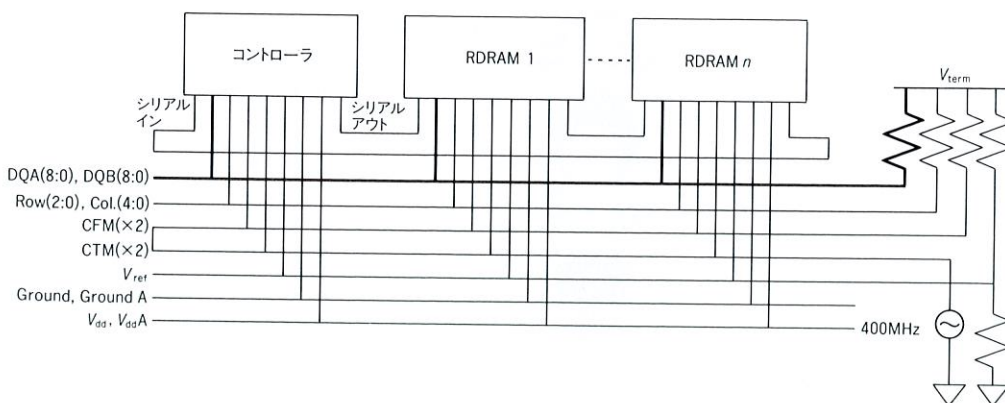


図 1. ラムバスチャンネルの構成
クロックと高速信号は配線の特性インピーダンスで V_{term} に終端されている。

Rambus channel configuration

システムの初期化のために使用される。

2.2 クロックシステム

800 Mbps という高速データ転送を実現するためには、クロック信号とデータとのスキューを最小限に抑える必要がある。ラムバスチャネルにおいては、図1に示すように終端からマスタへ向かって伝播するCTM (Clock To Master) とマスタ端で折り返して終端へ向かって伝播するCFM (Clock From Master) が存在する。マスタはCFMに同期してスレーブヘータを送信し、スレーブはそのCFMに同期してデータを受信する。また、スレーブはCTMに同期してマスタヘータを送信し、マスタはそのCTMに同期してデータを受信する。こうすることで、クロックとデータのスキューを最小限に抑えてデータ転送を行っている。

2.3 パケットデータ転送

マスタとスレーブのデータのやり取りは、パケット形式で行われる。パケットは Row パケットと Column パケットに大別される。

Row パケットには、デバイス ID と Row アドレスに加えて、オペレーションコマンドが含まれている。オペレーションコマンドはセンスアンプの活性化およびプリチャージ、リフレッシュと電力制御モードをコントロールする。Column パケットには、デバイス ID と Column アドレスに加えて、リード/ライトコマンド、ライトマスクデータ、プリチャージコマンドが含まれている。これら Row/Column パケットを使って、マスタがラムバス DRAM からデータを読み出す場合を考える。

図2に示すように、まずマスタがラムバス DRAM に対し Row パケットを発行する。バス上にあるすべてのラムバス DRAM は、その Row パケット中のデバイス ID を見て、自分の ID であると確認したデバイスはセンスアンプの活性化を開始する。マスタは引き続き Column パケットを発行する。Row パケットと同様に、デバイス ID が一致したデバイスはセンスアンプからデータを読み出し、マスタへ 800 Mbps の速度でデータを送信する。

2.4 カレントコントロール

マスタとスレーブ間の正確なデータ転送のために、バス上へ出力する振幅の大きさはある程度必要である。しかし、

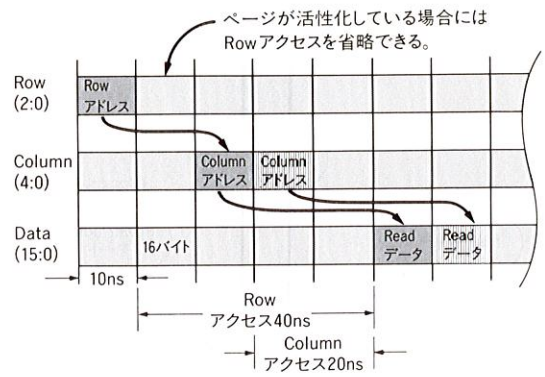


図2. リードトランザクション デバイス ID を含んだ Row/Column パケットによりアクセスを行う。

Read transaction

高速データ転送の場合、消費電流削減やノイズ減少の観点から、出力振幅はむしろ小さいほうがよい。このため、高速で動作するデバイスは一定の出力電圧を維持するのが望ましい。しかし、動作温度やプロセス条件によってトランジスタの電流値が変化するのに応じて、出力電圧も変動してしまう。

クロック周波数が 400 MHz という高速で動作するラムバス DRAM は、動作温度やプロセス条件によらず出力電圧を一定に保つ機能を設けている。マスタがカレントコントロールパケットを発行するとデバイス ID が一致したデバイスは $(V_{term} + V_{ii})/2$ と V_{ref} を比較しその差が 0 となるように出力トランジスタを調整する。マスタはシステムのパフォーマンスを落とさない程度の間隔でカレントコントロールパケットを発行し、つねに出力電圧が一定となるようにコントロールする。このカレントコントロールパケットの動作タイミングを図3に示す。

2.5 消費電力制御

ラムバスメモリシステムの消費電力を低減させるため、ラムバス DRAM は四つの電力モード間を遷移することができる。その状態遷移を図4に示す。

マスタからパケットが発行されデバイス ID が一致したデバイスは Active モードとなり、リード/ライト動作を実行す

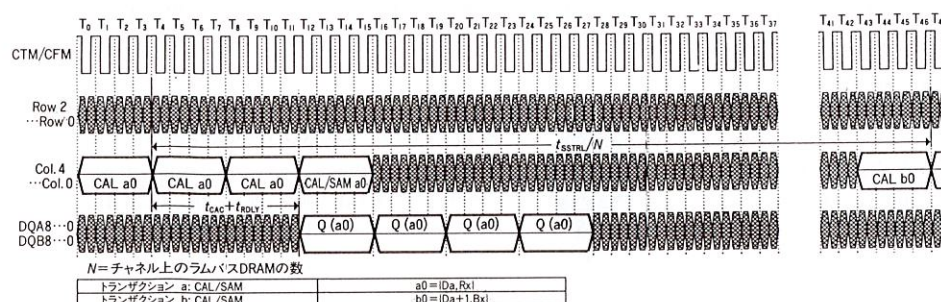


図3. カレントコントロールパケット カレントコントロールパケットを発行することで、出力電圧を一定に保つことができる。

Current control packet

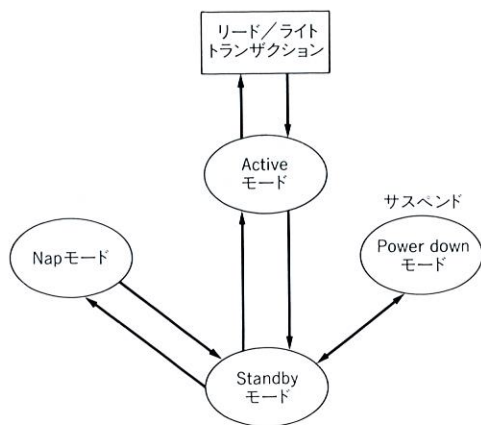


図4. 電力制御図 実使用時の電力消費を低減させるための状態遷移を示す。

State diagram of power management

る。一方、デバイスIDが一致しなかったデバイスはStandbyモードにとどまることになる。従来のDRAMメモリシステムでは複数のDRAMが一斉に動作するのに対して、ラムバスシステムではチャンネル上の1個のデバイスだけが動作状態となる。Power downモードにおいてはDLL (Delayed Lock Loop) 回路、IO回路を含むすべてのラムバスインタフェース回路は停止するため、消費電力は最小となるが、Power downモードから復帰するためには、DLL回路の復帰時間が必要となる。そこで、DLL回路の内部状態を一時的に記憶しDLL復帰時間を短縮したモードがNapモードである。ただし、NapモードではDLL回路の状態記憶をキャパシタの充電で行っているため、定期的にリフレッシュする必要がある。マスタは、これらのモードを状況によって使い分けることでシステム全体の消費電力が最小となるようにコントロールすることができる。

また、72 MビットラムバスDRAMはチップ内部に温度センサを内蔵している。このセンサは約100°Cに設定されたしきい値を超えるとチップ内部のレジスタに“1”を書き込む。マスタはこのレジスタをモニタすることで、温度が上昇しているデバイスへのアクセスを制限するなどの管理をすることができる。

2.6 パッケージ

72 MビットラムバスDRAMではCSP (Chip Scale Package)を採用した(図5)。CSPを採用したのは次の理由からである。

- (1) パッケージのインダクタンス成分が抑えられるため、特に高速なデバイスに有利である。
- (2) モールド樹脂に封止されていないため、SOJ/TSOPなどのパッケージに比べて高密度実装が可能である。また、放熱特性が良好である。

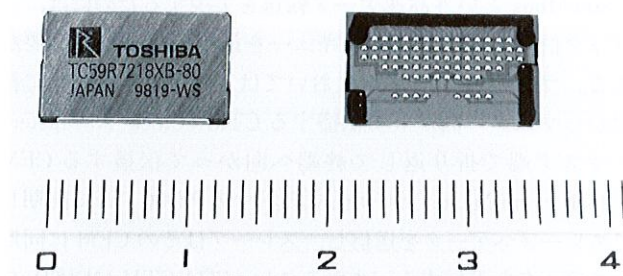


図5. 72 MビットラムバスDRAM パッケージのインダクタンス成分が抑えられる、モールド樹脂に封止されていないなどの理由からCSPを採用している。

72 Mbit Rambus DRAM

2.7 ラムバスシステムの利点

800 Mbps という高速データ転送のほかに、ラムバスシステムを用いる利点として次の2点も挙げることができる。

- (1) クロック周波数400 MHzという高速動作バスが、ラムバス社が提唱する方式に従えば、従来の基板技術で容易に実現できる。
- (2) マスタとスレーブはダイレクトにデータ転送を行うため、メモリコントローラなどの外付け論理ICが不要になる。すなわち、システム設計者は、800 Mbpsという高いバンド幅で、しかも2バイト幅という小さいバス幅のシステムを容易に得ることができる。

3 あとがき

当社は800 Mbpsという高速データ転送を行う72 MビットラムバスDRAMを開発した。

18 MビットラムバスDRAMの時代に切り開いたゲーム機用メモリやグラフィックメモリへの応用に加えて、Intel社がラムバスインタフェースを内蔵したチップセットを開発すると発表したことから、次世代パソコンのメインメモリへの期待が高まっている。

マルチメディア化が叫ばれるなかで、より多くのデータ量を扱うシステムにマッチしたラムバスDRAMのようなメモリの要求がますます大きくなっていくと思われる。



佐野 克政 SANO Katsumasa

半導体システム技術センター メモリ応用技術第二部主務。
ダイナミックRAMの開発評価、応用技術に従事。
Semiconductor System Engineering Center