

デジタルテレビ放送受信機用 MPEG2 システムデコーダ LSI

MPEG2 System Decoder LSI for Set-Top Box

日比 敏雄
HIBI Toshio

北垣 和那
KITAGAKI Kazukuni

ここ数年、ケーブル、衛星、地上波のテレビ放送のデジタル化が急速に進行している。これらのデジタルテレビ放送では、画像・音声の帯域圧縮・伸長技術として MPEG2 が採用されており、受信機 (Set Top Box) は MPEG2 デコーダを含む、各種システム LSI で構成されている。当社は、市場ニーズに柔軟に対応し、システムコストを低減する目的で、システム制御を行う CPU、パケット多重されているデータ^(注1)の選別などを行うトランスポート プロセッサ、MPEG2 オーディオ/ビデオデコーダを一つのチップに収めた TC81220F (開発コードネーム HAWK) を開発した。

Cable TV, satellite and terrestrial television broadcasts will shift from analog to digital in Japan within the next several years. Moving Picture Experts Group 2 (MPEG2) compression and decoding technology for audio and video data is important in such digital broadcasting. An MPEG2 decoder and several system LSIs are assembled into a receiver called a set-top box (STB).

To respond to the needs of the STB market and lower system costs, Toshiba has developed the TC81220F (HAWK) LSI. A CPU serving as the system controller, a transport processor for filtering multiple packet data, and an MPEG2 audio/video decoder have been integrated into the HAWK chip.

1 まえがき

近年、画像データ圧縮技術として MPEG2 を採用したデジタル衛星放送、ケーブル放送が本格的に普及を始めた。

これらの受信機は、Set Top Box (STB) と呼ばれ、今後デジタル地上波放送の普及に伴い、一般のテレビに内蔵されていくと考えられる。

この STB は、大きく分けて、フロントエンド部とバックエンド部に分かれる。前者は、必要とする信号を取り出すチューナ部、デジタルデータを抽出する復調部、そのデータに対して誤り訂正を行う部分で構成される。後者は、MPEG2 のシステム制御とデコード部に分かれ、フロントエンドで作成された、デジタル信号を映像信号、音声信号に再生する。図 1 に STB の全体システムを示す。

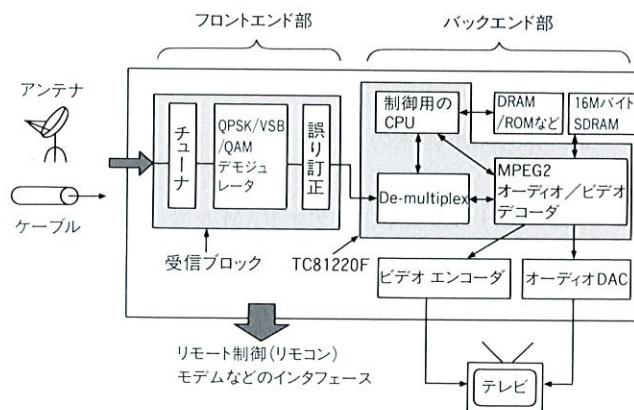
今回当社は、従来 3 チップ構成が一般的であったバックエンド部を 1 チップにまとめた、MPEG2 システムデコーダ LSI TC81220F を開発した。

2 TC81220F の概要

開発した製品は、大きく分けて三つのブロックで構成されている。

- (1) CPU 部 MIPS 社の R3000 と命令互換の当社

(注1) パケットデータとは、ユニットとして送られる一定長に分割された小包 (パケット) データのこと。



De-multiplex: 多重信号を分離して元に戻すこと。

図 1. デジタル放送向け STB のシステム構成 STB の一般的構成を示す。TC81220F によりバックエンド部の大部分が 1 チップに集積される。

System configuration of STB for digital broadcasts

CPU TX3900 をコアとして DRAM コントローラ、シリアル I/O などの周辺モジュールを付けたマイクロコントローラ TX3904 を搭載している。

- (2) トランスポート プロセッサ部 RISC アーキテクチャのプロセッサをコアにデータ RAM、ファームウェアをダウンロードするコード RAM をもち、フロントエンド部から出力された信号を搬送するフォーマットである MPEG2 トランスポート レイヤのビットストリーム

を分離して、PES (Packetized Elementary Stream) オーディオ/ビデオのビットストリームをMPEG2デコーダへ出力する。

動作は、54 MHz で動作し、パイプライン化されており、クロックサイクル当たり1命令となる。

- (3) MPEG2 デコーダと OSD 機能 このコアは、オーディオデコーダブロックとビデオデコーダブロックで構成され、それぞれ独立に動作する。OSD (On Screen Display) の機能は、ユーザーが定義したビットマップを解読後のビデオ出力のどこにでもスーパーインポーズして表示できる。

TX3904 およびその他のブロックで使用されるメモリ (FIFO も含む)、IDCT (Inverse Discrete Cosine Transform) は、ハードマクロセルで扱い、その他は、RTL 記述で設計し、モジュール化してソフトマクロとして扱い、スタンダードセル手法による開発を行った。TC81220F のチップ写真を図 2 に、ブロック構成を図 3 に、仕様を表 1 に示す。



図 2. TC81220F のチップ TSP (トランスポートプロセッサ), TX3904 RISC コア, MPEG2 デコーダが1チップに集積されている。 Chip micrograph of TC81220F

3 各ブロックの説明

今回、RISC の CPU 部には、ハードコアセルを使用したため、TX3904 のブロックの外にある外部バスに必要なモジュールを新規に開発し接続した。例えば、SIO, PIO, それに I²C のモジュールである。TX3904 は、単純に TC81220F 内のシステム制御だけでなく、STB のシステム全体についても制御することができる。この外部バスに外部デバイス

を接続したり、PIO や SIO に制御したいデバイスを接続すれば、TX3904 のプログラムでコントロールができる。

3.1 トランスポート プロセッサ (TSP)

図 4 のようにこのブロックには、周辺のブロックとデータのやり取りを行うために、三つの DMA (Direct Memory Access) コントローラが用意されている。

- (1) DMA0 ビットストリームの入力 I/F から TSP 内のデータ RAM へデータ転送

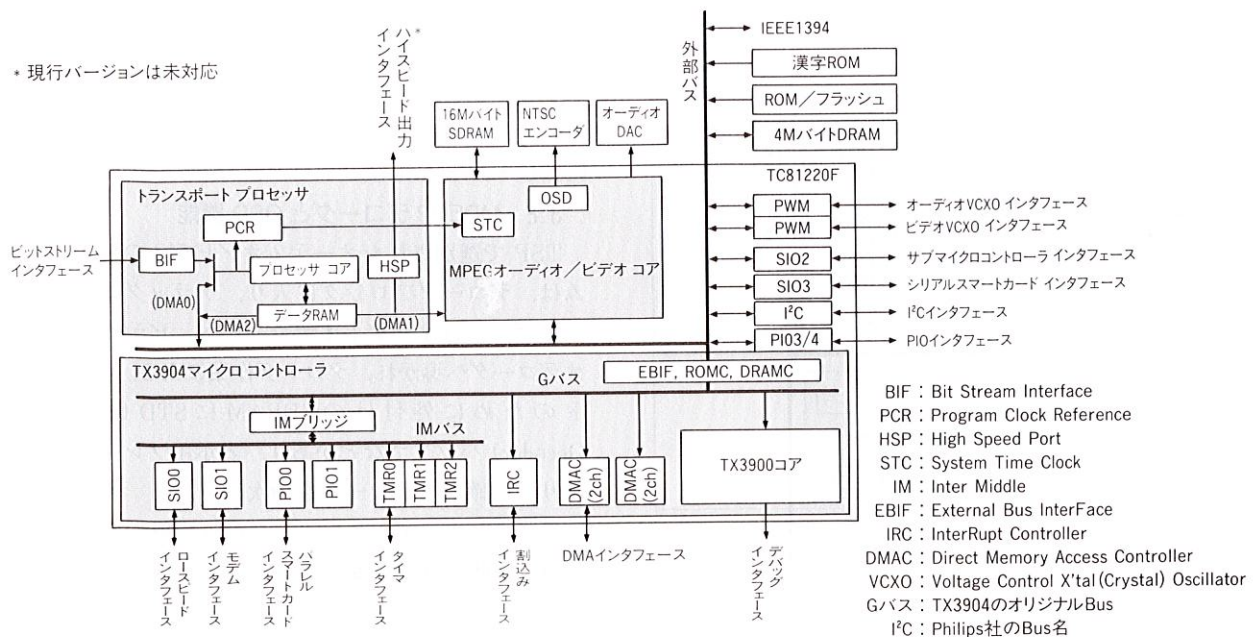


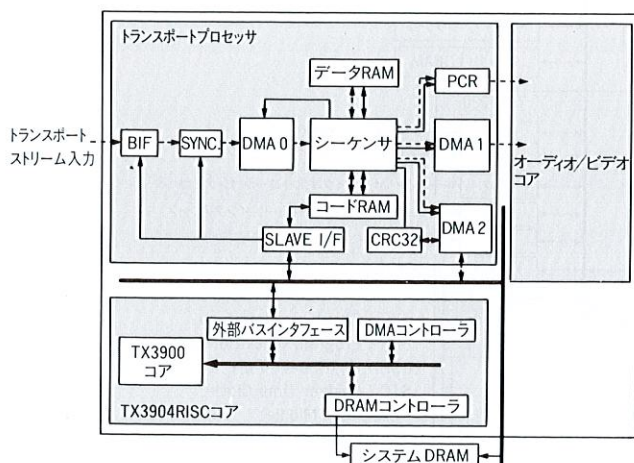
図 3. TC81220F のブロック構成 TC81220F 内のファンクションブロックの詳細を示す。 Configuration of TC81220F

表1. TC81220F の仕様
Specifications of TC81220F

| 項目 | 仕様 |
|----------------------------|--|
| 入力クロック周波数 | 27 MHz (内部 CPU/TSP 54 MHz) |
| 電源電圧 | 3.3 V |
| I/O | 5 V トレラント対応 |
| パッケージ | 208 ピン QFP |
| プロセス | 0.35 μm 3層 Al |
| トランスポート部 | |
| プログラマブル トランスポート プロセッシング | DVB などに対応 |
| ビットストリームの入力レート | 60 Mbps 連続 |
| ビデオ部 | |
| 入力データ デコーディング | PES, PS NTSC : 720×480 画素 30 フレーム/s PAL : 720×480 画素 25 フレーム/s |
| フレームメモリ | NTSC : 3 フレーム PAL : 2.75 フレーム |
| OSD | <ul style="list-style-type: none"> ・ 2/4/8 bpp (bit per pixel) ・ 1パレット当たり 16レベルのブレ ンディング(重ね合せ) ・ 各パレットごと 24ビットカラー |
| オーディオ部 | |
| 伸長データ形式 | MPEG1 のレイヤ 1, 2 MPEG2 メインチャンネル |
| チャンネル機能 | シングル/デュアル/ジョイント ス テレオ/ステレオ |
| オーディオクロック | 27 MHz から発生させる PLL 内蔵 |

DVB : Digital Video Broadcast
PS : Program Stream

- (2) DMA1 TSP 内のデータ RAM から MPEG2 ビデオおよびオーディオのデコーダへのデータ転送
- (3) DMA2 TSP 内のデータ RAM から TX3904 の外部システム DRAM へのデータ転送



CRC : Cyclic Redundancy Check
SYNC : 同期
SLAVE I/F : スレーブ側インタフェース

図4. トランスポート プロセッサ データの流れ, および他のブロックとのインタフェースの概要を示す。

Transport processor

このデータ RAM は、ビット ストリームのバッファおよび TSP のデータスペースとして使用される。以下に動作の流れを述べる。

入力されたビット ストリームは、まず DMA0 によって TSP 内のデータ RAM にロードされる。操作は、手動/自動モードがある。手動モードは、転送すべきバイト数をレジスタにセットアップし、DMA 転送できるように START ビットをセットする。転送が終わると、終了フラッグがセットされる。自動モードでは、データ RAM 内に自動的にロードされる。ローディングする前にバッファサイズ (パケット数) とパケット当たりのバイト数をセットする。DMA0 は、内部の SYNC 信号を出てからローディングを開始し、終了するとパケット内にある Status (状態) ビットがセットする。TSP が各データパケットのデータを読み終わると、Status ビットをクリアにする。この Status ビットにより TSP は、オーバーフロー、アンダフローを見つける。

次に、DMA1 は、トランスポート レイヤが終わると、トランスポート処理の終了したビデオ/オーディオ PES ビットストリームをデコーダへ転送する。TSP は、ビットストリームの開始アドレスを設定し、ビデオのビットストリームかオーディオのビットストリームであることを示すビット信号の Audio_Video をセットして、START ビットもセットすれば、DMA1 が動作開始できる。転送が終了すれば、DMA1 のコントローラがアクセス終了するフラッグ DMA1_FINISH がセットされる。

DMA2 は、主にトランスポートから抽出された SI (Service Information) 情報を外部 DRAM に転送するために使用される。また、外部 DRAM からデータ RAM へビットストリームを転送して、TSP 処理を行うこともできる。この DMA2 は、メモリ間の転送を行うため、ソースアドレス、デスティネーション (転送先) アドレスを設定する必要がある。転送が終われば、DMA1 と同じように、フラッグ DMA2_FINISH がセットされる。

3.2 MPEG2 デコーダと OSD 機能

TSP で選別されたオーディオ/ビデオのビットストリームは、デコーダブロックに入り、フラッグにより、オーディオデータはオーディオデコーダへ、ビデオデータはビデオデコーダへ導かれ、デコーダ作業に入る。MPEG2 デコードのために外付けの SDRAM に STD (System Target Decoder) バッファなどがあり、表示用フレーム バッファのエリアを確保しデコードを順次行う。

ビデオとオーディオのデータが時分割で送信されてくるため、同期を取る必要がある。送信されてくるパケット内にその時間を示す情報があり、受信機内にある時間カウンタとのずれを比較して、処理するシーケンスを決定する。

これらの情報のやり取りにタイムスタンプが使われ、復号再生の処理で時間管理を行う。

MPEG2の各予測符号方式に対応した画像タイプの規格であるIピクチャ、Bピクチャ、Pピクチャの復号のタイミングが決定され、フレームデータが作成される。その後、ビデオインタフェースへ表示データを流し、出力する。これに、SDRAM内に描画されているOSDのデータが付加される。

オーディオデコードされた音声データをサンプリングクロックに同期して出力し、外付けのDACによりアナログ音声信号に変換する。

TSPからMPEG2オーディオ/ビデオデコーダへのデータの流れを図5に示す。

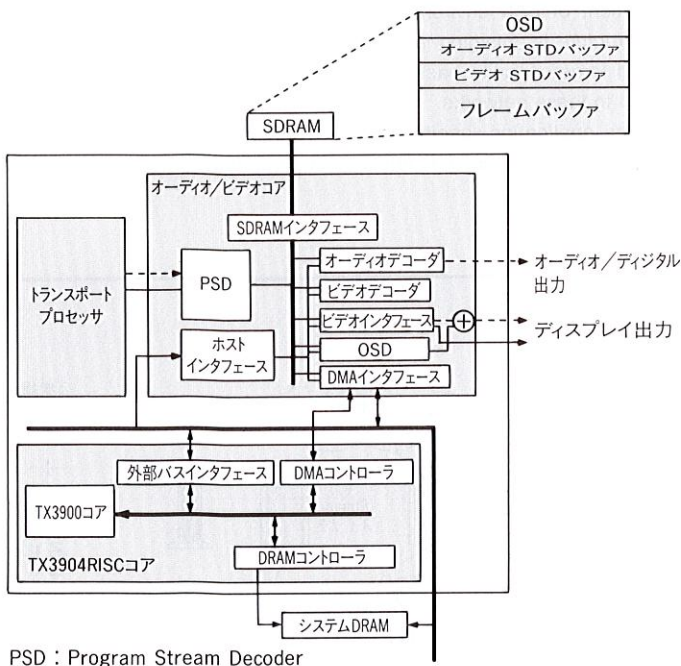


図5. MPEG2オーディオ/ビデオデコーダ MPEG2デコーダ内の詳細ブロック、トランスポートプロセッサおよびTX3904 RISCコアとのインタフェースを表わす。
MPEG2 audio/video decoder

OSD処理部は、データの構造としてヘッダ、パレット、ビットマップの三つの基本的なブロックで構成し、メモリ管理が自在に行えるアーキテクチャとした。各OSD領域は、これらのブロック一つで構成され、ヘッダのポイントを示すHEAD_PTRと呼ばれるホストレジスタに論理アドレス(ポインタ)が保持されている。このヘッダに次のヘッダ(Next Header)、カラーパレット、ビットマップが含まれており、

HEAD_PTRがロードされれば、順次、ビットマップが表示され、Next_Headerポイントへ移行する。これが、繰返し行われ、ヘッダがNULL値(ゼロ値とは違う無効値)になれば、開始点へ戻る。図6は、その動作を示したものである。

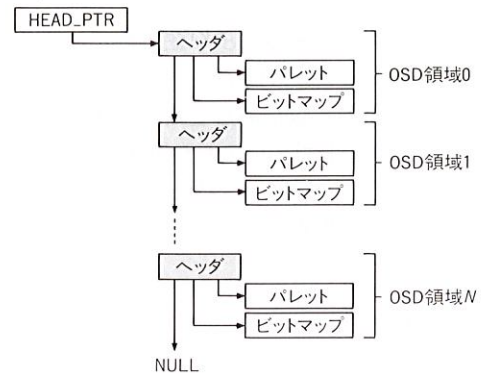


図6. OSD機能のデータ構造 ヘッダによる制御により、パレット、ビットマップを簡単に切り換えることができる。

Data structure for on-screen display (OSD)

4 あとがき

CPU, TSP, MPEG2デコーダを1チップ化したTC81220F (HAWK)を開発した。このLSIを使用することにより、STBの信号処理部のセット基板面積を小さくすることができ、従来の3チップ構成に比べ約1/2にできた。

今後の展開として、周辺のビデオエンコーダ、デスクランブラを内蔵し、さらにオーディオデコーダのDSP化(AC3対応)、2Dグラフィック(GUI)機能の強化を図る予定である。これにより、インターネット対応テレビ、DVD対応テレビなどへの応用を容易にしていきたい。



日比 敏雄 HIBI Toshio

半導体システム技術センター 映像情報システムLSI技術第二部長。MPEG2関連およびSTB/デジタルテレビ用のシステムLSIの企画・開発に従事。
Semiconductor System Engineering Center



北垣 和那 KITAGAKI Kazukuni

半導体システム技術センター 映像情報システムLSI技術第二部長。MPEG2関連およびSTB/デジタルテレビ用のシステムLSIの企画・開発に従事。
Semiconductor System Engineering Center