

当社が世界に先駆けて開発し近年急速に市場が拡大しつつあるDRAM混載チップをはじめ、SRAM、EEPROMなどを他のロジック回路と同一シリコン基板上に集積するためのメモリコアが、システムLSIの中核IPとして重要性を増している。当社のメモリコアには、メモリプロセスとロジックプロセスの融合、メモリコア設計データの自動合成、メモリテスト回路搭載といった技術を盛り込んでいる。これにより、高密度メモリと高性能トランジスタの両立、用途に応じた多品種メモリコアの設計期間短縮、テストの容易化を実現し、メモリ混載化の利点を最大限に生かすことが可能になった。

The embedded memory core is emerging as a key intellectual property(IP)for system LSIs. It includes not only the embedded DRAM, which was developed for the first time in the world by Toshiba and is widely used at present, but also various memories such as SRAM and EEPROM.

Toshiba has developed technologies including the memory-merged logic process, automatic synthesis of memory core design data, and on-chip memory test circuits. These technologies have made it possible to utilize the advantages of embedded memory by achieving high memory density, high transistor performance, short turnaround time in memory core design, and easy testing methodology.

## 1 まえがき

メモリとロジックをワンチップに集積したLSIの市場が急速に拡大している<sup>(1),(2),(3)</sup>。これは、従来からのSRAMに加え、微細加工技術の進歩によりメガビット規模のDRAMやEEPROMの混載化が可能になったことが背景にある。これにより、ハイエンドの画像用ワークステーションから民生用のビデオカメラに至るまで幅広い分野で用途が開拓されている。

メモリ混載LSIは、標準メモリ、ロジックなどのディスクリートチップをボード上で組み合わせる従来の手法では実現できない多くの利点をもつ。図1は、DRAM混載を例として従来手法の比較を示す。これからわかるように、DRAM混載は性能、消費電力、実装面積、ノイズなどの点で従来手法より優れている。メモリとロジックの間を128ビットといった幅の広いデータバスで結合できるためギガバイト／秒規模の高速データ転送率が実現できることが第一の理由である。また、データバスをボード上ではなくシリコン基板上に形成するため、バス消費電力を従来の数分の一に低減できることが第二の理由である。

しかし、メモリ混載技術がもつ利点を最大限に生かすには単にメモリコアとロジックを同一シリコン上に形成するだけにとどまらない技術開発がプロセス、設計、テストのそれぞれに要求される。

ここでは、当社のメモリ混載チップに盛り込まれている

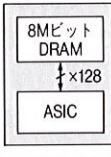
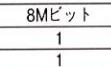
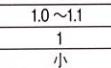
構成	DRAM混載	ディスクリートシステム	
		等価メモリ容量	等価メモリバンド幅
		8Mビット	32Mビット
		4Mビット×16	4Mビット×16
		4Mビット×16	4Mビット×16
メモリ容量	8Mビット	8Mビット	32Mビット
パフォーマンス比	1	0.25	1
消費電力比	1	1.5	5
システムコスト比	1.0~1.1	1.0	3.5
ボードスペース比	1	3	7.5
電磁ノイズ	小	中	大

図1. DRAM混載とディスクリートシステムの比較 DRAM混載は性能、消費電力、実装面積などの点で優位性をもつ。

Comparison of DRAM-embedded LSI and discrete solutions

これらの技術を紹介し、システムLSIに不可欠となりつつあるメモリコアの今後について展望する。

## 2 メモリ混載LSIの分類

現在、学会発表や製品化がなされているメモリ混載LSIは、大きく分けて次の3種類に分類される(図2)。

- (1) ASSM(Application Specific Standard Memory)
- (2) メモリ混載ASIC
- (3) メモリ混載MPU

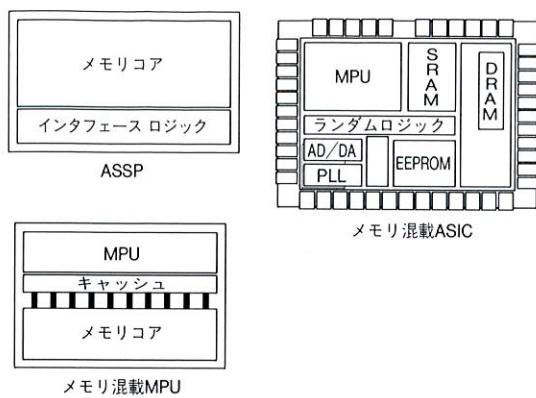


図2. メモリ混載 LSIの分類 ASSP, メモリ混載 ASIC, メモリ混載 MPU の三つに分類される。

Classification of memory-embedded LSIs

(1)は特定用途向け標準メモリで、メモリとインターフェースロジックをオンチップ化したものである。品種数は少ないが、比較的大きな生産数量が見込まれる画像専用用途メモリなどがあてはまる。

(2)ではメモリの他にユーザー設計によるランダムロジック、RISCコアやPLLなどの各種IPが搭載される。多品種少量生産で、開発に短いターンアラウンドタイムが要求される。

(3)はメガビット規模のメモリとMPUを混載したもので、従来MPUの性能ボトルネックであるメモリ／MPU間のデータ転送速度向上をねらっている。(1)と同様少品種ながら大量生産が見込まれる。

特に最近成長の著しい(2)の分野で、当社は世界に先駆けて大容量DRAM混載ASIC(dRAMASIC<sub>TM</sub>)を開発し続々と製品を送り出している。

### 3 メモリ混載 LSIへの技術的バーと当社の取組み

#### 3.1 プロセス技術

標準メモリと標準CMOSロジックのプロセスは大きく異なる。両者の整合を取ることがメモリ混載プロセス上の最大の課題である。標準メモリプロセスはメモリセルの高密度化を第一優先に組み立てられており、DRAMではワード線昇圧、EEPROMではセル書換え高電圧制御に信頼性上耐えられる厚いゲート酸化膜のトランジスタが用いられている。これらのトランジスタは、薄いゲート酸化膜を用いるロジック用のそれに比べて速度が遅い。また、メタル配線層も標準メモリがせいぜい2層なのに対しロジックでは3層以上の狭ピッチ配線が一般的である。

ロジックLSIユーザーの立場から見ると、メモリコアIPを付加することによるトランジスタ性能の劣化や配線ピッチの増大はできるだけ避けるのが望ましい。そのため、コ

ストとの妥協点を探りながらいかにこれらを標準ロジックLSIと同等にもっていくかが大きな問題となる。

当社のDRAM混載LSIでは、標準DRAMプロセスをベースにゲート酸化膜の薄膜化、多層配線技術を盛り込んだ。これにより、同世代の標準ロジックと同程度のトランジスタ速度、狭ピッチ多層メタル配線を実現した。また、トランジスタ形成前に記憶保持キヤバシタンスを基板に埋め込んで作製するトレンチ型メモリセルを採用している。これにより、セル形成時熱工程によるトランジスタ性能劣化防止、メモリ部とロジック部の平坦(たん)性確保による製造マージンの向上、大きなセルキヤバシタンスによるノイズ耐性向上を実現している(図3)。

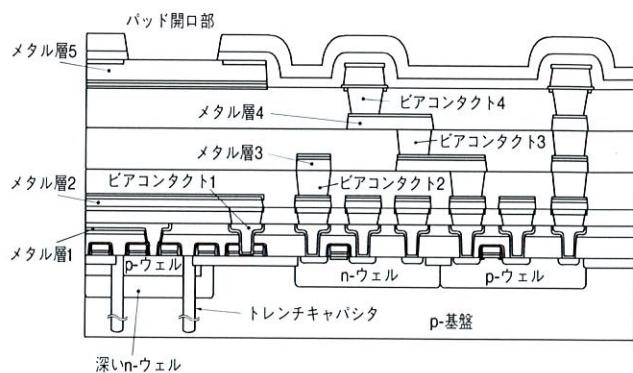


図3. DRAM混載 LSIの断面 高密度トレンチ型セルと多層配線プロセスを用いている。

Cross-sectional outline of DRAM-embedded LSI

#### 3.2 設計技術

標準メモリとロジックLSIは、設計手法の点でも大きな相違点がある。少品種大量生産を旨とする前者は、多くの技術者と数か月以上の期間をかけ、トランジスタレベルで性能・チップ面積を細かく最適化するボトムアップ手法で設計される。これに対し、後者、特に多品種少量生産のASICは開発期間短縮を優先に、EDA(Electronic Design Automation)技術を駆使したトップダウン手法を用い少数の技術者によって設計される。

メモリコアをASICのIPとして考えた場合、標準ASIC設計フローの中にライブラリ化したメモリコアを無理なく取り込み短期間設計のメリットを維持することが非常に重要である。当社では標準ロジック準拠のライブラリを用い、さらに回路シミュレーション用のメモリコア機能記述モデルを用意することによって、通常のASICと同等のフローで設計可能な環境を提供している(図4)。メモリコア機能記述モデルとは、メモリ動作をVerilog、VHDLといった機能記述言語で表現したもので、チップのネットリスト中に組み込むことによって高速な動作シミュレーション

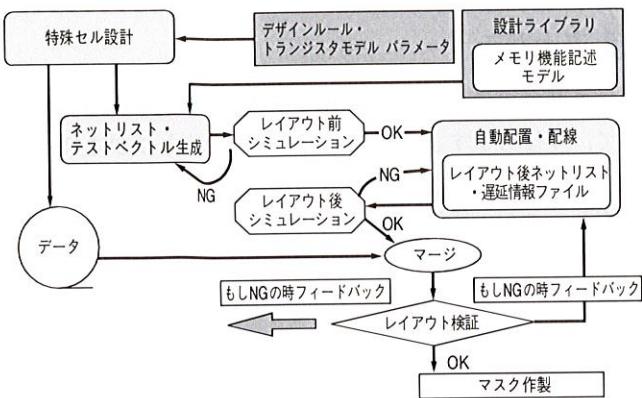


図4. 標準ASIC設計フローへのメモリコアの取り込み シミュレーション用のメモリ機能記述モデルを用意している。

Adoption of memory core into standard ASIC design flow

を実行することができる。

また、DRAMコア用にメモリジェネレータを開発し、用途により多岐にわたる構成のメモリレイアウトデータをワークステーションで数秒間で自動合成することを可能にした(図5)。これにより、これまで一品種当たり数か月の設計期間を要していたメモリコアのきわめて短期間での供給が可能となった<sup>3)</sup>。従来、小容量のSRAMではこの種のツールが使用されてきたが、大容量メモリを対象にしたジェネレータを開発・実用化したのは当社が世界初である。

メモリジェネレータは、容量やアドレス本数、入出力データバス幅などのパラメータを入力することにより、レイアウト部品を必要な個数だけソフトウェアで組み合わせて出力する。メモリアレーブロックや制御回路ブロックなどのレイアウト部品は性能・面積的にトランジスタレベルで最適設計されている。これにより、0.35 μm混載DRAMでは、標準DRAMの設計手法に対して同等の性能・面積をもつ2,112通りものDRAMコアを生成できる。今後はEEPROMなど他のメモリコアにもこの技術が適用可能となる。

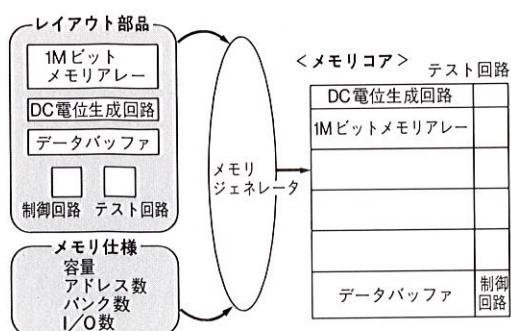


図5. メモリジェネレータの概念 メモリアレーブロックなどのレイアウト部品を仕様入力に応じて組み合わせる。

Concept of memory generator

### 3.3 テスト技術

チップ上のメモリコアを単体として外部から直接評価するテスト技術は以下の理由で重要である。大容量メモリコアは、動作保証、歩留まり向上のため出荷時にメモリ部全ビットの動作試験後に冗長ローカムを用いて不良セルを救済する(リダンダンシ技術)。これはロジック部を通さずに直接メモリにアクセスするほうがテストしやすい。また、メモリ混載製品の開発初期段階ではメモリ部とその他のロジック部を分離してチップのデバッグ・解析をすることも必要になる。

メモリコアを直接評価するために、図6のようなテスト回路をチップ上に組み込んでいる。通常動作時、メモリコアはランダムロジック部との間でデータのやりとりを行うが、テストモードでは専用に設けられたテストピンを介して直接チップの外からアクセスできる。

図で、テストコマンド入力、テストアドレス、データ入力、データ出力といったテストピンはマルチプレクサ(MUX)を介して通常動作時の信号と外部ピンを共有化する。このため、このテストモードによる外部ピン数の増加を抑えることができる。また、メモリ部は通常128ビットといった大きな入出力データビット幅をもつが、メモリ内部でデータを8ビット幅にパラレル・シリアル変換することによってテストピン数を低減させている。

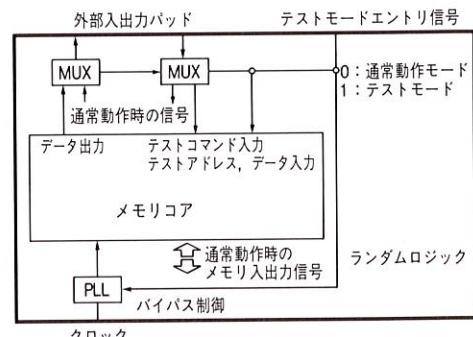
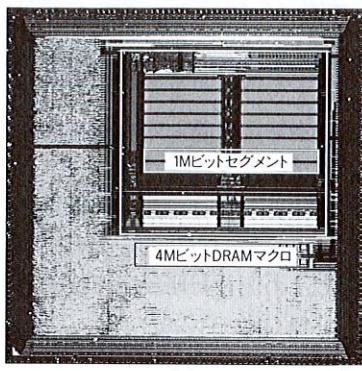


図6. メモリコアテスト回路 専用のテストインターフェースを介して直接コアをアクセスできる。

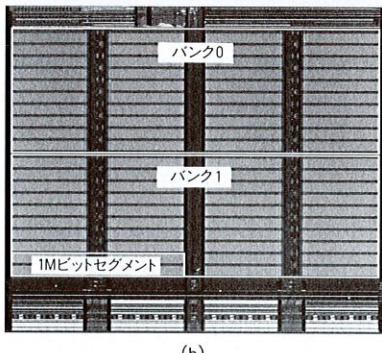
Memory core test circuits

### 4 製品適用例

図7に0.35 μm DRAM混載LSIの適用例を示す。(a)は4MビットDRAMコアを搭載したエンベデッドアレーで、DRAMコアサイズは4.83×4.23 mm<sup>2</sup>である。(b)は20MビットDRAMコアで、サイズは8.90×7.7 mm<sup>2</sup>である。ともにメモリジェネレータを用いて1Mビットのメモリアレー ブロックをそれぞれ4個、20個ずつ自動配置することによって所望の容量のコアを実現している。クロック



(a)



(b)

図7. DRAM混載のチップ 4MビットDRAM混載チップ(a),  
20Mビット混載DRAMコア(b)を示す。

Micrographs of DRAM-embedded chips

周波数は標準条件のもとで 150 MHz が可能であり、このとき 256 ビットの入出力データ幅をもつ DRAM コア部の最大データ転送率は 4.8 ギガバイト／秒に達する。

## 5 あとがき

メモリコアはシステム LSI を構成する中核 IP の一つとして、今後もますます用途が拡大していくと予想される。特に、MPU、アナログ回路など他の IP と混載して用いられるケースが一般的になると思われる。このような本格的なシステム LSI の時代を迎えるとき、大容量のメモリを搭載しながら高速ロジックと同等の性能を発揮する高性能トランジスタ、高いデータ転送率と低消費電力の両立、さらに大容量・高速化するメモリコアを低いコストでテストするためのテスト容易化などの技術がいっそう重要になっていく。

当社は、今後もこれらプロセス、設計、テストの各側面から技術開発を進め、システム差別化のかぎとなるメモリコアを提供していく。

## 文 献

- (1) 宮野信治、ロジック混載 DRAM コア技術、東芝レビュー、52, 12, 1997, p.15-18.
- (2) 竹淵政孝、他、大容量・低消費電力不揮発性メモリ混載 CMOS ロジック LSI 技術、東芝レビュー、52, 12, 1997, p.19-22.
- (3) 和田政春、他、メモリジェネレータを用いて 2,112 通りの構成を生成できる 0.35 μm 混載 DRAM、東芝レビュー、53, 5, 1998, p.61-64.



矢部 友章 YABE Tomoaki

マイクロエレクトロニクス技術研究所 デバイス技術研究所主務。ロジック混載用 DRAM マクロの設計に従事。  
電子情報通信学会会員。  
Microelectronics Engineering Lab.