

吉森 崇
 YOSHIMORI Takashi

札抜 宣夫
 FUDANUKI Nobuo

田中 厚
 TANAKA Atsushi

数メガゲート級の論理回路を1チップ上に搭載できるシステムLSI時代が到来し、過去に設計された論理ブロック(IP)を再利用することによる設計効率化が叫ばれている。IPの品そろえがシステムLSI時代で成功するためのかぎを握っており、当社は高付加価値IPの開発・整備を進めている。MPUコア、メモリコア、アナログコアなどシリコン技術に依存して最適化される差別化コアは自主開発、その他共通性の高いデジタルIPは社外を含むさまざまな供給元から導入することによりIPのラインアップを整備していく。当社は、IPデータの標準化活動であるVSI(Virtual Socket Interface)アライアンスにも設立当時から参加してその活動をリードし、外部からのIP導入、内部でのIP流通を加速するためのインフラ構築に積極的に取り組んでいる。

System on silicon (SOS) has become a reality and the reuse of intellectual property (IP) is the only way to realize such systems within the required turnaround time. An IP portfolio with a wide variety of IPs is a key factor for success.

Toshiba has been focusing on the development of high-value-added cores. Our basic strategy is to develop in-house strategic IP such as microprocessing unit (MPU), memory and analog cores that are highly optimized on our silicon technologies, and to acquire other commonly used digital IP from many sources. Toshiba has been developing infrastructures to accelerate IP reuse from both within and outside the company, by way of the Virtual Socket Interface (VSI) Alliance.

システム LSI 時代の到来と IP

半導体微細化技術の進歩によりメガゲート級の大規模論理LSIが一つのチップに搭載できる“システムLSI”の時代が到来した。10ミリ角

のシリコン上に200万ゲートの論理回路と64メガビットのメモリを同時に集積できる日も目前である。

このようなシステムLSI時代に向けて、設計論理記述の抽象化、設計を自動化するEDA技術の改善、より処理能力の高い計算機の導入な

ど、設計効率向上に対する努力が続けられている。しかし、実際はこれらの技術発展によって得られる設計効率向上が集積度(ワンチップに搭載可能なゲート数)の飛躍的な増大に追いつかない、というのが現実である(図1)。

また、一方では近年のシステム製品寿命の短縮によるタイムトゥマーケットへの要求が強まり、設計期間短縮へのプレッシャーが増大している。

このような背景のなか、過去の設計資産であるIP(囲み記事参照)を再利用することによって大規模化と設計効率化のギャップを埋め、設計期間を短縮しようという気運が高まっている。

このようなアプローチは複雑性の高いシステム開発を現実的な期間とリソースでこなすためにはきわめて常識的なものである。これは、ソフトウェア産業が過去に経験したことと同じと見ることが出来る。すなわ

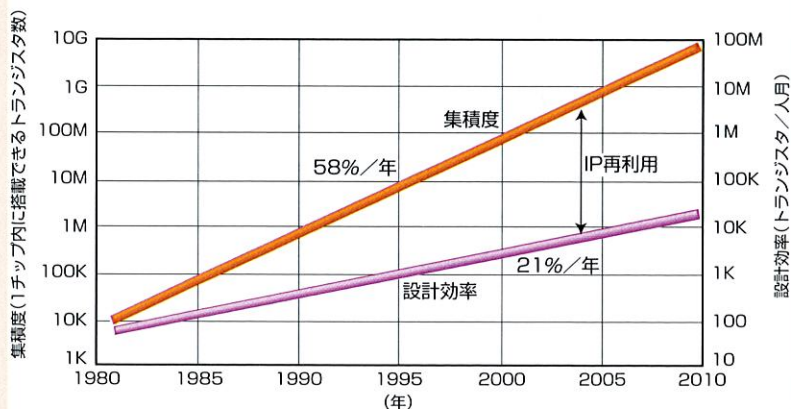


図1. 再利用可能なIPの必要性 シリコン技術の進歩による集積度の飛躍的な向上に設計効率の向上が追いつかず、IPを再利用することによってその乖(かい)離を埋めることが必要になってくる。

Necessity for reuse of IPs

ち、複雑性の増大に対するもっとも有効な対抗手段は階層化とモジュール化であり、LSI開発でもそれが現実になってきたということである。

当社もこのシステムLSI時代の到来に合わせて、再利用可能なIPの充実、IPを用いたLSI設計手法の整備などの対応を進めている。ここでは、それらに対する基本的な考えかたを紹介する。

システムLSI産業の動向と標準化活動

システムLSI時代の到来とともに、システムLSIに関連する新たなビジネスが登場してきた。前述のように、IPを部品としてLSI設計が行われるようになるにつれ、そのようなIP部品を供給するIPベンダーが次々と出現している。これらのIPベンダーからIPを購入し、設計サ

ービス会社にLSIチップの設計を委託、そしてもっとも安価にチップを提供してくれる半導体ベンダーを選択して製造するという、新しい水平分業型のビジネススタイルも生まれている。

このようななかで、当社は総合半導体ベンダーとして、IP、設計、製造のすべてを同時に提供できる“ワンストップショッピング”を提案し、セット事業や汎(はん)用LSI事業で培ってきたシステム技術を、ASIC事業などで培ってきたチップ設計技術に融合することにより、より質の高いサービスを顧客に提供できるよう努めている。

どちらのビジネススタイルを選択するにしても、近年のシステム製品の多様化により、MPU、メモリをはじめとして通信、ネットワーク、画像処理など、さまざまな種類のIPが必要となる。しかし、これら

必要なIPのすべてを一社で準備することは、リソース的にもスケジュール的にも現実的ではない。それは当社のように広範囲なシステム技術や多様なLSI製品群を備えた会社にとっても例外ではない。しかし、現実にはIPベンダーなど、他社で開発されたIPを有効に活用しようとしても、技術面でもビジネス面でも、まだまだ種々の障害が残っている。

技術的な問題として次のような例が挙げられる。

- (1) IPの仕様詳細がドキュメント化されていない。
 - (2) 動作タイミングをうまく合わせられない。
 - (3) テスト方法がIPごとに異なり、システム全体のテストができない。
 - (4) 受け渡しデータのフォーマットが合わない。
- また、ビジネス的には次のような

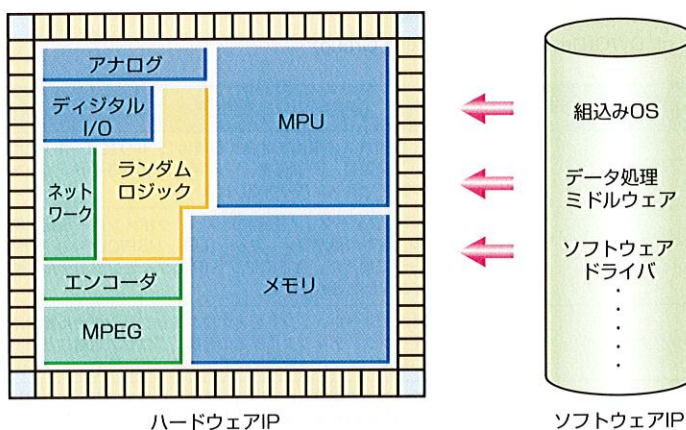
半導体における“IP”

システムLSIは多様な電子回路機能をまとめて実現されるが、各機能を部品化し、過去に設計した機能ブロックを再利用することにより、すべてを新しく設計する場合に比べて、開発期間を大幅に短縮することができる。

“IP”とは再利用可能にした機能ブロックを指し、“コア・セル”と同様に使われる。従来、これら機能ブロックは基本的にLSIメーカーの社外には出ず、活用は自社内にとどめていた。社内外の既存の“コア・セル”も組み合わせ合わせてシステムを構成するようになり、知的財産としての取扱いを重視して、“IP”が使われるようになった。

IPは“Intellectual Property”の略で、“知的財産権”であるが、1996年以降米国で使われだし日本でもこの言葉が認知されるようになった。

IPはコンピュータ業界では“インタ



システムLSIを構成する各種IP LSIチップの中に入るマイクロプロセッサ、メモリ、アナログなどのハードウェアIPはもとより、組込みOS、データ処理ミドルウェア、ソフトウェアドライバなどのソフトウェアIPも組み込まれてシステムLSIが構成される。

「ネットワークプロトコル」または「インフォメーションプロバイダ」を指すが、半導体では前述したシステムLSIの構成要素（機能ブロック）の意味で使う。

問題がある。

- (1) IPの対価を一時金で払うのか、ロイヤリティで払うのか。
- (2) オリジナルのデータを改変する権利はあるのか。
- (3) 技術的なトラブルが発生した場合どの範囲までサポートしてくれるのか。
- (4) 購入したIPを子会社で使用する権利はあるのか。

これらIPを流通する際に発生する技術的課題、ビジネス的課題を解決するための仕組み作りが世界規模で進められており、当社もその実現に向けて力を注いでいる。次にこれらの活動について紹介する。

■ VSI アライアンス

1996年9月、IPの流通・再利用における技術的問題点に対処するための業界標準作りを目ざして、VSIアライアンスが設立された。当社は、準備段階から活動に参加してきた。VSIアライアンスの目的をもう少し厳密に定義すると、「一つのシリコンチップ上で、複数のサプライヤか

ら供給される機能ブロック(仮装部品(VC: Virtual Components)と呼ぶ)を混合再利用(Mix and Match)することにより、システムLSIを実用的に設計する環境を提供すること」ということになる。現在、VSIアライアンスには、全世界から150社を超える企業の参加を得ており、その活動目的にいかにより多くの企業が賛同し、成果に期待しているかがうかがえよう。また参加企業の業種も、システム、半導体、IP、EDA関連がそれぞれ同程度の割合で、エレクトロニクス関連産業のすべてをパランスよくカバーしている。

VSIアライアンスでは、仮想部品となるIPの流通・再利用のために必要となる要素技術をいくつかの領域に分け、それぞれの領域での専門家集団により、業界で共通に利用できる標準データ形式や設計指針の制定を進めている。この各専門家グループのことをDWG(開発作業分科会: Development Working Group)と呼び、現在表1に示す七つのDWGが活動している。

各DWGからの成果は徐々に始めている。DWGから提案される標準案は、メンバー以外にも一般公開されることになっている。ミックスシグナル、インプリメンテーション・ベリフィケーション、オンチップバスの三つのDWGから出された最初の標準は、こうして一般公開されている。それに続く新たな成果もまともってきており、98年末から99年初めにかけて、まずメンバーに公開される計画になっている。

またVSIアライアンスには、各分科会の活動を統括し、アライアンス全体の活動方針を審議するために、SWG(Steering Working Group)という上位組織を置いている。SWGはシステム、半導体、IP、EDAの各業種の代表11社から構成されており、当社はVSIアライアンス発足当初からSWGメンバーの一社として活動をリードしてきた。

ところで、当社がVSIアライアンスの活動を推進している最大の目的は、システムLSI時代にふさわしい社内・社外のインフラ整備の加速である。VSIアライアンスのDWG活動の成果を反映させて、当社ではIPの社内設計標準を制定し、運用し始めている。これはいずれ社外の流通IPとの互換性をもつようになっていく。

そうして、社内で汎用LSIとして開発した機能ブロックや、市場で流通しているIPを当社のライブラリに加えることを容易にし、IPの品ぞろえ拡大を図っている。加えて、当社はこの標準に基づいて設計されたIPを使用したLSIのチップ設計技術の革新にも注力している。これらについては後述する。

さて、これらIP設計標準や標準データ形式、IPベースの設計手法などの適用を促進するために、VSI

表1. VSIアライアンス各DWGの活動
Activities of DWG(Development Working Group)

DWG	主な活動状況および成果物
オンチップバス	システムバス、周辺バスの構造を定義する項目(アトリビュート)の標準化案、およびバス開発者、IP開発者、IP利用者向けのガイドラインを策定したスベック案をVSIメンバー内でレビュー中。
インプリメンテーション・ベリフィケーション	ハードマクロIPのフォーマットを定めたスベックがメンバー承認を終え一般公開準備中。既存の標準フォーマット(LEF、HSPICE ^(注1))をIP用に修正スベックに加えた。さらにソフトIPのタイミングモデルに関してもガイドライン作りを進めている。
ミックスシグナル	97年3月公開のVSIドキュメントをアナログミックスシグナル設計用に拡張した。モデリング、デジタル部との分離、プロセス定義などにつきガイドラインも策定。メンバー承認を終了し一般公開準備中。
システムレベルデザイン	さまざまな抽象レベルで使用されているシステムレベルのモデルに関し専門用語を統一するためのドキュメントを作成。さらにさまざまなレベルのモデルどうしの接続を定義できるようインタフェースを検討中。
テスト	IP開発者、利用者、テスト技術者間でインタフェースされるフォーマット、およびIPへのテストアクセス、テスト分離の方法をガイドラインとしてまとめている。
IPプロテクション	単なる覚書き、契約などによる法的プロテクションからバイナリコード化、電子透かしなど技術的プロテクションまでさまざまなレベルでのコピー防止策を検討し、IPの価値によって使いわけを提案している。
VCトランスファ	VCを選択・評価・使用するために必要なカタログ用のデータを標準化する。

(注1) HSPICE

デバイスレベルのネットリスト。Avant!社のフォーマット。

アライアンスでは“パイロットプロジェクト^(注2)”を推奨しており、当社でも取り組んでいる。

VSIアライアンスの活動の大半は、参加企業の分布の関係から、米国で行われているのが実状である。その地域的・言語的ハンディキャップを越えて、当社はSWGメンバーとして、日本での活動を活発にするため、VSI勉強会やメーリングリストによる意見交換などを支援している。

■ VCX アライアンス

前述のようにVSIアライアンスは、IP流通を目的とした技術標準インフラの確立を目ざしていた。これに対して、IP流通のためのビジネス面での標準インフラ構築の動きが始まった。それがVCX (Virtual Component Exchange) アライアンスである。

スコットランド政府は、“シリコングレン構想^(注3)”というプロジェクトを推進していて、米国のシリコンバレーに似たハイテク産業構造を、英国のスコットランドの地に興そうとしている。このプロジェクトの一環としてVCXなるアライアンスの組織化が提唱された。当社も参加することを決定し、その基本的な枠組みの検討を行っている。IPを流通させるうえでのビジネス上の諸問題を解決するための各種標準化、例えばIPライセンス契約の標準策定などと、IP流通に関連する各種サービスを行うことが、VCXのビジョンである。

VCXは設立準備段階にあり、その活動方向の具体化はまだこれからである。しかし、VSIとVCXの成

ソフトウェア	ミドルウェア	画像処理 音声処理 ヒューマン/I/F 通信&パソコン/I/F	MH/MR/MMR, JBIG, JPEG ADPCM, CELP 音声認識, 音声合成, 手書き文字認識, 高速モデム, IEEE1394, USB, IrDA, IEEE1284, TCP/IP, SNMP, PPP, PCMCIA, DOSfile
	OS	μITRON/UDEOS, pSOS, VxWorks, Tornado, Windows [®] (注4) CE	
	ドライバ	モニタ制御, 音声制御, 通信制御	

ハードウェア	マルチメディア	JPEGエンコーダ, JPEGデコーダ, MPEG2デコーダ, NTSC/PALビデオエンコーダ	
	ネットワーク	Ethernet ^(注5) 10/100Mbps MAC, 10/100Mbps Ethernet controller, Ethernet 100Mbps PHY, 155MHz CDR	
	プロトコル制御	IEEE1394リンク層/物理層, IEEE1284, PCIコントローラ, USBデバイス/ハブ/ホストコントローラ, IrDA, PCMCIA, CardBUS	
	高速 I/O	622MHz SCI-LVDS, SSTL-3(SDRAMインタフェース), 66MHz PCI, USB, AGP, Direct RAC (1.6Gbps RambusTMSICセル)	
	RISC MPU CISC MPU ペリフェラル	TX49(64ビット), TX39(32ビット), TX19(32ビット) TLCS900(16ビット), TLCS-Z80(8ビット) DRAMコントローラ, ROMコントローラ, 割込みコントローラ, タイマ, シリアルインタフェース(UART), パラレルインタフェース, 外部バスインタフェース	
	アナログコア	ADC, DAC, PLL	
	メモリ	DRAM, SRAM, FIFO, ROM, EEPROM, Flash E ² PROM	
ASIC	汎用プリミティブセル, 汎用I/Oセル		

図2. 当社におけるIPラインアップ TX RISCコアを中心にシステムLSIに搭載可能な、ハードウェアIP、ソフトウェアIPの幅広いラインアップの拡充を進めている。

Toshiba IP lineup

果物をもって、IPの流通・再利用が実践的に加速され、さらにそれをもってシステムLSI開発の効率が急速に向上することが期待される。

■ IP 整備基本戦略

当社はこれら社内・社外のインフラ構築を積極的に推進する一方で、当社のシステムLSI開発のために使用可能なIPコンテンツの拡充に注力している。

IP整備の方針としては自社開発・ライセンス導入の双方の可能性

がある。個々のIPにつき、経済性、整備に要する期間、そのIPの持つ付加価値などを考慮して、開発か導入かを選択する。結果として設計がシリコンの特性に依存するため、ライセンスが技術的に難しいアナログIPとMPUをはじめとする差別化領域の大規模IPを自社開発路線で進め、中規模までの共通性の高いデジタルIPはアウトソーシングの可能性をまず探るという戦略になる。図2に当社のIPラインアップを示す。IP整備戦略でもう一つ重要なことはハードウェアとしての回路ブ

(注2) パイロットプロジェクト

提案されている手法を実証するために実製品を用いて行われるプロジェクト。

(注3) シリコングレン構想

英国スコットランドのグラスゴー、エジンバラ周辺のシリコングレンと呼ばれる地域には、英国外の電子機器メーカー、半導体メーカーの拠点が集まっている。この地域に、IPを使ったLSI設計の拠点を設けようとする、スコットランド開発公社の構想。

(注4) Windowsは、Microsoft社の商標。

(注5) Ethernetは、富士ゼロックス社の商標。

ロックだけでなく、それをシステム部品として活用する時に必要となるドライバなどのソフトウェアおよびそれらの活用方法を顧客サイドで検討できるリファレンスシステムなどを同時にそろえていくことである。

当社のIP整備の例として図3に自社開発で進めているIEEE1394コアの開発を示す。この規模のIPにおいてはハードウェア部分と同規模かもしくはそれ以上のソフトウェアの開発・整備が必要になる。しかも、アプリケーションによって最適なハード・ソフトウェア構成が変わるために、それごとのリファレンスシ

テムを準備することもなかば常識化してきている。これらの事実は半導体チップのごく一部として埋め込まれるIPが過去のサブシステムと同程度の規模になっていることを示唆している。まさにVCと呼ぶにふさわしい。

■ IP再利用を効率化する設計環境

21世紀の設計ではメガゲート級のシステムLSIを1か月で仕上げるほどの徹底的な開発期間短縮が求められる。そのために今後は、ハード

ソフトウェア両方のIP再利用を効率的に行う設計環境と大規模なシステムを多人数のチームで効率良く分担して設計できる環境が必要である。

最近、設計自動化の分野ではソフトウェア処理とハードウェア処理の分割を検討する際の支援ツールであるソフト・ハードウェア協調設計(検証)ツールが注目されている。システム開発の初期段階においてはソフトウェア処理とハードウェア処理の最適な分割を模索する必要がある。そのためにはこのようなソフト・ハードウェア協調設計ツールを効果的に活用することが有効である。必要なソフトウェアIPとハードウェアIPを選択し協調設計ツールで解析し、最適なシステム分割を決定する。これがソフトウェアとハードウェアの“コンカレントデザイン”環境である。

複数のIPを搭載する、これからのシステムLSIの設計においては、それぞれの機能部分を別々のチームが並行して設計を進める、チームワークによる“コンカレントデザイン”も重要である(図4)。

図5のように既設計IPと新規設計ブロックが混在しているシステムLSIを設計する場合に、新規設計部分の設計が終了するのを待って全体設計をするのではなく、開発初期段階から全体検証を行い各部分設計へのフィードバックを行う環境が望ましい。新規ブロックの開発進行に従って検証の確度が高まり、すべての新規部分開発が終了した時点で全体検証も完了する。この環境を実現するために“確度の高い見積もりが可能なデザインプランニングツール”と“動作モデル、RTL、ゲートレベルネットリスト、トランジスタなど各レベルのモデルの混在可能なミックスレベル検証ツール”が必要となる。

当社のシステムLSI時代の設計環

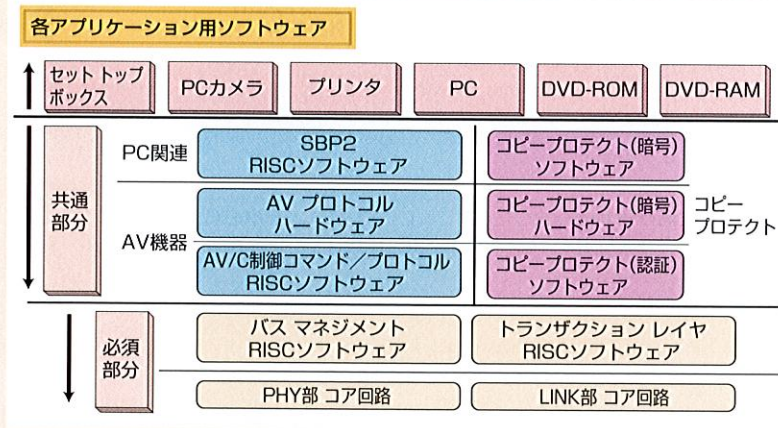


図3. IEEE1394開発マップ 次世代シリアルインタフェースIEEE1394はハードウェア部分だけでなく各種基本ソフトウェア、コピープロテクト技術、アプリケーションソフトウェアまで総合的に開発を進める。
Development map for IEEE1394 LSI

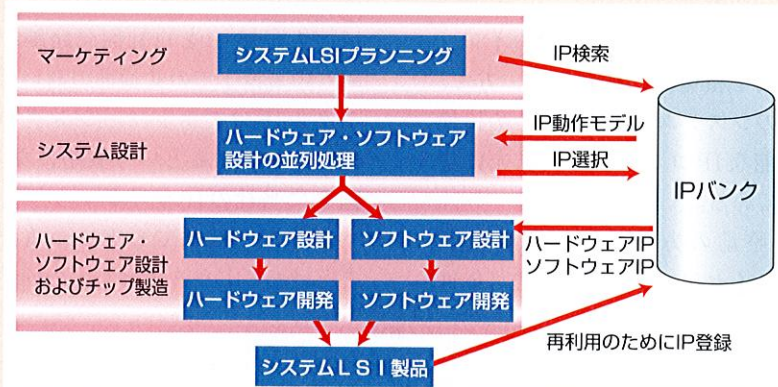


図4. コンカレントデザインとIP ソフトウェア開発、ハードウェア開発をコンカレントに進めるシステムLSI開発の各段階で必要になるIPモデルを用意している。
Concurrent design system and IP bank

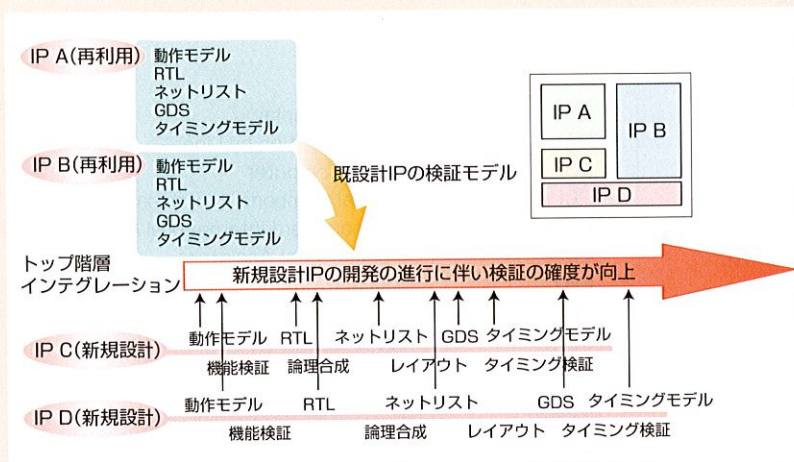


図5. 新設計IP/再利用IPのコンカレント検証 各IPの開発が途中段階であっても全体検証はコンカレントに進められ、その結果が各IPの開発にフィードバックされる。

Concurrent design of newly designed IP and reused IP

が網羅されており、このような情報データベースを整備することで、ユーザーに対する的確で迅速な対応が可能となる。現在のものは社内向けだが、同一データベースを活用した社外への公開も検討中である。

IPの充実に向けて

ここでは、IPに関連する業界動向および当社の取組みについて紹介した。

本格的なシステムLSI時代はまだその緒についたばかりである。当社はIPの整備およびIPを円滑に流通させるためのインフラ整備、IPを利用したLSI開発の効率化に、積極的に取り組んでいく。

表2. TINで検索される情報一覧
Toshiba IP Network (TIN)

一般情報	ビジネス情報	技術情報
IP名 機能 分野 コンタクト先 開発元 IP形態 (ソフトウェア/ファームウェア/ハードウェア) シリコン上での使用実績 バージョン	ライセンス情報 支払条件 特許 スケジュール 使用実績	ゲート数 動作周波数 消費電力 I/Oピン数 バスインタフェース データフォーマット VSI準拠レベル

境は以上の二つの意味での“コンカレントデザイン”をサポートし、メガゲート級のLSIを1か月で開発できるような設計能力を追求する。

IP情報イントラネットの活用

当社は、全社レベルでのIP情報の共有を目的に、IPTC(Toshiba IP Trade Center)というイントラネットシステムを構築しており、半導体事業本部においてもTIN(Toshiba IP Network)というIP情報共有システムが稼働している。

TINは、システムLSI開発のプロ向け詳細データベースという位置づけで、システムLSIを企画するため

に必要な情報を網羅するという考えかたで開発している。

IPをシステムLSIの開発に生かしていくには、必要とするIPがどのような状態で存在しているかが即座にわかるような仕組みが必要となる。特に、システムLSI企画はマーケティングと密接に絡んでいる段階であり、市場投入時期をにらんで開発や製造が間に合うかどうか、既存のIPを利用できるか否かといったことが検討される。この段階では、TINを利用してIPの有無や状態などが参照される。

表2はTINで検索される情報一覧であるが、TINでは詳細技術情報やスケジュール、契約に関する情報



吉森 崇
YOSHIMORI Takashi

ICセンター IP開発部 部長。
システムLSI搭載用IPの開発に従事。

IC Center



札抜 宣夫
FUDANUKI Nobuo

マイクロプロセッサ・ASIC事業部 マイクロプロセッサ・ASIC設計技術部 グループ長。
システムLSI設計手法およびセルライブラリの開発に従事。

Micro & Custom LSI Div.



田中 厚
TANAKA Atsushi

ICセンター IP開発部 グループ長。
システムLSI搭載用IPの開発に従事。

IC Center

この特集で使われている主な略号一覧

AD/DA	Analog to Digital/Digital to Analog	OSD	On Screen Display
ADC	Analog to Digital Converter	PAL	Phase Alternation by Line
ADPCM	Adaptive Differential Pulse Code Modulation	PC	Personal Computer
AGP	Accelerated Graphics Port	PCI	Peripheral Component Interconnect
API	Application Program Interface	PCMCIA	PC Memory Card International Association
APRES	Advanced PowerR device for Energy Saving	PDA	Personal Digital Assistant
ASIC	Application Specific Integrated Circuit	PHY	PHYSical Protocol
ATM	Asynchronous Transfer Mode	PIO	Parallel Input Output
AV	Audio Video	PLL	Phase Locked Loop
B-ISDN	Broadband Integrated Service Digital Network	POS	Point Of Sales
BIU	Bus Interface Unit	PPP	Point to Point Protocol
CDR	Clock Data Recovery	PSOS	Program Support Operating System
CELP	Code Excited Linear Prediction	PWM	Pulse Width Modulation
CISC	Complex Instruction Set Computer	QAM	Quadrature Amplitude Modulation
COS	Computer On Silicon	QFP	Quad Flat Package
CPU	Central Processing Unit	QPSK	Quadrature Phase Shift Keying
CRT	Cathode Ray Tube	RAC	Rambus ASIC Cell
DAC	Digital to Analog Converter	RAM	Random Access Memory
DOS	Disk Operating System	RISC	Reduced Instruction Set Computer
DRAM	Dynamic Random Access Memory	ROM	Read Only Memory
DRAMC	DRAM Controller	ROMC	ROM Controller
DSP	Digital Signal Processor	RTC	Real Time Clock
DSTN	Dual-scan Super Twisted Nematic	RTL	Register Transfer Level
EDA	Electronic Design Automation	SCI-LVDS	Serial Communication Interface-Low Voltage Differential Signaling
EDO	Extended Data Out	SDH	Synchronous Digital Hierarchy
EEPROM	Electrically Erasable and Programmable Read Only Memory	SDK	Software Development Kit
EPROM	Erasable and Programmable ROM	SDRAM	Synchronous DRAM
FAX	Facsimile	SGRAM	Synchronous Graphics RAM
FET	Field Effect Transistor	SIB	Serial Interface Bus
FIFO	First In First Out	SIO	Serial Input Output
FIR	Fast InfraRed	SM	Super Mini package
GDS	Graphic Data System	SMD	Surface Mount Device
GUI	Graphical User Interface	SNMP	Simple Network Management Protocol
HDL	Hardware Description Language	SOJ	Small Outline J-lead package
HSP	High Speed Port	SOP	Small Outline Package
I/O	Input/Output	SRAM	Static Random Access Memory
ICE	In-Circuit Emulator	SSTL	Stub Series Terminated Transceiver Logic
ID	Identification Data	STB	Set Top Box
IEEE	Institute of Electrical and Electronic Engineers	STN	Super Twisted Nematic
IF,I/F	InterFace	SVGA	Super Video Graphics Array
IP	Intellectual Property	TAT	TurnAround Time
IP	Internet Protocol	TCP/IP	Transmission Control Protocol/Internet Proto- col
IrDA	Infrared Data Association	TFT	Thin Film Transistor
JPEG	Joint Photographic Experts Group	TMR	Timer
KBC	Key Board Controller	TSOP	Thin Small Outline Package
LCD	Liquid Crystal Display	TSSOP	Thin Shrink Small Outline Package
LED	Light Emitted Diode	UART	Universal Asynchronous Receiver and Trans- mitter
LEF	Library Exchange Format	UDEOS	Unified Development Environment OS
MAC	Multi Access Channel	USB	Universal Serial Bus
MH/MR/MMR	Modified Huffman/Modified Read/Modified Modified Read	VGA	Video Graphics Array
MOS	Metal Oxide Semiconductor	VHDL	Very high speed IC Hardware Description Lan- guage
MPEG	Moving Picture Experts Group	VSB	Vestigial Side Band
MPU	Micro Processing Unit	WAN	Wide Area Network
MUX	Multiplexer	μ ITRON	μ Industrial The Real-time Operating System Nucleus
NTSC	National Television System Committee		
OAL	OEM Adaptation Layer		
OEM	Original Equipment Manufacturing		
OS	Operating System		