

# メモリエネレータを用いて 2,112 通りの構成を生成できる 0.35 $\mu\text{m}$ 混載 DRAM

Configurable DRAM Macro Design for 2,112 Derivative Organizations to be Synthesized Using Memory Generator

和田 政春  
WADA Masaharu

矢部 友章  
YABE Tomoaki

大容量 DRAM とロジック LSI を一つのチップに集積することはシステム LSI の性能向上に効果的である。当社は DRAM を混載した ASIC (用途特定 IC) である dDRAMASIC<sup>TM</sup> を製品化しているが、今回、メモリエネレータに対応できる DRAM マクロを開発した。

さまざまな構成の DRAM マクロをメモリエネレータを用いることで、ASIC に混載する DRAM マクロを短時間で開発することができる。生成した DRAM マクロは手設計で構成した回路と同等のサイズである。今回、このメモリエネレータと 0.35  $\mu\text{m}$  の DRAM 混載プロセス技術によって、4 M、20 M の DRAM マクロの開発を行った。

One-chip integrated technology for the DRAM and logic circuit is an effective solution for realizing a high-performance system LSI. Toshiba has produced a dDRAMASIC<sup>TM</sup>, in which a DRAM macro can be embedded in an application-specific IC (ASIC).

We have now developed a DRAM macro which is suitable as a memory generator. The memory generator can composite various configurations of embedded DRAM macro in a short turnaround time for the ASIC. The size of the DRAM macro generated by the memory generator is comparable to that of a manually designed DRAM. We have fabricated 4 Mbit and 20 Mbit DRAM macros using a memory generator and 0.35  $\mu\text{m}$  technology.

## 1 まえがき

システム LSI に大容量 DRAM を混載することは、システムの低消費電力化、高データ転送レートなどの性能向上と、実装面積削減によるコスト削減の点に関して有効である。

当社では、世界に先駆けて DRAM マクロを混載した ASIC の dDRAMASIC<sup>TM</sup> を開発した。混載用の DRAM マクロは、メモリアレーの数を変えることでさまざまなメモリ容量を構成できる。

しかし、メモリの構成の自由度を大きくすることは、アドレスの対応、I/O (入出力) 数、バンク構成も同様に再構成できることが必要である。さらに、構成の自由度の高いメモリマクロを従来のような手設計で行った場合、製品開発期間が長くなり、ASIC 開発に対応できない。そこで、設計期間短縮のために DRAM マクロを自動生成するメモリエネレータと、ジェネレータに対応した構成の DRAM マクロの開発を行った。開発した DRAM マクロは 0.35  $\mu\text{m}$  CMOS プロセス技術によって、最大メモリ容量 32 M ビット、2,112 種類の構成ができる。ジェネレータで生成したマクロは手設計した場合と同じサイズになるように、周辺回路を設計した。

今回、このジェネレータを用いて 4 M、20 M のメモリ容量の dDRAMASIC<sup>TM</sup> 製品を開発した。ここでは、この DRAM マクロの構成とマクロの生成方法に関して紹介する。

## 2 DRAM マクロの特長と構成

今回開発した DRAM マクロは、メモリ増設の最小単位 (図 1) のメモリセグメントを横方向に一つ並べたスタンダード I/O タイプと、横方向に二つ並べたワイド I/O タイプの 2 種類である。フロアレイアウトを図 2 に示す。メモリ容量は、スタンダード I/O タイプで 16 M ビット、ワイド I/O タイプで 32 M ビットまで拡張可能である。

DRAM マクロは、フロアレイアウトの拡張性のために、周辺回路をそれぞれのメモリアレーで共有できるようにし

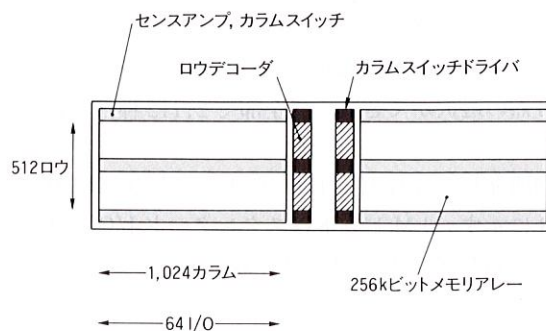


図 1. 1 M ビットメモリセグメント　メモリ容量増設の最小単位を示す。256 k ビットのメモリアレーが縦横に 2 個ずつ配置される。512 ロウ、2 k カラムで 1 M ビットのメモリ容量である。

1 Mbit memory segment

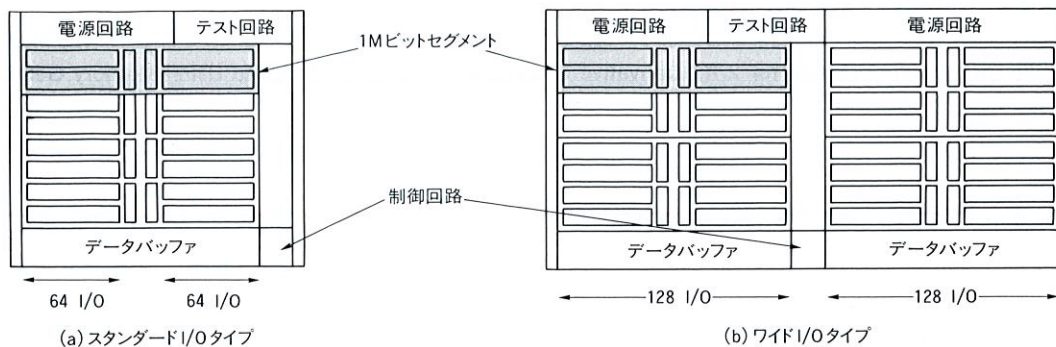


図2. DRAM マクロのレイアウト 小メモリ容量用スタンダード I/O タイプと大メモリ容量用ワイド I/O タイプのレイアウトを示す。  
Layout of DRAM macro

である。図2に示すようにどちらのタイプも1Mビットのメモリセグメントと、セグメントの制御にかかわる電位発生回路、テスト回路、データ入出力回路、コマンド制御回路の周辺回路ブロックから構成されている。周辺回路はすべての回路が構成された状態でマクロサイズが最小になるようにマクロの周辺部に手設計で配置されている。

グローバルなデータ線はメモリセグメント当たり128ビットあり、各セグメントで共有されてデータバッファと接続される。このデータ線は、データバッファ回路内のオプションのマルチプレクサによって128ビットI/Oと64ビットI/Oの設定の切り換えができる。また、パリティビットを加えた144 I/Oと72 I/O構成のメモリセグメントとI/Oバッファも用意している。

メモリセグメントは、図1に示すセンスアンプとカラムスイッチを、隣接するメモリセグメントと共有できる構成になっている。共有しない場合に比べ、1Mセグメント当たり0.35 $\mu$ mのプロセスで約10%小さくすることができた。

マクロは二層メタルか三層メタル配線を選択でき、三層メタルはマクロ内の電源線とバス線の抵抗を小さくできる。32Mのメモリ容量で150MHzの、カラム系回路の動作が可能である。

表1にDRAMマクロの特長、表2に構成できるマクロの種類を示す。スタンダードI/Oタイプ、ワイドI/Oタイプのおおの264種類の構成ができ、三層、二層メタルとパリティ有無の選択ができるので全部で2,112種類の構成ができる。

今回開発した4Mビットと20MビットのDRAMマクロを図3に示す。4MビットはスタンダードI/Oタイプ、20MビットはワイドI/Oタイプである。

### 3 DRAM マクロ構成の方法

#### 3.1 アドレスの接続方法

アドレスのマッピングは、ビアコンタクト(一層めのメタ

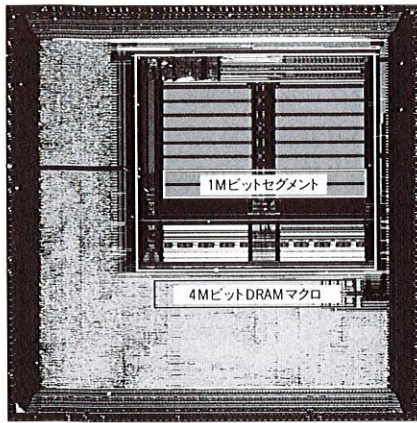
表1. DRAM マクロの特長  
Characteristics of DRAM macro

項目	特長
構成	(1) スタンダード I/O タイプ 64ビット/128ビット I/O
	(2) ワイド I/O タイプ 128ビット/256ビット I/O
プロセス技術	0.35 $\mu$ m CMOS 二層/三層メタル(オプション)
セルサイズ	1.575 $\times$ 0.75 $\mu$ m <sup>2</sup>
マクロサイズ	4.83 $\times$ 4.23mm <sup>2</sup> @4Mビット 1バンク 8.90 $\times$ 7.7mm <sup>2</sup> @20Mビット 1バンク
動作周波数	150MHz @32Mビット
データ転送速度	4.8Gバイト/s
電源電圧	3.3V
消費電力	1.5W @32Mビット, 150MHz

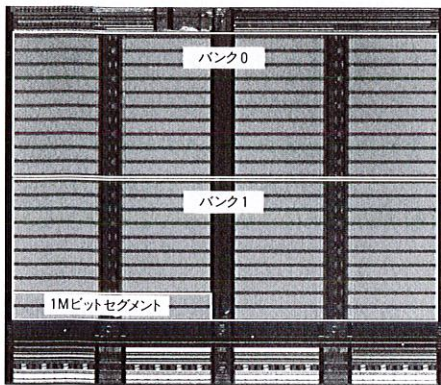
表2. DRAM マクロ構成の種類  
Derivable memory organization

スタンダード I/O タイプ		ワイド I/O タイプ	
メモリ容量	構成の数	メモリ容量	構成の数
1	2	2	2
2	6	4	6
3	8	6	8
4	12	8	12
5	8	10	8
6	22	12	20
7	8	14	8
8	20	16	20
9	18	18	18
10	22	20	22
11	8	22	8
12	42	24	42
13	8	26	8
14	22	28	22
15	28	30	28
16	30	32	30
計	264	計	264





(a) 4 M ビット DRAM マクロ



(b) 20 M ビット DRAM マクロ

図3. 4 M, 20 M ビット DRAM マクロ 4 M ビットマクロはスタンダード I/O タイプ, 20 M ビットマクロはワイド I/O タイプで構成した。

Micrograph of DRAM macro

ル配線と二層めのメタル配線をつなぐコンタクト) のつなぎ変えで行う。ロウアドレスの場合, 下位 9 ビット (RA0 ~ RA8) はセグメント内のワード線選択に用いられ, セグメント選択には上位 4 ビット (RA9 ~ RA12) が用いられる。カラムアドレスは, 下位 4 ビット (CA0 ~ CA3) はカラム選択線に用いられ, セグメント選択には上位 4 ビット (CA5 ~ CA8) が用いられる。CA 4 のアドレスは I/O バッファ回路で I/O を 2 : 1 マルチプレクスした場合の選択アドレスに用いる。

図 4 に 4 M ビットのメモリ容量で 2 バンク構成の場合のロウアドレスの接続方法を示す。バンク選択アドレスは RA12 を, セグメント選択には RA9 を用いている。RA10 と RA11 のアドレスはセグメントの選択に必要なく, つねに選択状態となるようロジック OR ゲートの入力を制御する。この配線の接続を決めるピアコンタクトをレイアウトデータ上にメモリジェネレータで生成することで, 目的に合ったアドレス接続を実現することができる。

カラム系回路のセグメント選択もロウ系回路と同様な方法でアドレスの接続を行う。

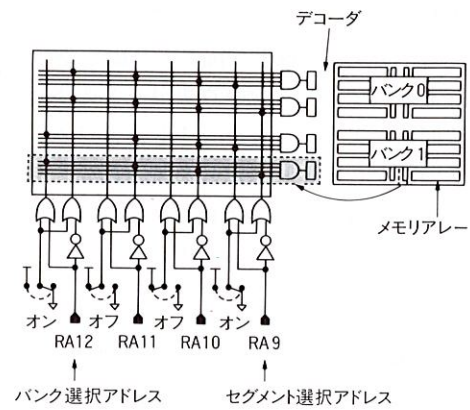


図4. セグメント選択アドレスの接続方法 4 M ビットのメモリ容量で 2 バンク構成のロウアドレス接続方法。ここでは, バンク選択アドレスに RA12, セグメント選択アドレスに RA9 を用いている。

Connection customizable segment decoder

### 3.2 冗長回路の構成方法

ロウ系の冗長回路は, 1 M セグメントごとにスペアワード線とヒューズが独立して配置されているので, メモリ容量を変えても冗長回路は影響を受けない。

カラム系の冗長回路は, セグメント内での左右 64 データ線ごとに一つのスペアデータ線がある。おのおののデータ線とスペアデータ線は 16 本のビット線にカラムスイッチを経由して接続されている。欠陥のあるビット線と接続したデータ線は 6 ビットのアドレスヒューズと 1 ビットのインネーブルヒューズによってプログラムされる。

ヒューズは, 64 データ線単位でセグメントごとに独立してプログラムできるようになっている。ヒューズ回路は最大メモリ容量に対応できるように 16 セグメント分用意してある。セグメントを選択するアドレスによって, 必要なヒューズ

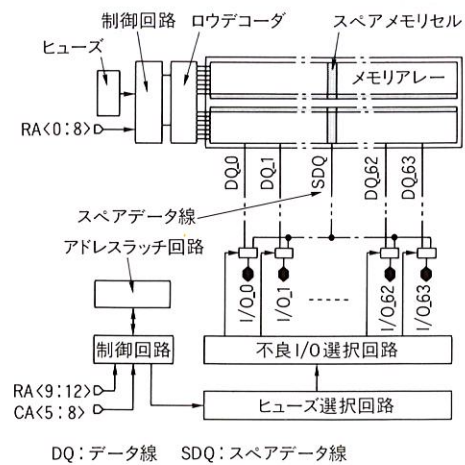


図5. 冗長回路制御回路 ロウ系回路の冗長回路はセグメントで独立した構成になっている。カラム系の回路は, 最大メモリ容量分のヒューズ回路を設け, アドレス信号でヒューズ回路を選択する。

Redundancy control circuit

ーズを選択し、そのヒューズ回路にプログラムされた情報によって、スペアデータ線と欠陥データ線をつなぎ換える。

セグメント選択アドレスがロウアドレスの場合、図5に示すラッチ回路にアドレスをラッチし、カラム系動作においてラッチ回路からアドレス信号を読み出す。アドレスの選択とラッチの制御は、ジェネレータによってメタル配線とビアコンタクトの変更によって決める。

#### 4 テスト回路

テスト用のインタフェースバスは33本用意し、テストパッドとマクロのテストインタフェースを接続している。このテスト信号線でDRAMマクロのすべての動作を試験できるようにしてある。

33本のテストインタフェースバスは、テストモードエントリ(TM)、テストコマンド(TCM)、アドレス、入力データ(TDI)、出力データ(TDO)から構成され、TM信号がイネーブルになることによって、テスト動作を実行する。このとき、マクロは図6に示すマルチプレクサによってロジック

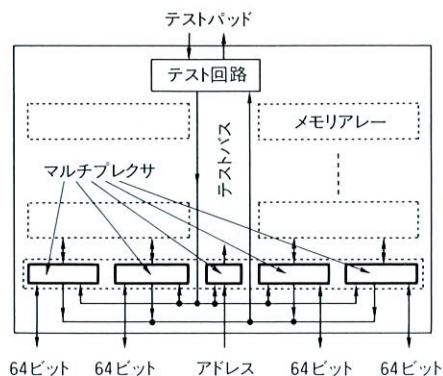


図6. テスト回路とマクロの接続 DRAMマクロとロジック回路の間のマルチプレクサによって、マクロのテスト動作を行う。

Test circuit for direct memory access

ック回路との接続を切り離され、テスト回路と接続される。TCMとTDIの信号はデコードされアドレスとコマンド信号としてDRAMマクロを制御する。

128ビットの出力データは、データバッファ回路部でマルチプレクスしてシリアルにTDOに出力する。このテスト回路は1チップに4個までのDRAMマクロを混載した場合に対応できる。

#### 5 あとがき

メモリジェネレータに対応できるDRAMマクロについて解説した。今回使用したメモリジェネレータは、回路構成の変更は必要な回路ブロックを配置することで、また配線の接続はメタル配線層とビアコンタクトの配置を換えることでDRAMマクロの再構成を実行している。

このジェネレータによって、メモリ容量、アドレスの構成、I/Oの数、バンク構成の変更を自動で行うことができ、さまざまな顧客の要求に対応することができる。

#### 文献

- (1) Miyano, S., et al. A 1.6 Gbyte/s Data Transfer Rate 8 Mb Embedded DRAM. IEEE, Journal of Solid State Circuit. 30, 11, 1995, p.1281-1285.
- (2) 宮野信治, ロジック混載DRAMコア技術, 東芝レビュー, 52, 12, 1997, p.15-18.



和田 政春 WADA Masaharu

マイクロエレクトロニクス技術研究所 デバイス技術研究所 主務。ロジック混載用DRAMマクロの設計に従事。電子情報通信学会会員。

Microelectronics Engineering Lab.



矢部 友章 YABE Tomoaki

マイクロエレクトロニクス技術研究所 デバイス技術研究所 主務。ロジック混載用DRAMマクロの設計に従事。電子情報通信学会会員。

Microelectronics Engineering Lab.