

半導体集積技術の進歩に伴って、数ミリ角のLSI上にシステム全体の集積を旨とするシステムオンチップ技術が注目されている。システムオンチップ技術は、電子機器の小型化、ローパワー化、ローコスト化にきわめて有効な技術であるが、複雑なシステムの1チップ化にはLSI開発期間の長期化と開発リスクの増大の問題がある。これを解決するためには、小規模な検証済み回路ブロックの再利用により大規模LSIを実現する手法を用いてLSIの超短期開発手法、高品質設計手法を確立する必要がある。当社は、ノートパソコン(PC)や携帯情報機器、ハードディスク装置の差別化のために、製品戦略に密着したシステムLSIを開発してきた。今後は既存の検証済み回路ブロックの再利用を進め、さらに回路ブロック単位の俊敏な技術革新によるスピーディなシステムオンチップの開発を実現していく。

The growth in integration capacity of a single chip has made system-on-a-chip possible. System-on-a-chip integration technology is extremely effective for portable, low-power, low-cost oriented systems. However, the complexities of system-on-a-chip result in long, expensive design and verification cycles. One way to solve this problem is to construct the complex chip with small, preverified core blocks.

We have developed many system LSIs in order to give Toshiba information system products (notebook PCs, personal communication products, hard disk drives, etc.) their distinctive features, and have designed and verified many useful core blocks through the development of these system LSIs. We are implementing changes in our LSI design flow to realize circuit-block-based design using such predesigned core blocks.

1 まえがき

近年、電子機器の小型化が急速に進んでいる。特にノートPCや携帯情報機器は、高性能および高機能でありながら小型・軽量、低消費電力、低価格であることが強く要求されており、その実現のためには高度な半導体集積技術による部品点数の徹底的削減とローパワー化が不可欠である。また、電子機器の戦略・スケジュールに密着したシステムLSI、機器のノウハウを集積したLSIの開発が他社製品との差別化の鍵(かぎ)である。

最近用いられているシステムオンチップ(System on a Chip)という言葉は、回路基板上の部品全体を1個のLSIに置き換えるというコンセプトである。近年の半導体技術の進歩は目覚ましく、最新の半導体プロセスでは数ミリ角のチップに数百万ゲートの回路が集積可能である。また、DRAM混載技術も確立されつつあり、ロジックとメモリの1チップ化による高性能化、低消費電力化への期待が高まっている。さらに大規模LSIの高品質設計を可能にする設計CAD技術や、ローパワー化技術、パッケージ技術開発も着々と進歩している。このような半導体技術の進歩によりシステムオンチップ級の大规模LSIが実現可能な状況になりつつある。

2 システム オン チップの効果と課題

システムオンチップ技術を用いた電子回路の1チップ化による電子機器開発上の効果を次に示す。

- (1) 電子機器の小型・軽量化、ローパワー化
- (2) LSI、基板の低コスト化
- (3) 部品点数の削減により総合的品質向上
- (4) 部品点数削減による部品調達・在庫管理問題の低減
一方、従来の回路基板上の部品組合せによる製品開発には、技術革新スピードなどの点で次のメリットがある。

- (1) 変化の激しい製品仕様への柔軟な対応
(最適な部品の組合せが可能)
- (2) 部品の技術革新による機器の迅速な技術革新
- (3) コンカレントエンジニアリング
(プロトタイプ早期実現、部品ごとの先行評価が可能)
- (4) 部品ごとのリスク管理、リスク回避対策
- (5) 部品ごとの量産効果によるコストダウン

電子機器の開発・量産を通して、システムオンチップ技術が最大の効果を発揮するためには、上記の回路基板上の部品インテグレーションのメリットをシステムオンチップ技術が継承できなければならない。そのためには、次に示す技術開発が不可欠である。

- (1) 短い製品サイクルに対応した LSI の超短期開発手法
- (2) LSI 内部回路ブロックレベルの水平競争による技術革新
- (3) 最適な回路ブロックの組合せによる LSI 設計手法
- (4) システム オン チップ LSI の水平競争によるコスト低減 (ベンダーに依存しない設計)
- (5) コンカレント エンジニアリングを可能にする技術

このように、システム オン チップ技術は単に半導体技術の延長線上の技術だけではなく、電子機器開発・量産工程にも密接にかかわる技術である。

3 システム オン チップの超短期開発手法

製品開発サイクルの短い PC や携帯情報機器の開発では、さまざまな開発・評価ワークの短期間化とそれらの並行作業をいかに実現するかが開発サイクル短縮の鍵になる。2 章で述べた理由から、従来の回路基板上での部品インテグレーションはこのような並行作業に適していたと言える。一方、システム オン チップ級の大規模 LSI 開発は開発期間の長期化と代替品がないことが最大の問題であり、LSI 開発へのリスク集中が必至である。したがって、システム オン チップ時代における商品開発サイクル短縮のためには、LSI の超短期開発手法、高品質設計手法、プロトタイプ (試作機) の早期実現手法を確立しなければならない。

今後構築しなければならないシステム オン チップ LSI 開発フローを図 1 に示す。

以下、開発フローの特徴について簡単に説明する。

3.1 回路ブロックの再利用化が重要

システム オン チップ時代の大規模 LSI 開発において、すべての回路を新規設計するためには膨大な開発資源と時間が必要となる。したがって、LSI 全体に占める新規設計部分の割合を下げ、回路の再利用化、回路ブロックの組合せにより開発期間の短縮を図る必要がある。また最近、回路ブ

ロックの設計情報 (IP: Intellectual Property と呼ばれている) が世界的に流通し始めている。従来、回路基板上で行われていた部品インテグレーションと同様に、IP 設計業界の水平競争による IP レベルの技術革新と世界的な流通を実現し、性能およびコストが最適な IP の組合せによる LSI 開発を実現する必要がある。回路ブロックベースの LSI 開発の概念を図 2 に示す。

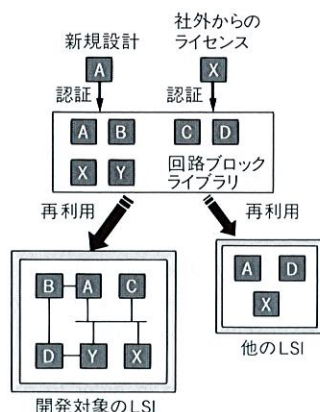


図 2. 回路ブロックベースの LSI 開発の概念 大規模 LSI の短期開発のためには、再利用を前提とした小規模回路ブロックの設計と、それらの組合せによる LSI 設計手法の確立が必要である。

Concept of circuit block based on LSI design

3.2 コンカレント エンジニアリングの実現

大規模 LSI の開発期間の長期化によるソフトウェア開発着手の遅れの問題を解決するためには、LSI を含むシステム全体の高速シミュレーション環境をまず構築し、LSI 設計と並行してアーキテクチャ検討、ファームウェア・ソフトウェア開発・デバッグを行うことが一つの手段である。高速シミュレーションを実現するためには、VHDL (Very high speed IC Hardware Description Language) や Verilog に代表される RTL (Register Transfer Level) 言語でのモデル作成では速度的に不十分であり、より高速な抽象度の高いハードウェア表現が可能な言語環境が必要である。

3.3 機能モデル (RTL) 検証の確実化

動作仕様のとおり LSI が設計されていれば、LSI にバグはないと言える。しかし、システム オン チップ級の大規模 LSI の内部には能動的な動作を行う複数の回路が存在するため、人間がすべての動作仕様を洗い出すことが困難になる。LSI のバグは人間が意識していなかった回路動作時に判明するケースが多いため、意識して作成したテストプログラムでの検証には限界がある。LSI のバグをなくすには、人間にとって無意識であった回路動作を意識に変える仕組みを作る必要がある。そのために、図 3 に示すようなシミュレーション時にテスト対象の LSI に対して乱数的な刺激 (入力) を与える外部回路を用いるランダムテスト手法とテストカバレッジ計測ツールの併用が有効である。

3.4 配線遅延予測による物理モデル設計工程の短縮

半導体微細化が進むにつれて、回路遅延値を決定する要

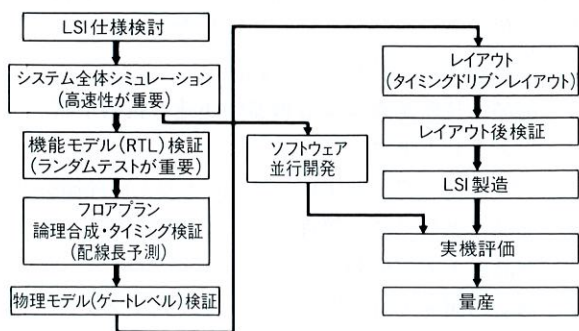


図 1. システム オン チップ LSI の開発の流れ 製品開発サイクルの短縮のためには大規模 LSI の短期開発手法の確立と、システム全体のシミュレーションを用いたソフトウェアの並行開発が必須 (す) である。

Design flow for system-on-a-chip

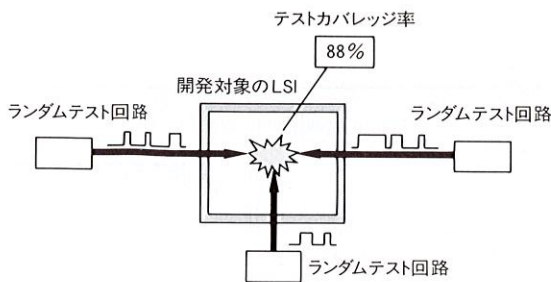


図3. ランダムテスト手法による機能検証の確実化 大規模 LSI の機能検証の確実化のためには、ランダムテストとテストカバレッジ計測ツールの併用が有効である。

Functional verification of LSI using random test generation method

因は論理素子遅延ではなく配線遅延が支配的になっている。したがって、RTL から論理素子への変換を行う論理合成工程より前の段階でフロアプランによる配線長予測を行い、その結果を用いた論理合成を行うことによってレイアウト後の検証での問題を未然に防ぐ必要がある。

4 当社の取組みとシステム LSI の開発事例

ノート PC, 携帯情報機器, ハードディスク用に開発したシステム LSI の概要について述べる。

4.1 システムレベルシミュレーションによる品質向上

以下の4種類のシステム LSI の開発では、機能の複雑化による検証漏れをなくすためにシステムの大部分の部品をシミュレーションモデルに組み込んだ形で機能検証を行っている。また、シミュレーションモデルにランダムテスト機構(3章参照)を組み込み検証率の向上を図っている。

4.2 ノート PC 用チップセット (Symphony, Petunia)

当社ではノート PC (Tecra シリーズなど), ミニノート PC (Libretto) と密着したシステム LSI (Symphony, Petunia) を開発し, 当社 PC の差別化を図っている。

図4に Dynabook Tecra 750 CDT 用 Symphony チップセットのシステム構成を示す。Symphony チップセットは、図の で示した4種類の LSI で構成されている。ノート PC にとってバッテリー駆動時間は重要な差別化要素の一つである。そのため、Symphony チップセットは、CPU (Central Processing Unit) や PCI (Peripheral Component Interconnect) バスのクロックを必要に応じて供給する機能 (グローバルストップクロック), LSI 待機時は、内部の回路ブロックへのクロックを停止する機能 (ローカルストップクロック) を採用し、システム全体の低消費電力化を実現した。

図5にミニノート PC (Libretto70) と Libretto70 に搭載している1チップシステムコントローラ (Petunia) のシステム構成を示す。Petunia は PC の小型・低消費電力を追求したシステム LSI であり、従来の6個の LSI に相当する機能を576ピン BGA (Ball Grid Array) パッケージに集積している。

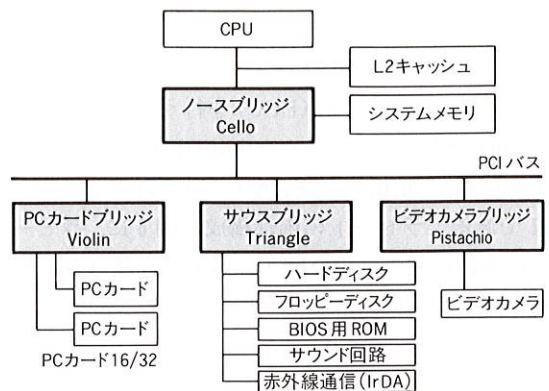


図4. Symphony チップセットのシステム構成 当社のノート PC (Tecra750CDT) 用に開発したチップセットのシステム構成である。ACPI に対応しシステム全体の低消費電力化を実現した。

System configuration of Symphony chip set

Petunia には当社のノウハウであるさまざまな省電力機能が組み込まれており、システムの負荷や温度、電池残量に応じた制御により、小型ながら3時間以上のバッテリー駆動時間を達成している。

4.3 DRAM 内蔵ハードディスクコントローラ (ラビート)

2.5 インチ型ハードディスクには大容量化だけでなく薄型化、低価格化、低消費電力化が強く求められている。当社では DRAM 内蔵ラビートを開発し、次の内容を実現した。

- (1) HDD 戦略に密着した LSI 開発
- (2) DRAM 内蔵による高性能化・ローパワー化

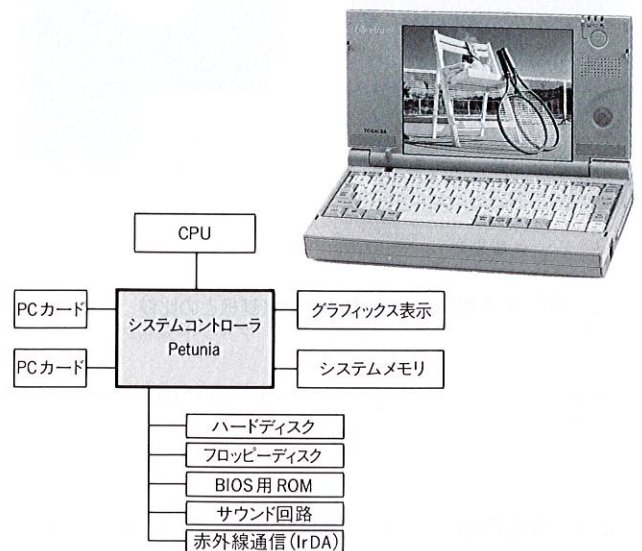


図5. ミニノート PC Libretto70 とシステムコントローラ (Petunia) のシステム構成 Libretto は高集積システムコントローラ (Petunia) の開発により実現した。Libretto 用に開発した Petunia のシステムは従来の6個の LSI を1チップ化し、さまざまな省電力機能を組み込むことによって、長時間バッテリー駆動を実現した。

Libretto 70 mini-notebook PC and configuration of system controller LSI (Petunia) for Libretto

(3) 基板面積の33%削減

(4) 超薄型化(8.5mm厚)

ラビートは、エラー訂正(ECC)を行うコントローラLSI、サーボ制御LSI、バッファメモリ用DRAM(1M/4Mビット)の3チップを集積した統合型ハードディスクコントローラLSIである。ラビートの内部構成を図6に、ラビートによる基板面積削減の効果を図7に示す。今後はさらに集積度を高め、小型・低価格なハードディスクの実現を目指す。

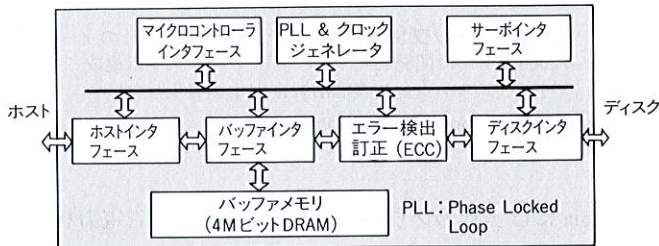


図6. DRAM内蔵ハードディスクコントローラ(ラビート)の構成
当社のハードディスク装置用に開発したラビートの内部構成である。従来の3個のLSIを1チップ化し、ハードディスクの薄型化、低価格化に貢献している。

Configuration of hard disk controller (Rapi:t) with embedded DRAM

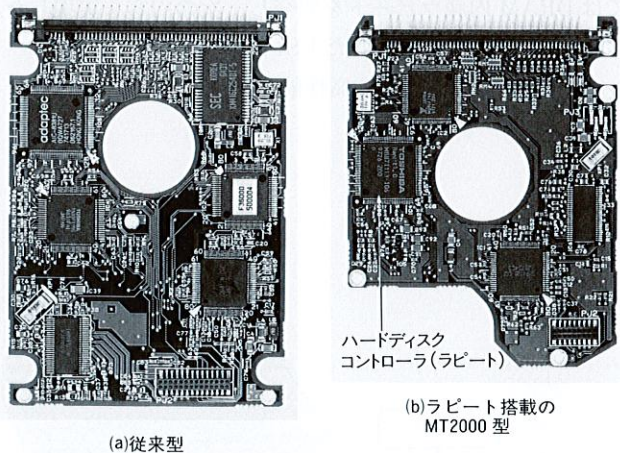


図7. ラビートを用いたHDD基板の従来基板との比較
DRAMなど3チップのインテグレーションにより、プリント基板の面積を33%削減した。

Comparison of new printed circuit board with Rapi:t and conventional type

4.4 携帯情報ツール(GENIO)用システムコントローラ

GENIOは、電話(PHS)、電子メール、電子手帳の機能をもつ超小型携帯情報ツールである。当社はGENIO用システム制御LSIとしてRISC(縮小命令セットコンピュータ)型MPU(Micro Processor Unit)を内蔵した1チップシステムコントローラ(Apricot)を開発した。図8にApricotの内部構成を示す。Apricotは低消費電力化のために2.4V動作

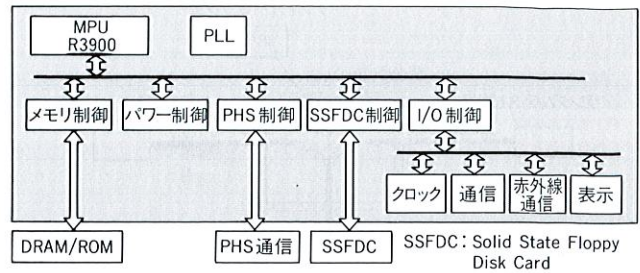


図8. GENIO用MPU内蔵システムコントローラ(Apricot)の構成
当社の携帯情報ツール(GENIO)用に開発したApricotの構成である。32ビットRISC型MPUを内蔵し、MPUのパワー制御機能により長時間のバッテリー動作を実現した。

Configuration of system controller LSI (Apricot) for GENIO

の32ビットMPUを内蔵し、必要なときだけMPUに電源を供給する制御方式により長時間のバッテリー動作を実現した。また、アーキテクチャの評価やソフトウェアの開発を早期に行うために、①LSIを含むシステム全体のシミュレーション環境の構築、②FPGA(Field Programmable Gate Array)を用いたプロトタイプ開発を実施した。

5 あとがき

システムオンチップ技術の効果と課題について述べ、当社の取組みとしてノートPC、携帯情報機器、ハードディスク装置向けシステムLSIの概要について述べた。今後は既存の検証済み回路ブロックの再利用を進め、さらに回路ブロック単位の俊敏な技術革新によるスピーディなシステムオンチップの開発を実現していく。

文献

- (1) 西垣信孝, 他. 高性能ポータブルパソコン Tecra750. 東芝レビュー. 52, 12, 1997, p.59-62.
- (2) 森田 功, 他. 2.5インチ型磁気ディスク装置 M5000シリーズ. 東芝レビュー. 52, 12, 1997, p.63-66.



的場 司 MATOBA Tsukasa

青梅工場 コンピュータ LSI 開発センターグループ長。
システム LSI の開発・設計に従事。情報処理学会、電子情報通信学会会員。
Ome Works



富安 雄一 TOMIYASU Yuichi

青梅工場 コンピュータ LSI 開発センター主務。
システム LSI の開発・設計に従事。情報処理学会会員。
Ome Works



西出 康一 NISHIDE Koichi

青梅工場 コンピュータ LSI 開発センター主務。
システム LSI の開発・設計に従事。
Ome Works