

半導体デバイスの最近の故障解析手法

Recent Failure Analysis Techniques for Semiconductor Devices

星野 直樹
N. Hoshino

龍 康夫
Y. Ryu

鈴木 直久
N. Suzuki

半導体デバイスが微細化されるにつれて、新製品の早期立ち上げや品質・信頼性の向上、顧客サービスの向上を図るうえで、故障解析技術はますます重要になってきている。

ここでは、故障解析を実施するうえで特に重要な故障箇所の特定と試料作成方法に着目し、電気的な故障箇所特定の重要性、裏面からのエミッション顕微鏡解析の有効性、さらにはトレンチキャバシタの観察法や集束イオンビーム装置(FIB: Focused Ion Beam)を用いた透過型電子顕微鏡(TEM: Transmission Electron Microscope)観察用試料作成法など、最近の解析事例を基に紹介する。

Failure analysis techniques for semiconductor devices have been recently gaining importance in line with the need to develop new products, improve quality and reliability, and enhance customer satisfaction.

This paper describes the importance of electrical failure site identification, the effectiveness of the emission microscope, a trench capacitor observation technique, and sample preparation for TEM, together with some examples of failure analysis.

1 まえがき

半導体デバイスの微細化、高集積化が言われて久しい。10年前にはデザインルールが $2\text{ }\mu\text{m}$ の製品が量産されていたのに、現在では $0.25\text{ }\mu\text{m}$ の量産が始まろうとしている。微細化は最小線幅だけでなく、スケーリング則にのっとりコンタクト径や各層の膜厚にも及んでいる。例えば、 $0.25\text{ }\mu\text{m}$ DRAMのコンタクト径は $0.3\text{ }\mu\text{m}$ 、ゲート酸化膜の膜厚は8 nm、ストレージノードの絶縁膜の酸化膜換算膜厚は6 nmになる。また、多層化も進み、ロジック製品のメタル配線層は3層のものが量産されている。このような状況のなか、故障解析技術においても従来の手法では物理的な限界に達し、新たな解析手法が求められている。

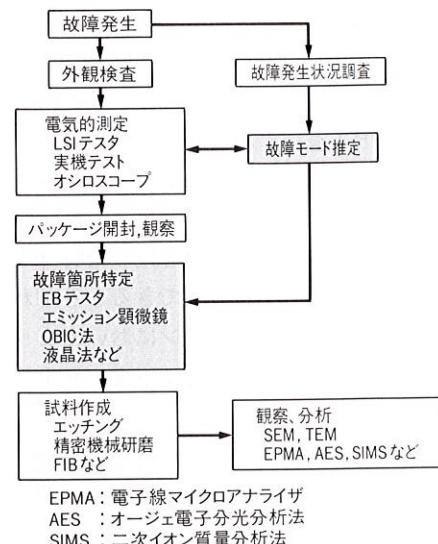
半導体デバイスの進歩は、微細化だけではなく高機能化、高速化にも及んでいる。例えば、DRAM一つをとってみてもFPM(Fast Page Mode)からEDO(Extended Data Out)へ、そして現在ではシンクロナスDRAMが主流となりつつある。不良モードも単純なテストでは再現することが難しく、複雑なデータパターン依存性をもつものや、さらには実機テストでないと再現が困難な不良も多くなってきていている。したがって、故障解析のステップにおいても電気的特性からいかに不良箇所を絞り込んでいくかということが重要なポイントとなっている。

ここでは、当社で実施している最近のDRAMに対する故障解析事例を紹介し、以上のような問題に対する取組み、新しい故障箇所特定化技術や試料作成技術、さらには当社の故障解析活動に対する取組みなどについても言及する。

2 故障解析手法概要

半導体デバイスの故障解析における解析手順を図1に、故障解析に用いられる主な観察装置とその分解能を表1に示す。

故障解析では、まず電気的測定による故障モードの推定と故障箇所の絞込みが重要となる。通常のメモリテスタによるフェイルビットマップの取得はもちろん、実機テスト



Flowchart of failure analysis procedure

表1. 故障解析に用いられる主な観察装置と分解能

Observation tools and resolutions

| 観察装置 | 分解能 |
|-------------------------------|--|
| 実体顕微鏡 | 10 μm 程度 |
| 金属顕微鏡 | 100 nm 程度 |
| 赤外顕微鏡 | 1 μm 程度 |
| 走査型レーザ顕微鏡 | 100 nm 程度 |
| 超音波顕微鏡 (~100 MHz) (~2 GHz) | 数 10 μm (進入深さ 数 mm) 数 μm (進入深さ 数 10 μm) |
| 走査型電子顕微鏡 (SEM) | 数 nm |
| 透過型電子顕微鏡 (TEM) | 数 Å |
| 走査型イオン顕微鏡 | 数 10 nm |
| 原子間力顕微鏡 (AFM) | 数 Å |

などによる再現試験なども重要となる。その後、物理的な手法により故障箇所特定化を実施するわけであるが、この段階では、従来からも紹介されているエミッション顕微鏡やEB (Electron Beam) テスタなどのさまざまな技術を用いるが、最近の半導体デバイスの構造上の問題から新しい手法も利用されている。

故障箇所を特定した後、観察、分析を行うための試料作成を行うが、従来の走査型電子顕微鏡 (SEM: Scanning Electron Microscope) による観察では分解能的に不十分になってしまったことから、TEMによる特定箇所の観察が重要となり、試料作成にもさまざまふうがなされている。また、構造的な問題から従来は観察が困難であったトレンチ キャパシタについても、新しい試料作成手法により観察可能になった。

以下に、これらの新しい解析手法を解析事例とともに紹介する。

3 故障箇所特定化技術

3.1 電気的手法

16 M ピット DRAM における解析事例を紹介する。最近の不良の中には、通常のメモリテスターによるテストプログラムでは不良を再現することができず、社内における解析が困難な場合がある。しかし、不良が発生したユーザの協力により、実機テストによる不良再現ができることがわかり、さらには実機でのテストパターンを模した特殊なテストパターンによりテスターでも不良再現できることがわかった。これは、ある特殊なテストパターンにおいてピット線間での干渉が起こり、データ読み出し時に不良が発生していると推定される。

不良ピット線を特定後、表面から精密機械研磨により試料作成し SEM でセンスアンプ部を観察する。図 2 に示すように、コンタクト部分の形状異常が確認された。この不良に対しては、プロセス的な改善はもちろんのことであるが、さらにテストプログラムの改善により不良をスクリーニングしている。

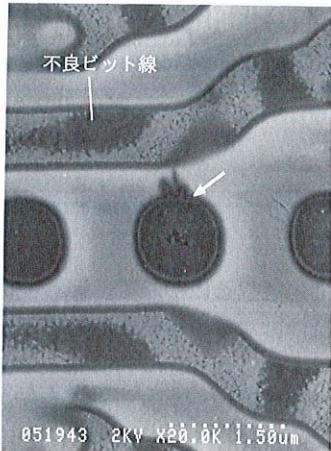


図2. 表面研磨後の不良センスアンプ部の SEM 像 矢印部のコンタクトに形状異常が確認された。

SEM image of failed memory cell after surface polishing

3.2 物理的手法

物理的に故障箇所を特定する方法としては、液晶の相転移現象を利用した発熱箇所特定、エミッション顕微鏡による発光箇所特定、OBIC (Optical Beam Induced Current) 法による異常電流・電圧検出、EB テスターによる内部動作解析などの方法が利用されているが、最近のデバイス構造の問題から観察困難なものが増加してきた。例えば、多層メタル配線の製品では下層の観察が困難になってきており、LOC (Lead On Chip) 構造のパッケージでは単にパッケージを開封しただけではチップ表面からの観察ができないことなどが挙げられる。

ここでは、多層配線かつ LOC 構造のパッケージである 64 M ピット DRAM の解析事例を紹介する。不良内容は ESD (ElectroStatic Discharge) 試験で発生したリーク不良であり、表面からは上層メタル配線層のため故障箇所の特定が不可能であった。そこで、パッケージの裏面側から研磨してチップ裏面を露出した状態 (図 3) で、エミッション顕微鏡による発光箇所の特定を行った。リーク箇所からの発光現象

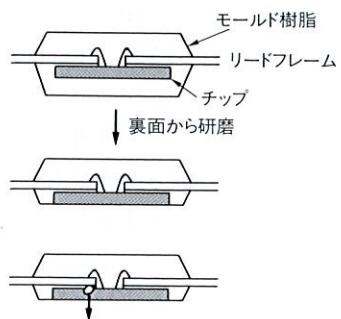


図3. 裏面からのエミッション顕微鏡観察用の試料作成法 LOC パッケージの場合、パッケージ裏面から研磨によりチップを露出させることで、裏面からエミッション顕微鏡での観察が可能となる。

Emission microscope sample preparation technique from back side

には近赤外の波長成分が含まれており、赤外線は Si 基板を透過する性質をもつため、近赤外領域に感度をもつ超高感度カメラを利用することによりチップ裏面から発光現象を観察することができる⁽¹⁾。図 4 に裏面からのエミッショントレンチキャパシタの顕微鏡写真を示す。この解析によりリーク箇所を特定することができ、その後の表面からの物理解析の結果トランジスタの接合破壊が確認され、設計にフィードバックすることができた。



図 4. 裏面からのエミッショントレンチキャパシタの顕微鏡写真 近赤外領域に感度をもつエミッショントレンチキャパシタで観察することにより、チップ裏面から発光箇所の特定が可能となった。

Photo emission image from back side

4 試料作成技術

4.1 トレンチキャパシタ観察技術

当社の DRAM ではメモリセルとしてトレンチ構造を採用しているが、従来は特定のトレンチキャパシタの立体構造を直接観察することが困難であり、問題解明が遅れることがあった。しかし、近年の FIB 装置の進歩により、特定メモリセルのトレンチキャパシタの立体構造が観察可能な試料作成ができるようになった⁽²⁾。

図 5 に試料作成方法を示す。まず、Si 基板表面まで研磨し、その後特定トレンチキャパシタを残し、その周囲の部

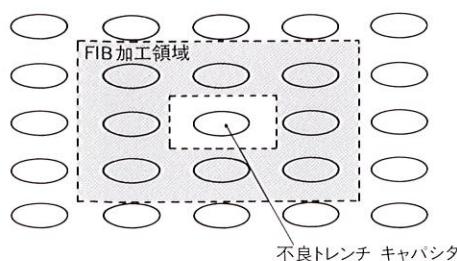


図 5. トレンチキャパシタ観察用試料作成法 トレンチキャパシタの周囲を FIB により溝を掘るように除去する。

Sample preparation technique for observation of trench capacitor

分を FIB により溝を掘るように除去する。FIB 加工後、化学エッチングにより Si を除去すると、図 6 に示すようにトレンチキャパシタの観察が可能となる。この SEM 写真は 64 M ピット DRAM のトレンチキャパシタであるが、短径は 0.3 μm であり、FIB のビーム精度向上により初めて可能になった。この技術を用いた解析により、64 M ピット DRAM の早期立上げが可能となった。

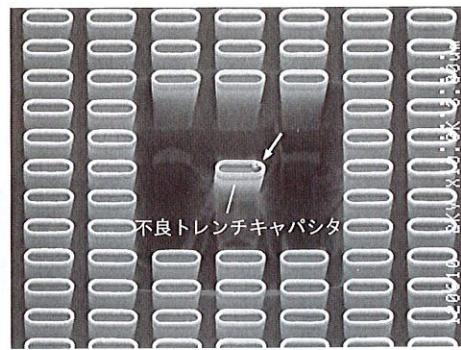


図 6. トレンチキャパシタの SEM 像 不良メモリセルのトレンチキャパシタの SEM 観察が可能となり、矢印部に破壊が確認された。
SEM image of trench capacitor

4.2 TEM 試料作成技術

故障解析においては特定箇所の断面形状の観察が重要となるが、最近の半導体デバイスでは 1 nm 以下の分解能が必要とされるため、従来から行われている SEM による断面観察では不十分になり、TEM による断面観察が行われるようになってきた。

TEM 観察する際には、電子線が透過するように試料の厚さを 100 nm 以下にする必要があり、従来は機械研磨、イオンミリングによる試料作成方法が用いられてきた。ところが、この方法で断面観察用試料を作成する場合、ダミーチ

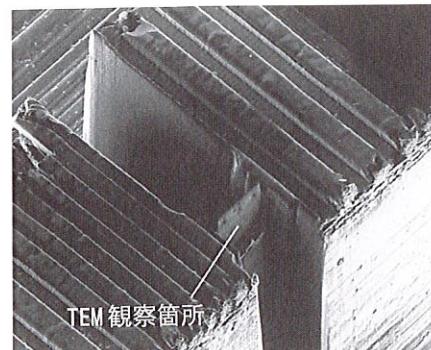


図 7. FIB による TEM 試料作成 FIB により特定箇所の断面 TEM 観察用試料を作成できるようになった。

TEM specimen preparation by FIB

ップを観察チップの両面に張り合わせる必要があるため、特定箇所の断面を出すことはほとんど不可能であった。

そこで、FIB を利用し図 7 のように加工することによって特定箇所の TEM 断面観察用試料の観察が可能になった⁽³⁾。最近の FIB のイオンビーム径は 5 nm と精度が向上したため、図に示すような 100 nm 以下の壁状の試料作成が可能である。

図 8 に、64 M ビット DRAM の不良と推定されたコンタクトの断面 TEM 写真を示す。コンタクト径は 0.4 μm であるが、TEM 観察によりコンタクトと Si 基板との界面に薄膜が存在し導通不良を起こしていることが解明された。

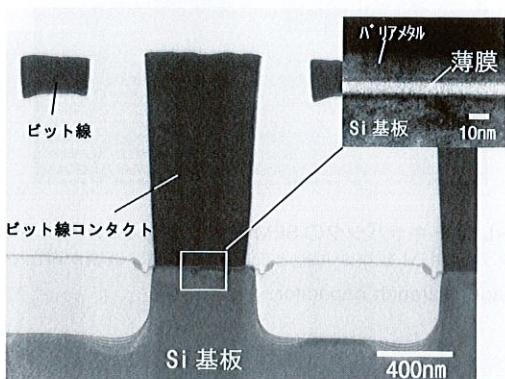


図 8. 不良コンタクトの断面 TEM 像 TEM により、コンタクトと Si 基板との界面における薄膜の存在が確認された。

Cross-sectional TEM image of failed contact

5 あとがき

以上、故障箇所特定法、試料作成法を中心に、最近の故障解析技術を解析事例とともに述べた。

このような新しい技術を取り入れながら、当社では半導

体デバイスの開発から量産段階、すなわち開発初期段階における材料、プロセス上の問題点の究明から製品の歩留まり、信頼性向上ワーク、さらには市場で発生した不良からのフィードバックに至るまで、あらゆる段階において故障解析活動を通じて信頼性の向上に努めている。

最近の不良発生の傾向としては、市場で発生した不良が通常のテストでは再現できないものが増加していることが問題として挙げられる。こういった不良に対しては、当社だけでなくユーザ側との綿密な情報交換が必要であり、今後ユーザとの協力関係のもと、故障解析技術向上に努めていきたい。

文 献

- (1) 岡添浩幸、他：IR EMS による半導体の故障箇所特定化検討、日科技連信頼性・保全性シンポジウム、pp.139-144 (1992)
- (2) G. Benstetter, et al: Failure Analysis of DRAM Storage Node Trench Capacitors for 0.35-Micron and Follow-on Technologies Using the Focused Ion Beam for Electrical and Physical Analysis, Proceedings of 22nd International Symposium for Testing and Failure Analysis, pp.401-407 (1996)
- (3) 中村新一、他：透過型電子顕微鏡による半導体デバイス構造観察技術、東芝レビュー、52、6、pp.39-42 (1997)

星野 直樹 Naoki Hoshino

半導体事業本部 半導体品質保証部主務。
半導体メモリの品質・信頼性業務に従事。
Semiconductor Group

龍 康夫 Yasuo Ryu

東芝マイクロエレクトロニクス(株) 信頼性ラボラトリー。
電子顕微鏡を用いた半導体デバイス、特にメモリ製品の解析
・プロセス評価に従事。
Toshiba Microelectronics Corp.

鈴木 直久 Naohisa Suzuki

東芝マイクロエレクトロニクス(株) 信頼性ラボラトリー。
電子顕微鏡を用いた半導体デバイスの解析・プロセス評価
に従事。日本電子顕微鏡学会会員。
Toshiba Microelectronics Corp.