

VSI アライアンスと IP コアの活用技術

VSI Alliance and Technologies for IP Core Application

吉森 崇
T. Yoshimori

田中 厚
A. Tanaka

半導体微細化の進展に伴って、膨大な論理回路が一片のシリコン上に集積できるようになった。システムオンシリコンがデバイスの実力から現実のものとなった今、論理LSIの開発労力をどのように削減するかが大きな命題である。その有力な候補が、再利用可能なIP(Intellectual Property:回路ブロック)の活用と、システムLSI時代に適合した新開発手法の整備である。

VSI(Virtual Socket Interface)アライアンスは、このような背景を基に、ワールドワイドなIPの再利用、流通のベースとなるインターフェースやデータ形式の技術標準を確立することを目的に設立されたものである。当社は設立に参画し、現在も活動に積極的に参加している。さらに当社では、これらと平行してVSIで規定される標準案をベースとした、システムLSI時代の開発インフラの構築を進めている。

今後、ASIC(用途特定IC)からシステムLSIへの変遷に応じて、大規模かつ多数のIPの混在をベースとしたVLSI(Very Large Scale Integration)設計のための新たなインフラの整備が必要である。

The progress in silicon device technologies has made it possible to integrate millions of logic gates on a single chip. Now that the "system on a chip" has become a reality, the next question we are facing is how to leverage the design productivity. The most viable solution expected in the industry is the reuse of intellectual property (IP); namely, cores and new design methodologies for system on a chip.

With these needs of the industry as a background, the virtual socket interface (VSI) alliance was established in September 1996 with the mission of standardizing an interface and its format for IP reuse, as well as the mixing and matching of IPs from various sources.

Toshiba contributed to the establishment of the VSI alliance and has been enthusiastically involved in its activities. Toshiba is also creating infrastructure based on the VSI standard that is required for future VLSI designs utilizing many varieties of large-scale IP cores, in response to the trend toward a transition from conventional ASICs to system LSIs.

1 まえがき

半導体デバイスの微細化技術の進展は、まだまだ続く。2000年には、2Mゲートの論理回路と64Mビットのメモリが、10mm角のシリコン上に同時集積可能となる。

ところが、この大規模なハードウェアを、どうやって短期間に許容範囲のリソース(人、時間、設備などの資源)で開発するかという部分に大きな問題が残る。これだけの規模になると、LSIのすべての部分を新設計を前提に開発することは得策ではない。

すでに開発され、動作が保証されているIPをいかに有効活用するかが、この問題を解決する一つの大きなキーとなる。

図1はこの開発手法のパラダイムシフトを示したものであるが、IPの再利用こそが大規模ハードウェア短期開発の鍵を握っている。IPの再利用といった場合に、同一開発チーム内部という狭い領域だけでなく、ワールドワイドなIPの再利用体制の構築が望まれる。

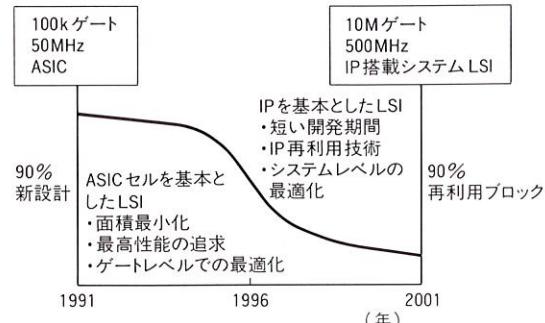


図1. 規模の増大と設計手法の変革 規模の増大を考えると、すべてを新設計していた手法は通用せず、すでに開発したIP再利用を前提とした手法が一般的になる。

Trend in circuit scale and design method revolution

2 VSI アライアンス

「IPコアを世界規模で流通させ、システムLSI関連産業を発展させる」という主旨に賛同した主要企業が集まり、96年9月にVSIアライアンスが発足した。VSIアライアン

スでは IP コアの会社間での流通を促進するために“IP コア受け渡しデータの標準化”を推進し、実際の設計現場で他人が設計した IP コアを再利用する際に妨げとなっている次のような問題を解決しようとしている。

- (1) IP 流通時に必要なデータの定義がされていない
- (2) タイミング設計に注意を要する部分の指定が不特定
- (3) IP コアごとに異なるテスト手法の規定がない
- (4) IP コアの必要ドキュメントに規定がない
- (5) 各種技術データフォーマットがばらばらで変換に多大の労力が必要

これらの問題を解決することによって、ボード上のソケットに種々の LSI を差し込んでシステムを開発するのと同様に、LSI 上の仮想的ソケット（すなわち VSI 標準）に社内外で開発された（VSI 準拠の）IP コアを搭載してシステム LSI が作られる“mixed & match 環境”が実現する。VSI は実際には物理的なソケットではなく、IP に必要な各種データの標準化のことを指しているが、イメージとしてわかりやすいために、ソケットとしてとらえている。

現在 VSI アライアンスには、システム機器ベンダ、半導体ベンダ、IP ベンダ、EDA (Electrical Design Automation) ベンダなど 150 社以上の企業が加盟しており、当社を含めた 11 社の幹事会社で構成される全体組織運営のための SWG (Steering Working Group) と、いくつかのクリティカルな問題に焦点をあて、詳細に議論をする技術分科会 DWG (Development Working Group) を中心に活動を進めている。表 1 に現在の DWG の内容とその討議内容を示す。

DWG 活動の最新状況は以下の Web で参照できる。

表 1. DWG の設定と検討内容

Development working groups and their areas of study

技術分科会	活動状況
IP プロテクション DWG	IP コアの知的財産を保護するためのメカニズム（暗号化技術、会社間での受渡し方法など）について、ガイドラインを作成していく。現在は、解決すべき問題点を抽出し、今後の進めかたを論議している段階。
オンチップバス DWG	チップ上に搭載される IP コア間のコミュニケーションとなるバスの標準化作業を進めている。当初は、MPU、メモリなどを接続する“高速ローカルバス”，周辺のシリアル・パラレルポートなどを接続する“低速ペリフェラルバス”，バス構造が異なる IP コアどうしを接続するための“バスブリッジ回路”に焦点を当てて論議していく。
インプリメンテーション・ペリフェーリケーション DWG	ハードウェア設計・検証に必要なデータ表現の標準を定義するこの DWG は活発に活動しており、すでに初期バージョンのドキュメントができあがっている。
マニュファクチャリング・テスト DWG	システム LSI 全体のテストを可能とするためのテスト手法のガイドライン、テスト情報の受渡しモデルなどの検討が進んでいる。これまでのミーティングで DWG の方針が確認され、解決すべき問題点が明らかになった。
ミックスシグナル DWG	製造プロセスに依存するハードコアをシステム LSI に搭載し、検証・テストするための標準および設計ガイドラインを策定するという方針のもとに活動が活発に行われており、すでに VSI ドキュメントへの追加記述が提案されている。
システムレベルデザイン DWG	IP コアのシステムレベルでのモデル化手法、特にシステムレベル記述の標準化を中心に検討が進められている。

VSI ホームページ：<http://www.vsi.org>
日本サイト：<http://www.vsi.co.jp>

3 VSI 標準の内容

VSI 標準とは、VSI で議論されている IP の標準化に関する技術的な成果を、ドキュメント化したものであるが、97 年 3 月に version 1.0 が公開された。内容は IP コアの受渡しに必要となるデータの項目および推奨フォーマット、IP コア設計ガイドラインなどで構成されている。表 2 に示すように、IP のデータ項目が六つの分野（ユーザガイド、システム構造、システムデザイン、ロジックデザイン、テスト、レイアウト設計）に大別され、それぞれのデータについて内容説明、推奨フォーマット、必要性（必須（す）／条件付必須／推奨など）が規定されている。

表 2. VSI 標準（第 1 版）で規定されている IP データの範囲と内容
IP data items and their contents specified in VSI Standard V1.0

ユーザガイド	IP 仕様 バージョン情報 アプリケーションノート システム記述 レジスト記述 タイミングダイアグラム クロック配分 バスインターフェース I/O 定義 テスト記述	ロジックデザイン テスト要件	合成可能 RTL 合成制約条件 フロアプラン タイミング条件 基本遅延モデル 周辺 I/O 接続モデル
	テスト方法 テストパターン デザインガイドライン テスト容易化設計		
システム構造	システム評価モデル オンチップバス構造		ブロック記述 ピン情報（含：配置） 配線禁止領域
システムデザイン	検証用テストデータ 動作モデル バス機能モデル プロトタイプ	レイアウト設計	フットプリント 電源、グランド 電源供給モデル

前述した六つの DWG が、これを基にさらなる審議をしており、VSI ドキュメントの拡充を進めている。具体的には、①現バージョンで“未定”となっている部分につき推奨フォーマットを定めること、②IP コアの設計推奨方法を提示すること、③扱う分野を広げドキュメントを作成すること、などが目標となっている。

今後は、これら DWG の成果が VSI ドキュメントに反映され、「より技術レベルの高いもの、より広い範囲をカバーするもの、より具体的なもの」に成長していくことが期待できる。

4 VSI を意識したシステム LSI の開発例

VSI アライアンスにおいて、IP に関する技術標準を審議する過程と平行して、実際のシステム LSI 開発を VSI 標準を意識しつつ開発した。図 2 は、今回開発した LSI を搭載

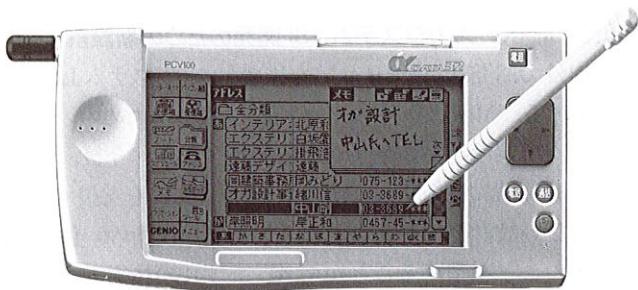


図2. GENIO_{TM}の外観 97年4月に発表したもので、PHS、E-MAIL、インターネット、PIMの機能をもつ超小型複合携帯端末を示す。

External view of GENIO_{TM}

したGENIO_{TM}の外観である。GENIO_{TM}は、PHS、E-MAIL、Internet、PIM(Personal Information Manager)の機能をもつ複合機能携帯端末で、この端末用に小型化と低消費電力性能の追求を目的に、RISC-MPUを内蔵させた専用LSIを短期間に開発する必要が生じた。

図3に、今回開発されたシステムLSIのチップ写真とそこに集積された機能ブロックを示す。今回の開発では、短期開発と開発の確実性を考慮して、既開発のIPブロックを極力再利用し、そこにGENIO_{TM}に必要な新規開発論理回路を組み込む形で開発を進めた。

このLSIに集積されたIPは、RISC-MPU(TX39)、UART(Universal Asynchronous Receiver and Transmitter)、RTC(Real Time Clock)、CG(Clock Generator)であるが、MPU部分とCGの一部のみがハードウェアIPで、それ以外についてはシステム論理回路部分を含めてソフトウェアIPになっている。デバイス形態としては、ハードウェアIP以外の部分がゲートアレー構造になっているEmbedded-Array構造を採用した。このLSIの技術的特徴を次に示す。

(1) 低消費電力性能を追求し、MPU部分とそれ以外の部

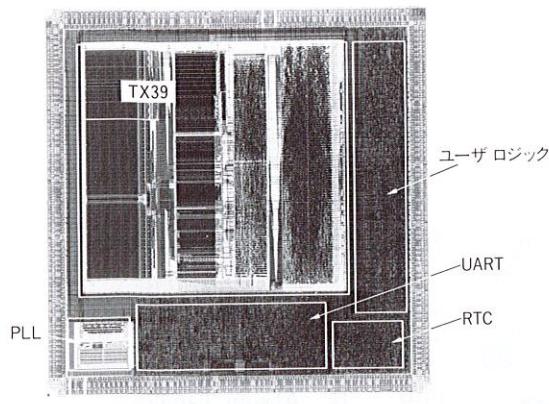
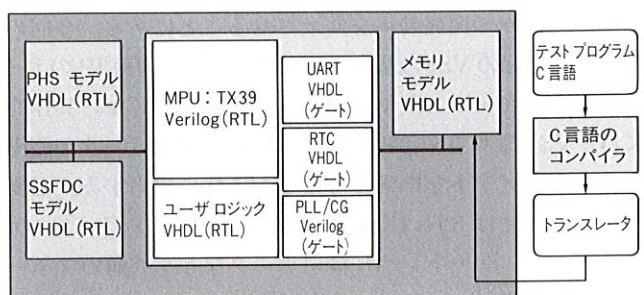


図3. GENIO_{TM}向けカスタムLSIのチップ概要 MPU(R3900)およびクロック発生器(PLL)は、ハードウェアIP、その他はソフトウェアIPで構成している。

Chip photograph of custom LSI for GENIO_{TM}



VHDL : VHSIC Hardware Design Language
SSFDC : Solid State Floppy Disk Card

図4. システム全体のシミュレーション環境 開発ターゲットのシステムLSIだけでなく、周辺ハードウェアも含んだ全体での動作検証が可能となった。

Simulation environment for GENIO_{TM} system

分で異なる電源電圧を使用(MPU 2.4 V, その他 3.3 V)

- (2) 多種多様な形態のIPの同時集積
- (3) 開発期間を重視して開発のインフラとユーザインターフェースはASICの環境をベースとした。

LSIの仕様検討に96年4月から着手し、最初のサンプルは96年12月に完成、ほぼ完全に動作した。サンプルの完成度が高かった理由は、次のような技術開発手法を採用したためである(図4)。

- (1) 開発対象のLSIを含むシステム全体のシミュレーション環境を構築して、事前検証を実施した。
 - (2) システムLSI部分をLSIを開発する前にFPGA(Field Programmable Gate Array)にマッピングして、これをベースとした試作機(Virtual Prototype)を作成し、アプリケーションソフトウェアを含めたりアルタイムデバッグ環境を構築した。
 - (3) MPUを含むすべてのIPについて、遅延情報を含む正確なシミュレーションモデルを事前準備し、ASIC環境での“サインオフ”^(注1)を前提とした。
- (1)の手法で大まかなハードウェアの基本機能のデバッkingを実施した。この手法では処理規模から考えて難しいリアルタイムでの動作やソフトウェア部分との関連部分を、(2)に相当する試作機でデバッkingした。すなわち(1)と(2)の手法を相互補完させることで完全なシステム検証環境を構築したといえる。一方、(3)については論理設計と遅延設計の妥当性を確認する部分であるが、コンピュータ上のシミュレーションで動作が確認されれば、必ず実デバイスも動作するという確約が得られるという点で、サインオフの概念とそれを可能にするモデルの準備を重要視した。

以上は開発全体の概要であるが、次にVSI標準との関連について述べる。VSIの基本思想はIPデータの整備と標準を策定し、それをベースにすることでIPの再利用と流通を

(注1) サインオフ：顧客側での設計最終確認。

可能にし、かつ開発効率を向上させることにある。今回の開発では上記の VSI の基本思想に基づいて、内蔵 IP のデータ整備とドキュメント準備という部分に注力した。具体的には、VSI 標準で規定されている各 IP の必要データの整備と、ドキュメントを準備したことがこれに相当する。必要なデータ、例えば RTL (Register Transfer Level) データ、テストデータ、ゲートレベル構造データなどを共通のフォーマットで準備したこと、前述の全体シミュレーション環境の構築が可能となった。また、整備されていなかった IP のドキュメントの準備を実施したことで不明点が解消され、結果的に設計ミスの発生を削減することができた。

5 当社の取組み

前述のように、多数の IP を内蔵するシステム LSI が論理 LSI の分野において、今後の開発の中心になることは疑いの余地がない。このことは 80 年代前半に起きた汎(はん)用ロジック LSI から ASIC への変遷にも匹敵する開発技術上のパラダイムシフトとして捉える必要がある。当社では、このようなシステム LSI 時代に対応するため、新しい LSI 開発インフラの整備を進めている。現在の論理 LSI 開発インフラをベースにして、新しいインフラとしては特に次の二点が整備の柱となる。

- (1) IP ラインアップの拡充
- (2) IP ベースのシステム LSI 開発のための新設計技術

5.1 IP ラインアップの拡充

システム LSI 時代を迎えて、必要な IP をすべて自社開発することは到底不可能である。各分野に必要な IP を事前に予測しそれらを事前整備することになるが、流通 IP と自主開発 IP を合わせることにより、顧客から見て理想的な IP 選択環境を構築することを目的とする。IP のカテゴリは表 3 のように分けて考えているが、自主開発すべき部分と流通 IP を主に考えるべき部分を明確にすることが得策である。

表 3. IP のカテゴリズ
IP categories

カテゴリ名
MPU
MPU 周辺
メモリ (DRAM, SRAM, ROM, フラッシュ)
バス インタフェース
プロトコル コントロール
マルチメディア
LAN/コミュニケーション
アナログ

(注 2) Rapid Prototyping プラットホーム：半導体を製造せずに、コンピュータ上で仮想的なプロトタイプで行う設計の検証。

5.2 IP ベースのシステム LSI 開発のための新設計技術

社内外で開発された IP コアを搭載して、システム LSI を作り上げる “Mixed & Match” 環境を実現するための、新たな設計支援環境を構築することも重要である。今後、システム LSI 時代には、IP の改変/VSI 化/統合を支援するための新しい設計技術が必要となる。必要な技術の一例として、次のことを挙げることができ、いずれの技術も今後のシステム LSI の開発効率向上には欠かせない要素である。

- (1) 各種パラメータ指定による IP コア自動生成技術
- (2) ターゲット IP を異なるバス仕様に対応させるためのバスブリッジ部分の自動生成技術
- (3) OS, ドライバソフトウェアなどのソフトウェア IP と、ハードウェア IP をシステムレベルで同時に検証する Rapid Prototyping プラットホーム^(注2)
- (4) 多数の IP を含む LSI の自動配置、サイズ/タイミング/パワー見積機能をもった RTL フロアプラン
- (5) 過去に開発された異なる IP を再利用する際に問題になる、タイミング仕様違反の解消を自動化する技術
- (6) 内蔵 IP の推奨テスト手段と全体チップのテスト手法を統合して、テスト回路を自動生成する技術
- (7) アナログ・デジタル混在システムのシミュレーションやテストの技術

6 あとがき

デバイス性能の向上と、それを利用するシステム LSI 設計インフラとのギャップが広がりつつある。この問題に対する有効な方法は、再利用可能な IP の流通環境と、IP を多用したシステム LSI の設計・検証環境の整備である。

当社は、このようなインフラ基盤となる技術標準化を推進する VSI アライアンスの活動に積極的に参画し、かつ、これに対応した具体的な設計インフラの整備を進める。これにより、デバイス性能を最大限、かつ、短い開発期間で活用することのできる環境を構築していく所存である。

文 献

- (1) VSI-Alliance Architecture Document (version 1.0)

吉森 崇 Takashi Yoshimori

IC センター COS 開発部グループ長。
産業用カスタム LSI の開発に従事。
IC Center



田中 厚 Atsushi Tanaka

半導体設計・評価技術センター主務。
論理 LSI の EDA 開発に従事。
Semiconductor DA & Test Engineering Center