大容量・低消費電力不揮発性メモリ混載CMOSロジックLSI技術

CMOS Logic LSI Technologies with Embedded High-Capacity and Low-Power-Consumption Nonvolatile Memory

竹渕 政孝 M. Takebuchi　丸山 正 T. Maruyama　川村 靖明 Y. Kawamura

不揮発性メモリ混載CMOSロジックLSIは，情報機器や車載機器をはじめ幅広い分野に利用されている。最近では，急速な需要拡大が見込まれる携帯機器やICカードから，大容量化，低消費電力化，セキュリティ強化の要求がある。

当社は，これらの要求に対応するために，従来から注力してきた低電圧・低消費電力技術をベースに，接触／非接触カード対応のEEPROM（Electrically Erasable and Programable ROM）コアと大容量対応のフラッシュメモリコアを開発した。EEPROMは，微細化と書込み時のリーク電流低減化を同時に実現した。フラッシュメモリは，最新の微細化技術を取り込み，セルの縮小を図った。セキュリティ強化の要求対応として，温度・周波数・電源検知回路をはじめとする不正チェック機能を一段と強化させ，標準搭載を始めている。

CMOS logic LSIs with embedded nonvolatile memories are widely used in information, mobile and automotive devices. Recently, demand has grown for portable telephones and IC cards having high capacity, low power consumption, and high security.

We have developed EEPROM and flash memory cores based on low-voltage-operation and low-power-consumption technologies. Both miniaturization and leakage current reduction during write operations have been simultaneously achieved for the EEPROM. For the flash memory, cell size has been reduced using new scaling technologies. To reinforce security, we are starting to apply LSIs with tamper-checking systems such as detection circuits for temperature, frequency, and power supply.

1 まえがき

不揮発性メモリ混載CMOSロジックLSIは，OTP（One Time Programable read only memory），EEPROM，フラッシュメモリなどの不揮発性メモリとマイクロプロセッサやASIC（用途特定IC）などのCMOSロジックを，同一チップ上に集積したものであるが，最近，携帯機器やICカード分野から，大容量化，低消費電力化，セキュリティ強化などの要求がある。

ここでは，当社が行っているEEPROMおよびフラッシュメモリ混載のCMOSロジック技術に関する上記要求への対応状況と，セキュリティシステムへの取組みについて述べる。

EEPROMは，当社がEPROM混載CMOSロジックLSIの開発[1]を始めて以来注力してきた低電圧・低消費電力化技術[2],[3]をベースに，セルの微細化と書込み時のバンド間トンネル電流の低減を同時に達成したコア技術[4],[5]について，またフラッシュメモリは，大容量メモリの要求に対して，最新の微細化技術を取り込み，セルの縮小化を図った高集積メモリコア技術について述べる。

セキュリティに関しては，高度化していく不揮発性メモリ部データの不正使用（Tamper）に対するセキュリティシステム機能への当社の取組みを紹介する。

2 低消費電力EEPROMコア技術

開発のモチーフを接触／非接触型ICカード用EEPROMとした。特に，非接触型カードの場合，駆動電源は電波で受けた信号を整流して作成するため，電流容量が小さく，必然的にLSIの消費電流を極力小さくする必要がある。すなわち，通信距離が長くなるほど整流出力が低下するのでLSIの消費電流に制限が生ずる。

以下に，低消費電力化セルの達成手段とその検証結果を述べる。

2.1 セル技術

図1にEEPROMセルの平面と断面を示す。1バイトごとに消去ができるように，データの蓄積を行うメモリトランジスタとそのメモリトランジスタを選択するためのセレクトトランジスタが直列接続され，2トランジスタで一つのセルを構成している。

メモリトランジスタは，半導体基板から酸化膜を介して存在する第一の導電膜（浮遊ゲート電極）と，さらに層間膜を介した第二の導電膜（制御ゲート電極）で構成される二層ポリシリコン構造である。浮遊ゲート電極は電子の蓄積場所であり，制御ゲート電極は消去・書込み・読出し動作時に各電圧を与える所である。浮遊ゲート電極に電子が蓄積されている状態を“1”，そうでない状態を“0”として，記

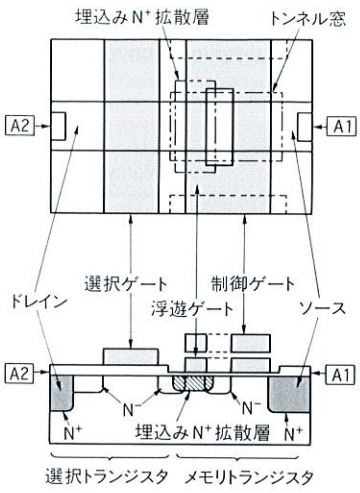

図1．EEPROMセルの平面および断面　2トランジスタでセルを構成する。二層ポリシリコン構造のメモリトランジスタの素子能動領域に穴を開口し，電荷授受領域とトランジスタ領域として分離している。

Plane view and cross section of EEPROM cell

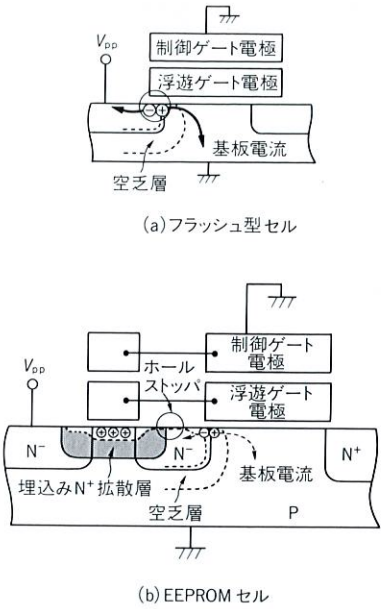

図2．バンド間トンネル電流の低減化モデル　EEPROMセルのバンド間トンネルによる基板電流は，埋込み拡散層濃度の最適化とホールストッパによるポテンシャル井戸でほとんど流れない。

Comparison of band-to-band tunnel current induced I_{sub} for (a) flash memory and (b) EEPROM

憶情報としている。

消去とは，制御ゲート電極に高電圧を掛け，電子を基板から浮遊ゲート電極にFN（Fowler-Nordheim）トンネル注入を行う動作であり，書込みはセレクトトランジスタのドレインに高電圧を掛けることでメモリトランジスタの埋込みN⁺拡散層にこの電位を伝え，電子を浮遊ゲート電極からこの拡散層にFNトンネル引抜きを行う動作である。

このセルの最大の特長は，メモリトランジスタの素子能動領域上に存在する穴である。この二層ポリシリコンゲート領域に開口した穴は，メモリトランジスタを電子引抜き領域とチャネル領域に分離する役目をもっている。チャネル領域が電子引抜き領域から独立したことで，チャネル領域にトンネル膜以外の厚い酸化膜が不要になったため，メモリトランジスタのゲートは全面が薄い酸化膜で構成できるようになった。この構造を用いることで，トランジスタの駆動力の向上やチャネル長の縮小化が可能となり，従来のセルと比較して同一デザインルールで約20％の縮小化が実現できた。

しかし，一方で，全面に薄い酸化膜を形成した場合に注意すべきことは，書込み時のバンド間トンネリング電流の増大である。以降にその低減化対策のモデルと検証結果を述べる。

2.2　バンド間トンネル電流の低減化モデル

図2は，浮遊ゲートから拡散層基板に電子を引き抜く際に流れるトンネル電流のようすを模式的に示したものである。薄い酸化膜をもった二層ポリシリコン構造（フラッシュ型）セル(a)とEEPROMセル（メモリトランジスタ部）(b)とのモデル比較を示す。

フラッシュ型の場合，基板表面領域での空乏層幅が極度に薄くなり，電子が価電子帯から伝導帯にトンネルできるようになる。このとき価電子帯にホールを残し，これがバンド間電流として大量に基板中へ流出（矢印）する。

一方，EEPROMセルの場合はバンド間電流を最小限に抑えるために，次の二つの構造的対策を行っている。まずは，バンド間トンネル電流の生成確率を少なくするために行った埋込みN⁺拡散層濃度の最適化である。それでも生成したホールに対しては，これを基板に流さないようにするために，空乏層によるポテンシャル井戸を作った。ホールは，ホールストッパによって終端された空乏層のポテンシャル井戸内に留まり，基板への流出が大幅に低減される。

2.3　バンド間電流低減化モデルの検証

図3に電子引抜き時における，FNトンネル電流とバンド間トンネル電流（基板電流）に関するフラッシュ型セル(a)とEEPROMセル(b)の実測結果を示す。測定に使用したデバイスは浮遊ゲート電極に外部端子を設けて電圧が印可できる構造を用いた。横軸は拡散層に印可した電圧，縦軸はFNトンネル電流（I_{fg}）と基板電流（I_{sub}）である。図中のパラメータは浮遊ゲート電位（V_{fg}）である。電子引抜き時に必要なのは，I_{fg}である。したがって，I_{fg}とI_{sub}の関係は，同等であるほど無駄な電力消費がないことを意味する。

そのような観点からみると，フラッシュ型の場合の基板電流は，同じ拡散層電圧V_d上で，FNトンネル電流の100倍以上（図中矢印）も流れることがわかる。これに対して，

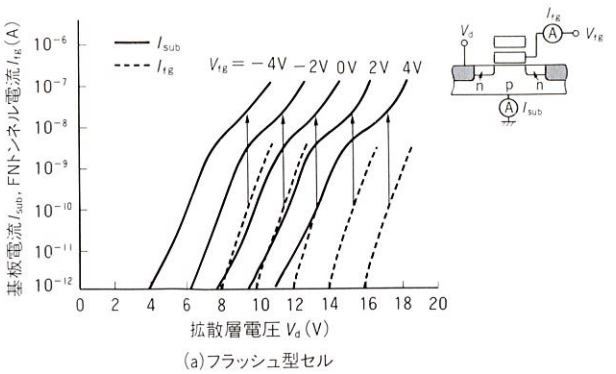

図3．拡散層電圧に対するFN電流 I_{fg} と基板電流 I_{sub} の関係　フラッシュ型の I_{sub} は I_{fg} の100倍以上流れる。一方，EEPROMでは，両者同等である。

Comparison of I_{sub} and I_{fg} as function of V_d for flash memory and EEPROM cells

EEPROMの場合は，両者ほぼ同等である。この結果から，EEPROMはフラッシュ型に対して極端に電力消費が少なく，高い電子引抜き効率をもっていることが証明された。

2.4　LSIレベルでの検証

前述のEEPROMを用いてLSIレベルの試作と検証を行った。図4にチップを示す。接触／非接触カード用に開発した8kバイトのEEPROMコアである。0.6 μm ツインーウエル，二層メタル・二層ポリシリコン構造のEEPROM混載CMOSロジックプロセスを用いた。

このEEPROMコアの書込み時の消費電流は，電源電圧5.5 V時に500 μA以下を実現した。電源電圧は，1.8～5.5 Vの範囲で動作可能である。

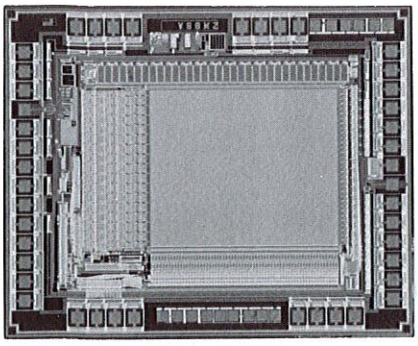

図4．EEPROMコアチップ　8kバイトEEPROMコアである。レギュレータ回路の搭載により，書込み時の消費電流は，5.5 V時でも500 μA以下である。

Top view of EEPROM LSI core

3　大容量フラッシュメモリ コア技術

ここでは，大容量不揮発性メモリの要求に対応して開発したフラッシュメモリ混載CMOSロジックLSIについて述べる。128kバイト以上の大容量不揮発性メモリを実現するには，前述のEEPROMでは面積的に対応が困難であるため，大容量用途に適した不揮発性メモリが必要になる。当社はこの要求に対しフラッシュメモリを選択した。

以下にその微細セル技術とフラッシュメモリを搭載したマイクロ コントローラ（TMP95FW86）の概要を紹介する。

3.1　セルの微細化技術

セルは二層ポリシリコン構造の1トランジスタで構成しており，セルサイズが小さく大容量に適している。

書込みは，基板から浮遊ゲート電極へのチャネルホットエレクトロン注入，消去は浮遊ゲートからソース拡散層へのFNトンネルによって引抜きを行う。フラッシュメモリの場合，書込みとは電子を注入する動作，消去とは電子を引き抜く動作と定義する。EEPROMとは逆である。

セルの微細化技術として，ソース拡散層を二層ポリシリコン ゲートと自己整合で形成する技術を取り入れた。また，ドレイン拡散層プロファイルの最適化により高速書込みを実現している。

3.2　LSIへの適用

図5に，128kバイトフラッシュメモリコアを搭載したマイクロ コントローラ（TMP95FW86）を示す。

16ビットのCPU（TLCS$_{TM}$900H），4kバイトRAM，2k

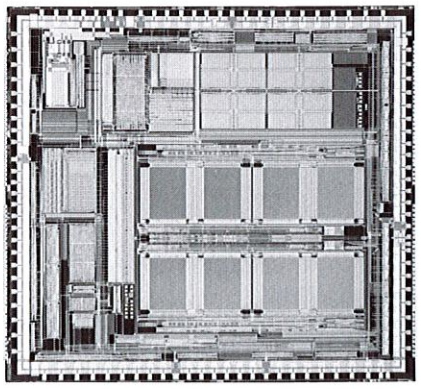

図5．フラッシュメモリ混載マイクロコントローラLSIチップ　128kバイトフラッシュメモリを搭載した16ビットマイクロコントローラ（TMP95FW86）である。

Top view of 16-bit microcontroller with flash memory

バイトブート ROM を搭載する。

周辺機能としては，10 ビット A-D コンバータ，タイマ，PWM（パルス幅変調），汎(はん)用シリアル インタフェース，JTAG (Joint Test Action Group) 回路を内蔵している。

電源電圧 5 V 時の最高動作周波数は 20 MHz である。

4 不揮発性メモリのセキュリティ システム

不揮発性メモリが金融カードに使用され始めたことで，このメモリデータの不正使用に対するセキュリティ機能の搭載・強化が重要な開発アイテムになってきている。

以下に，当社のセキュリティに対する取組みについて述べる。

4.1 プロテクト ビット

書き込まれたページにフラグを立てる機能をもつ。フラグを立てることで，再書込みを防止できる。すでに IC カードに搭載されている。

4.2 各種検知回路（電圧・周波数・温度）

不揮発性メモリ内容の不正な解読・書換えを，電圧，周波数，温度を変化させて行おうとする場合，これらおのおのの検知回路が作動して瞬時に動作を止める機能である。電源検知回路はすでに IC カード用 LSI に搭載しており，周波数・温度検知回路も開発中で，順次搭載していく。

4.3 セキュリティ ビット

外部から不揮発性メモリの内容を直接アクセスできないように，読出し動作を禁止できる機能である。前述のフラッシュメモリ混載マイクロ コントローラに搭載している。

5 あとがき

不揮発性メモリ混載 LSI 技術に関して，最新の開発状況を紹介した。今後は，さらにシステム オン シリコンを意識した，高速・多機能化に注力したコアの開発を行っていく。

文 献

(1) T. Maruyama, et al : IEEE Custom Integrated Circuits Conf., pp.4.1.1-4.1.4 (1988)

(2) M. Takebuchi, et al : IEEE Custom Integrated Circuits Conf., pp.9.6.1-9.6.4 (1992)

(3) T. Fujimoto, et al : IEEE 13th Non-Volatile Semiconductor Memory Workshop, Monterey (1993)

(4) J. Noda, et al : IEEE 14th Non-Volatile Semiconductor Memory Workshop, Monterey (1994)

(5) M. Takebuchi, et al : Jpn. J. Appl. Phys. **35**, pp.797-801 (1996)

竹渕 政孝 Masataka Takebuchi

マイクロプロセッサ・ASIC 事業部 マイクロプロセッサ製品技術部主務。OTP，EEPROM，フラッシュなどの不揮発性メモリ混載 CMOS プロセスおよび微細 CMOS プロセスの開発に従事。応用物理学会会員。

Micro & Custom LSI Div.

丸山 正 Tadashi Maruyama

システム LSI 事業部 LSI 技術第三部グループマネージャー。低電圧・低消費電力 EEPROM 混載 CMOS LSI および液晶ドライバ用 LSI の開発に従事。

System LSI Div.

川村 靖明 Yasuaki Kawamura

マイクロプロセッサ・ASIC 事業部 マイクロプロセッサ設計技術部主査。

マイクロコントローラの開発に従事。

Micro & Custom LSI Div.