

ロジック混載 DRAM コア技術

Embedded DRAM Macro for ASIC

宮野 信治
S. Miyano

大容量 DRAM とロジック LSI を、ワンチップに混載する技術が注目を集めている。DRAM とロジックを混載することによって、別々のチップ構成では達成できないロジックと DRAM 間の高速データ転送や低消費電力化が可能となる。当社ではこの技術を用いて、世界に先駆けて DRAM コアを混載した ASIC (用途特定 IC) の dRAMASIC_{TM}を開発した。dRAMASIC_{TM}のための DRAM コアは、混載化の利点を最大限に生かせるように、超多ビットの出力が可能で、メモリ容量やレイアウト構成を可変(再構成性)できる特長をもつている。

Merged DRAM and logic LSIs have been attracting attention as a vehicle for system-on-a-chip. A merged DRAM and logic LSI has several advantages, such as high bandwidth and low power consumption, which are difficult to achieve with a discrete system.

We have developed a new approach called dRAMASIC_{TM}, in which a DRAM core can be embedded on an ASIC. The DRAM core developed for the dRAMASIC_{TM} has outstanding features including a very wide bus width and reconfigurability, memory generator support, and special circuitry to facilitate the DRAM core test, making it a key technology for expanding dRAMASIC_{TM} applications.

1 まえがき

半導体技術の進歩とともに LSI の集積規模が増大し、従来、複数の LSI を使って実現されていたシステムが、一つのチップで実現できるようになってきた。近年、ロジック LSI と大容量 DRAM を同一チップ上に集積した、ロジック混載 DRAM 技術が注目を浴びている。大容量 DRAM とロジック LSI を混載するワンチップ化によって、次のような利点が得られる。

- (1) DRAM とロジック LSI を結ぶ信号線(バス)の負荷が、インターフェース回路をもつ別チップ構成に比べ非常に小さくなるので、DRAM ロジック間のデータ転送を高速化できる。
- (2) DRAM ロジック間のバス幅を容易に増やすことができるため、広いバス幅で DRAM とロジックの間を接続することが可能である。そのため、数 G バイト/s といった別チップ構成のシステムでは実現できないような、高いデータ転送レートを容易に実現できる。
- (3) バスの負荷が小さく、特殊な高速インターフェースが不要なため消費電力を削減できる。
- (4) 携帯機器などで切実な問題になっている、基板上の実装面積を削減できる。

現在、画像、通信分野を中心にワンチップ化したロジック・DRAM 混載 LSI が急激に浸透し始めている。このようなニーズにこたえるために、当社では世界に先駆けて DRAM コアを搭載した ASIC である dRAMASIC_{TM}の開発、量産化

を行った。

ここでは、dRAMASIC_{TM}に搭載される DRAM コア技術について述べる。

2 dRAMASIC_{TM}用 DRAM コアの特長

汎用 DRAM をそのまま ASIC 上にコアとして載せただけでは、前述のロジックと DRAM を混載しワンチップ化する利点を生かすことはできない。dRAMASIC_{TM}用 DRAM コアは、汎用 DRAM とは次の 2 点で大きな違いがあり、特長的な構造をもっている。

2.1 超多ビット

前述のように、DRAM とロジック LSI をワンチップ化するときの最大の利点は、DRAM とロジックの間を容易に広いデータバス幅で結べることである。この利点を生かすために、通常の汎用 DRAM のデータバス幅が 16 ないしは 32 ビット程度なのに対して、dRAMASIC_{TM}用の DRAM コアでは、128 ビット以上の広いデータバス幅をサポートしている。128 ビットのビット幅が 100 MHz で動作すると 1.6 G バイト/s のデータ転送レートが実現できる。

2.2 再構成性 (Reconfigurability)

汎用 DRAM と違い、dRAMASIC_{TM}の DRAM コアでは製品ごとに効率の良いメモリ容量や構成が異なる。そのような多様な要求にこたえ、かつ ASIC で要求される短い開発期間を満たすために、メモリ容量、構成が非常に短い期間で容易に組み替えられる DRAM コアであることが必要である。

この二つの特性を満たすために DRAM コアは構造上、レイアウト上の形状が異なってくる。このほかにも、コアとして ASIC 環境での使い勝手を良くするためのさまざまなくうが施されている。

また、一般的なロジック混載 DRAM の問題として、DRAM プロセスとロジック プロセスの整合性という問題がある。当社の DRAM コアはメモリ セルとして、トレンチ型のセルを採用している。トレンチ型のセルはスタック型のメモリ セルに比べて、①平坦(たん)性にすぐれている。②トランジスタ形成後に、スタック キャバシタを生成するための高温工程がないため、トランジスタのパフォーマンスを向上させやすいという利点をもっている。ロジック プロセスとの整合性が高く、ワンチップ化したロジック・DRAM 混載 LSI に適したメモリ セル構造である。

ここでは、当社の dRAMASIC_{TM} の最初の製品である Texture RAM を例にとってコア技術としての DRAM コアの特長について述べ、次に今後の dRAMASIC_{TM} の DRAM コア技術の展開について述べる。

3 | Texture RAM (TRAM)

TRAM はシリコン グラフィックス社のワークステーション向けに開発されたグラフィックスチップセットの中の一つの ASIC で、三次元グラフィックス処理を高速化するのに用いられている⁽¹⁾。

この ASIC のチップ写真を図 1 に示す。搭載されている DRAM コアの容量は 8 M ビットで、チップの中央に配置さ

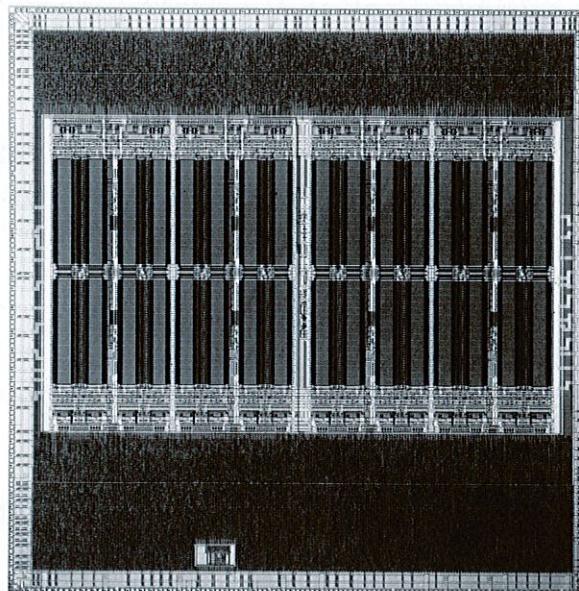


図 1. TRAM チップ中央部が 8 M ビットの DRAM コアを示す。
Chip micrograph of texture RAM (TRAM)

れている。DRAM コアを挟んで、上下にゲート アレイで構成されたランダム ロジックが置かれている。搭載されている DRAM コアの特性の概要を表 1 に示す。最高動作周波数は 100 MHz であり、128 ビットのデータ出力バスをもつていて、最大データ転送レートは 1.6 G バイト/s に達する。これは、別チップ構成の DRAM で最大のデータ転送レートを実現している、Rambus^(注1) DRAM (RDRAM^(注2)) の 2 倍以上の性能を実現している。

DRAM コアの消費電力は、100 MHz 動作時に 2.2 W である。図 2 に種々のメモリのデータ転送レートと、データ転

表 1. TRAM の DRAM コアの諸特性
Characteristics of DRAM core of TRAM

項目	特 性
メモリ容量	2 M~8 M ビット (2 M ビット刻み)
ビット幅	32 ビット、64 ビット、96 ビット、128 ビット
バンク数	1, 2, 3, 4
インターフェース	シンクロナス インタフェース
最大動作周波数	100 MHz
電源電圧	3.3 V
消費電力	2.2 W (8 M ビット、100 MHz 動作時)
プロセスルール	0.5 μm CMOS 2 層アルミ

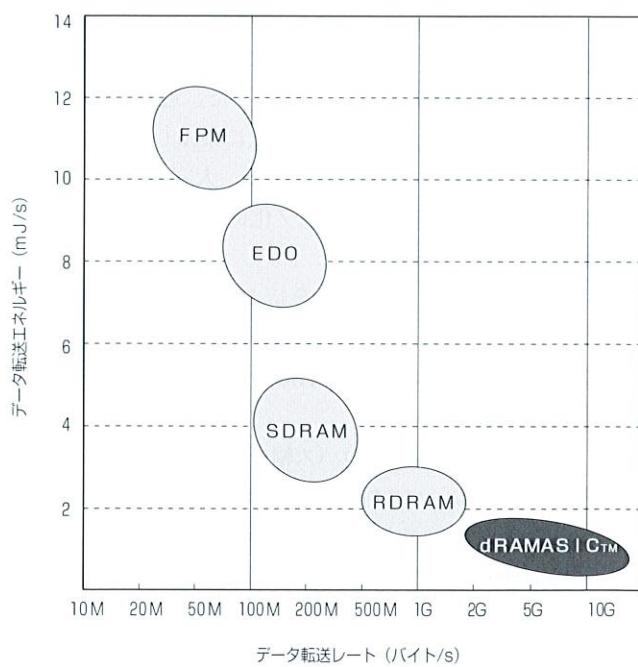


図 2. データ転送エネルギーの比較 各種 DRAM のデータ転送レートと、データ転送レート 1 M バイト/s 当たりの転送エネルギーを示している。dRAMASIC_{TM} は、バスの負荷が軽いのでデータ転送効率が高い。

Comparison of data transfer energy

(注 1), (注 2) Rambus, RDRAM は、Rambus 社の商標。

送レート当たりの消費エネルギーを示す。DRAM とロジックをワンチップ化することによって、低消費電力化に大きな効果を発揮することがわかる。

また、この DRAM コアは 2 M ビットごとに電気的にも、物理的にも独立した構成になっており、必要に応じて 2 M ビットから 8 M ビットの容量まで、2 M ビット刻みで容量を容易に再構成することができる。この特長により、同一のコアをメモリ容量の要求の異なる顧客に対して、非常に短い期間で提供することができる。

図 3 に、メモリ容量を変化させたときの DRAM コアのユニット構成を示す。コア中央に内部電圧を発生する電圧発生回路が配置され、両側にそれぞれ 2 組の独立な 2 M ビットのユニットが配置されている。中央の電圧発生回路は、どのような構成になってもつねにおのののユニットで共通に使えるように設計されている。それぞれの 2 M ビットユニットは 32 ビットのデータ出力をもっており、最大で 128 ビットのデータバス幅をもつことができる。

このような再構成可能な DRAM コアを一度作ると、ゲートアレイ部のロジックを変更して、必要なメモリ容量の DRAM を搭載することによって、用途に応じてさまざまな LSI を作ることが可能となる。例えば、ゲートアレイでシンクロナス DRAM (SDRAM) のインターフェースを作れば、さまざまの容量のシンクロナス DRAM を、ASIC として作

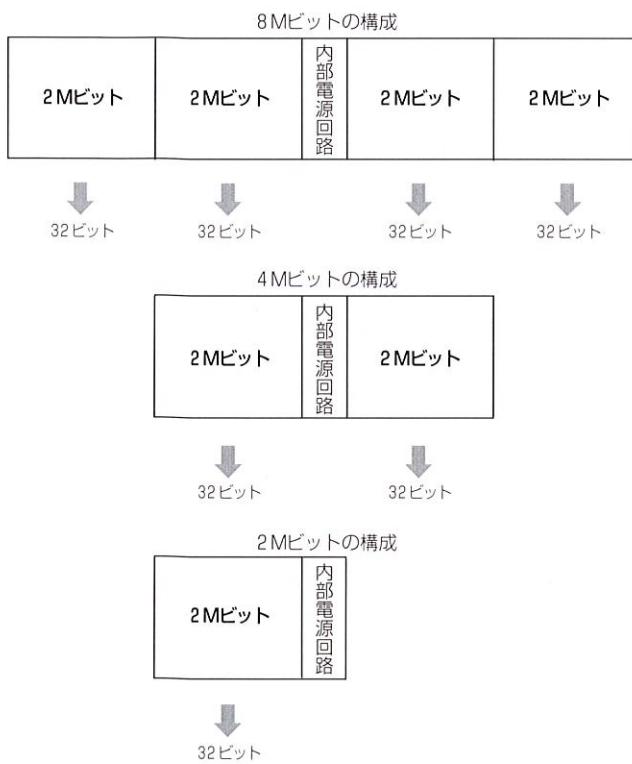


図 3. TRAM の DRAM コアのユニット構成 必要なメモリ容量に応じて、各ユニットを組み合わせて DRAM を再構成して使う。

Unit configuration of DRAM core

ることができる。

図 4 にこのコアを用いて 2 M ビットのシンクロナス DRAM を作った例を示す。このチップでは、DRAM コアの 2 M ビットの切出しにゲートアレイを付加し、汎用シンクロナス DRAM と同様の動作を実現している。

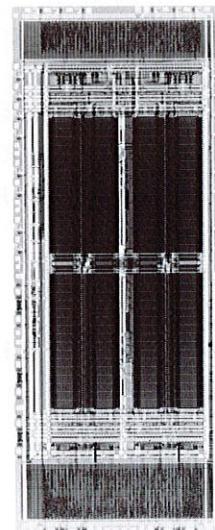


図 4. 2M ビット シンクロナス DRAM
dRAMASIC™用コアを使って作成した 2 M ビット シンクロナス DRAM を示す。制御回路をゲートアレイを使って構成した。
Chip micrograph of 2 Mbit synchronous DRAM

4 今後の展開

dRAMASIC™のための DRAM コア技術としては、今後、次のようなことが課題となっていく。

- (1) さらなる多ビット化
- (2) さらに多様な構成を可能にする、柔軟な DRAM コアアーキテクチャ
- (3) 指定された構成を CAD 的に合成する、モジュール化エネレータのサポート
- (4) ワンチップ化されたときの DRAM テストを、容易にするための回路技術

表 2 に現在の dRAMASIC™の TC210D シリーズに搭載される DRAM コアの概略を示す。TC210D シリーズでは、1 コ

表 2. TC210D DRAM コアの諸特性

Characteristics of TC210D DRAM core

項目	特性
メモリ容量	1 M~32 M ビット (1 M~16 M ビット : 1 M ビット刻み) (16 M~32 M ビット : 2 M ビット刻み)
ビット幅	64 ビット, 128 ビット, 256 ビット
バンク数	1, 2, 4
インターフェース	シンクロナスインターフェース
最大動作周波数	133 MHz
電源電圧	3.3 V
プロセスルール	0.35 μm CMOS 2 層 / 3 層アルミ

ア当たり最大32Mビットまでの容量のDRAMを搭載することができる。メモリ容量は1Mビットから16Mビットまで1Mビット刻み、16Mビットから32Mビットは2Mビット刻みで可変である。また、必要に応じて、同時に複数個のDRAMコアをワンチップ上に集積することも可能である。

DRAMコアに対する多ビット化の要求は、画像関連を中心に今後も増大し、今世紀中に1Kビット以上のバス幅で、DRAMとロジックが結ばれたチップが出現するであろう。

dRAMASIC_{TM}の広がりとともに、メモリ容量や構成に対してのきめ細かな柔軟なサポートが必要になってくる。それを実現するためには、従来の手設計によるDRAM設計手法の根本的な変革が必要になる。きわめて多様な構成のDRAMを、柔軟に生成できるメモリジェネレータが必須(す)の技術となろう。

また、そのような多様なDRAMコアを、効率的にテストするための手法の確立も重要な課題である。

5 あとがき

ロジック混載DRAM技術は、マルチメディア分野を中心

に大きな発展期を迎えるとしている。DRAMコアとしては、いっそうの高速動作、低消費電力、柔軟さが求められる。また、特定の用途には、その応用に特化したカスタムDRAMコアの開発も進められるであろう。

LSIの集積度の向上の流れの中で、DRAMを含めたシステムLSIとしてワンチップ化の進行は今後急速に進むものと思われる。その中で、いかに顧客ニーズにあったDRAMコアの開発を続けていくかが今後の重要な課題になっていく。

文 献

- (1) S. Miyano, et al : A 1.6Gbyte/s Data Transfer Rate 8Mb Embedded DRAM, IEEE, Journal of Solid-State Circuits, 30, 11, pp.1281-1285 (1995)



宮野 信治 Shinji Miyano

マイクロエレクトロニクス技術研究所 デバイス技術研究所主務。ロジック混載用DRAMマクロ設計に従事。電子情報通信学会会員。

Microelectronics Engineering Lab.