

2 電源電圧利用の低消費電力 LSI CAD

CAD Technique for Low-Power LSIs Exploiting Dual Supply Voltages

宇佐美 公良
K. Usami

五十嵐 睦典
M. Igarashi

野上 一孝
K. Nogami

携帯型パソコン (PC) をはじめとするバッテリー駆動の携帯情報機器への需要が増大するなか、“低電力”かつ“高速”という条件を同時に満たす LSI へのニーズが高まっている。

当社は、二つの電源電圧 (従来電圧と低電圧) を LSI 内部の論理回路で使い分け、動作タイミングを解析しながら低電圧で動作可能な回路部分を自動的に検出し、低電力回路構造を自動生成する CAD を開発した。この CAD をメディアプロセッサ Mpack^(注1) に実験適用した結果、動作速度を維持したまま大幅な省電力効果が得られることがわかった。

The increase in demand for battery-operated portable systems such as notebook computers is pushing the requirements for LSIs simultaneously toward low power and high speed.

We have developed a CAD technique using dual supply voltages (the original voltage and a reduced voltage) for logic circuits on a chip. The CAD tool automatically detects the circuit part that will be able to operate at the reduced voltage in terms of timing, and generates the circuit structure with dual supply voltages. We have experimentally applied the technique to an Mpack media processor, and found that significant power savings were obtained while maintaining the performance.

1 まえがき

LSI の低電力化へのニーズは、ここ 1, 2 年ますます高まっている。これは、LSI で消費する電力が、携帯情報機器のバッテリー寿命や放熱性は低い安価なパッケージの採用の可否を決める大きなファクタとなっているからである。CMOS (相補型金属酸化膜半導体) LSI の低電力化には、動作電源電圧を下げるのが効果的である。ところが、電源電圧を下げると MOS トランジスタの性能が低下するため、LSI 全体の性能を低下させてしまう。携帯型パソコンや携帯型通信機器に搭載される LSI では、“高性能の維持”と“低電力”といった二つの相反するニーズを、ともに満たすことが要求される。

今回、このニーズにこたえるため、LSI の製造プロセスを変更することなく、二つの電源電圧を利用して LSI を低電力化する CAD 技術を開発した。ここでは、2 電源構造を自動生成する CAD、2 電源自動レイアウト手法、および Mpack プロセッサへの応用事例について述べる。

2 2 電源構造の自動生成 CAD “PowerSlimmerTM”

LSI 内部の論理回路中には、通常、タイミングに余裕のない信号経路 (クリティカルパス) と、タイミングに余裕のある信号経路 (ノンクリティカルパス) が存在する。クリティカルパス上の論理ゲートおよびフリップフロップ (セル

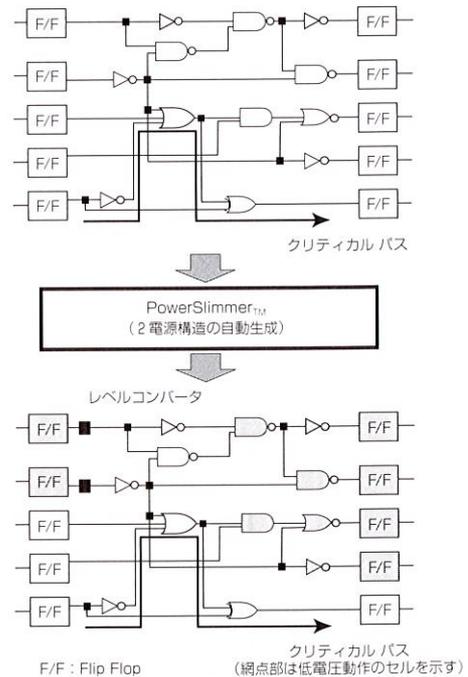


図 1. PowerSlimmerTMの機能 PowerSlimmerTMは、従来電圧セルと低電圧セルから成る 2 電源回路構造を自動生成して低電力化する。
Function of PowerSlimmerTM

(注 1) Mpack は、当社と米国のクロマティックリサーチ社が共同開発したメディアプロセッサで、画像圧縮伸張、三次元グラフィックス処理、モデム機能、オーディオ機能、ビデオ会議システムなどのマルチメディア機能を 1 チップで実現した。

と呼ぶ)は従来の電源電圧 (V_{DDH}) で動作させ、一方、ノンクリティカルパス上のセルは低い電源電圧 (V_{DDL}) で動作させる。これにより、回路全体の性能を低下させることなく省電力化できる。今回、論理回路中でタイミングに余裕のある部分を自動的に見つけながら、 V_{DDH} セルと V_{DDL} セルから成る回路構造を自動生成する CAD “PowerSlimmer_{TM}” を開発した (図 1)⁽¹⁾。

二つの電源電圧が混在した CMOS 回路では、セル間の接続で注意すべき点がある。 V_{DDL} セルの出力を V_{DDH} セルの入力に接続する際に、信号振幅を低電圧から高電圧に変換するレベルコンバータ回路を挿入する必要がある。この挿入がないと、 V_{DDH} セルの PMOS (P チャンネル MOS) トランジスタが完全にはカットオフせず、定常電流が流れる問題があるためである。一方、これ以外の接続ではレベルコンバータの挿入は必要ない。レベルコンバータの挿入は、チップ面積および消費電力の増加につながるため、挿入箇所が極力少なくなるような構造を生成する必要がある。PowerSlimmer_{TM}は、レベルコンバータの挿入箇所を最小限に抑えながら、信号経路のタイミング余裕を利用して、できるだけ多くのセルを V_{DDL} セルに置き換える。

PowerSlimmer_{TM}の入力は、ゲートレベルの論理ネットリスト^(注2)である (図 2)。設計者は、RTL (Register Transfer Level) 設計、論理合成を経て論理ネットリストを得るが、ここまでは従来とまったく同じでよい。このネットリストを基に、PowerSlimmer_{TM}はセルライブラリ情報およびタイミング制約情報を参照しながら、 V_{DDH} セル/ V_{DDL} セル混在のネットリストを生成する。さらに、この混在ネットリストは自動レイアウト (P&R) ツールに渡され、2電源に最適にレイアウトされた後、LSI のマスク作成に必要なレイアウトデータが出力される。

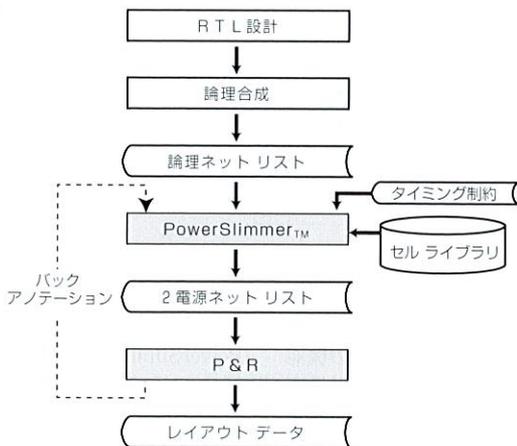
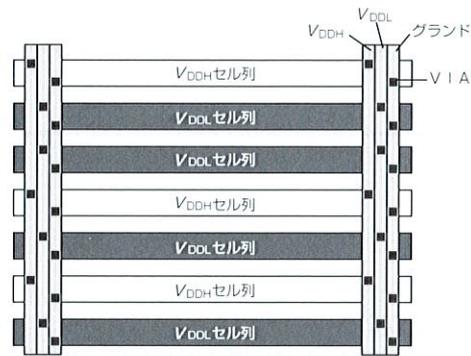


図 2. PowerSlimmer_{TM}を用いた LSI 設計フロー PowerSlimmer_{TM}は、論理ネットリストを入力すると 2 電源構造をもったネットリストを生成する。それを基に、P&R ツールで自動レイアウトする。
LSI design flow when using PowerSlimmer_{TM}

3 2 電源自動レイアウト

2 電源が混在する場合のレイアウトとして、 V_{DDH} セルと V_{DDL} セルをそれぞれ異なったセル列 (row) に置く「2 電源 row-by-row レイアウト アーキテクチャ」(図 3)を開発し、内製の P&R ツールにこのレイアウト生成機能を組み込んだ。どのセル列を V_{DDH} (あるいは V_{DDL}) にするかは決定は、P&R ツールが配線混雑度やセル列数の分配を考慮しながら自動で行う⁽²⁾。P&R ツールは、このあとセルの自動配置を行う。さらに、配置結果を基に、セル間の配線長、配線容量を計算し、PowerSlimmer_{TM}にその値を返す (バックアノテーション)。これは、2 電源でのセル配置に基づいた配線容量を使って、再度 PowerSlimmer_{TM}を実行し、生成した 2 電源構造を微調整するためである。このバックアノテーションルー



V I A : 層の異なる金属配線間を接続するための穴

図 3. 2 電源 row-by-row レイアウト アーキテクチャ V_{DDH} セルと V_{DDL} セルをそれぞれ異なったセル列に置くレイアウト構造を示す。
Row-by-row layout architecture with dual power supplies

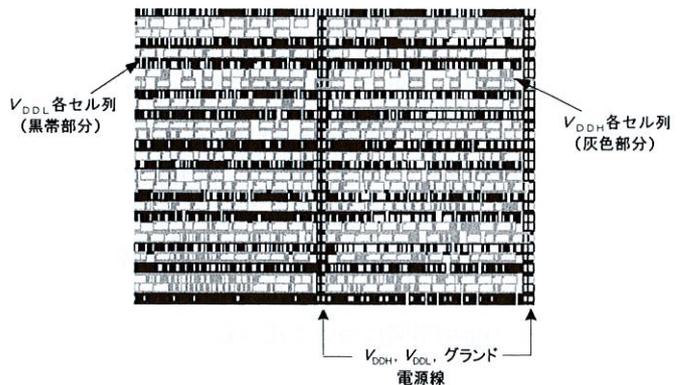


図 4. P&R ツールで生成した 2 電源レイアウトの例 水平方向にセル列が走り 2 電源 row-by-row 構造が実現されている。
Example of layout generated by P&R tool

(注 2) 論理ネットリストは、AND, OR などの論理ゲートや記憶回路のフリップフロップなどが、互いに接続して論理回路を構成している場合の論理回路全体の接続情報。

プは、比較的少ない回数で収束することを確認した。P&R ツールで生成した2電源レイアウトの一例を図4に示す。

クロック信号を伝播(ば)するクロックツリーも、可能な限り V_{DDL} で動作させて低電力化する。P&R ツールに直結して走る CTS (Clock Tree Synthesis) ツール⁽³⁾は、設計者が指定したクロック信号に対し、 V_{DDL} 動作のクロックバッファ(クロック信号を増幅する回路)を使って、スキューが最小になるようなクロックツリーを自動生成する。

4 応用事例

今回開発したCAD技術を、メディアプロセッサ Mpact (Mpact-1S) に対し実験適用した。Mpact-1S は、動作周波数 75 MHz、電源電圧 3.3 V、三層メタル 0.3 μm CMOS プロセスで設計されたチップである。適用にあたっては、元のチップと動作周波数、製造プロセスをまったく変えないという条件を設定した。さらに、 $V_{DDH}=3.3\text{ V}$ 、 $V_{DDL}=1.9\text{ V}$ の2電源をチップ外部から与えると仮定した。 $V_{DDL}=1.9\text{ V}$ という電圧値の選定にあたっては、 V_{DDL} 値を変えながら PowerSlimmer_{TM} を実行し、全体の電力が最小になる V_{DDL} 値を選んだ(図5)。ある特定の V_{DDL} 電圧で消費電力が最小値をもつ理由は、以下のとおりである⁽⁴⁾。

まず、全体の電力がどれだけ低くなるかは、二つの要因で決まる。一つは V_{DDL} セル単体での電力、もう一つは V_{DDL} セルへ置換されるセルの個数である。 V_{DDL} セル単体での電力が小さいほど、また置換される個数が多いほど、全体の電力は低減する。 V_{DDL} を下げていくと、 V_{DDL} セル単体での電力は小さくなる。ところが、 V_{DDL} を下げるのに伴い、 V_{DDL} セルの遅延時間が大きくなるので、タイミング制約の範囲内で V_{DDL} セルに置換できるセルの個数は減っていく。したがって、 V_{DDL} を下げていくと、ある電圧値までは、 V_{DDL} セル単体での電力が小さくなる効果で全体の電力は下がっていくが、それ以上 V_{DDL} を下げると、置換できるセル数が少なくなる影響で、逆に全体の電力削減効果は少なくなる。

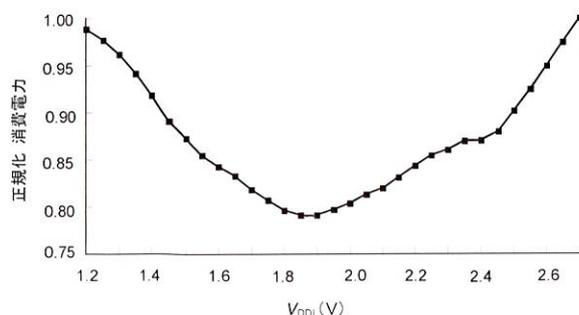


図5. 消費電力の V_{DDL} 電圧依存性 V_{DDL} を変えながら PowerSlimmer_{TM} を実行して電力を調べた。 V_{DDL} が 1.9 V 付近で電力が最小になる。

Relationship between power dissipation and V_{DDL}

このCAD技術の適用は、Mpact-1Sの7個のランダムロジックモジュールに対して行った。適用したモジュールは、すべてスタンダードセルを用いて設計されている。

PowerSlimmer_{TM}を適用した結果、全セルの76%が V_{DDL} セルに置き換わることが明らかになった⁽¹⁾。モジュールごとのセルの内訳を図6に示す。

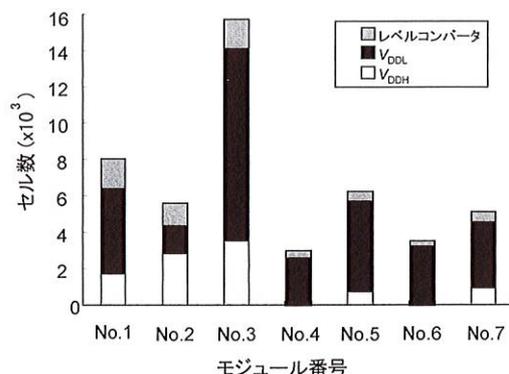


図6. PowerSlimmer_{TM}の結果 PowerSlimmer_{TM}適用後のランダムロジックモジュール内のセル数内訳 (Mpact での結果) を示す。

Results of PowerSlimmer_{TM}

V_{DDL} セルへの置換率が高い原因を調べるため、最大規模のメインコントロールロジックモジュールの内部で、信号経路ごとの遅延時間(パスディレイ)を調査し、統計分析した(図7)。横軸は、パスディレイをクロックのサイクルタイムで正規化した値を示し、縦軸は頻度を示す。元の設計には15,000本を超えるクリティカルパスが存在するが、それはパス全体のわずか0.3%を占めるに過ぎず、むしろ、

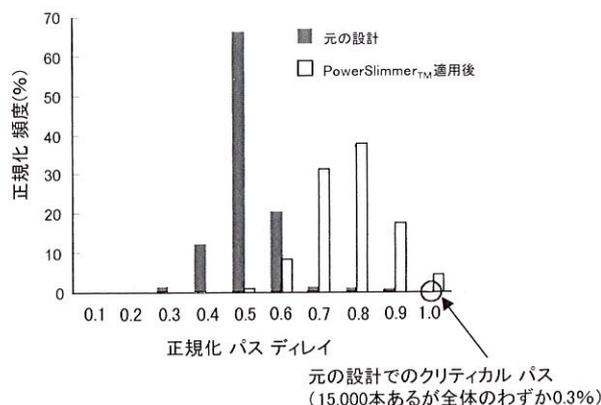


図7. パスディレイの分布 横軸は、パスディレイをサイクルタイムで正規化した値を示す。PowerSlimmer_{TM}は、元の設計中の余っているタイミング余裕を有効に使いながら、 V_{DDL} セルへの置換えをしていることが確認できた。

Distribution of path delays

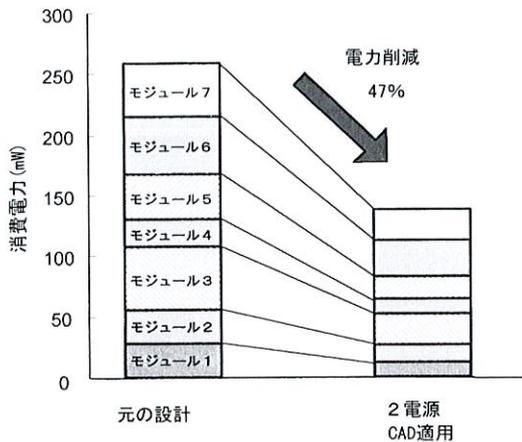


図8. 消費電力の削減効果 Mipactのランダムロジックモジュールでの消費電力シミュレーションの結果、電力が47%削減されることを確認した。

Results obtained for power reduction (simulated)

パスレイアウトがサイクルタイムの約1/2というパス(ノンクリティカルパス)が、全体の60%以上を占めている。さらにPowerSlimmer_{TM}適用後の分布から、PowerSlimmer_{TM}はこれらのノンクリティカルパス上に余っているタイミング余裕を有効に使いながら、 V_{DDL} セルへの置換えを行っていることが明らかになった⁽¹⁾。

消費電力の削減効果を図8に示す。今回開発したCAD技術によって、7個のランダムロジックモジュール全体で電力が47%削減されることをシミュレーションで確認した⁽¹⁾。また、クロックツリーの V_{DDL} 化により、クロック系で電力が69%削減されることが明らかになった⁽²⁾。

チップ全体のレイアウトを図9に示す。図中、白枠で囲んだ部分がこのCAD技術を適用した部分である。

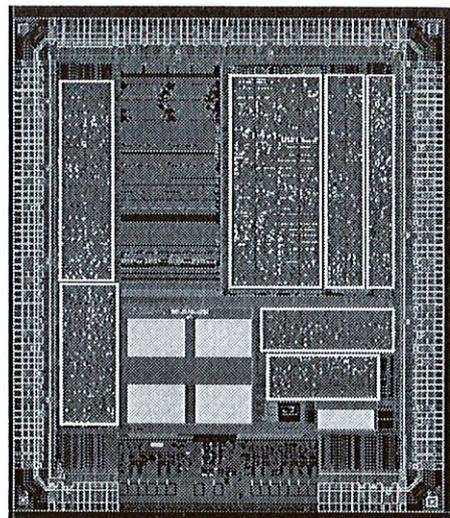


図9. Mipactへの適用後のチップレイアウト 白枠で囲んだ部分に、このCAD技術を適用した。

Mipact chip layout after applying this CAD technique

- Supply Voltages Applied to a Media Processor, Proc. CICC, pp.131-134 (1997)
- M. Igarashi, et al: A Low-power Design Method Using Multiple Supply Voltages, Proc. 1997 Int. Symp. on Low Power Electronics and Design, pp. 36-41 (1997)
- F. Minami, et al: Clock Tree Synthesis Based on RC Delay Balancing, Proc. CICC, pp.28.3.1-28.3.4 (1992)
- K. Usami, et al: Low-Power Design Technique for ASICs by Partially Reducing Supply Voltage, Proc. IEEE Int. ASIC Conf., pp.301-304 (1996)

5 あとがき

LSI内部の論理回路で、二つの電源電圧を使って低電力化するCAD技術を開発した。メディアプロセッサへの実験適用により、性能を維持したまま低電力化できることが明らかになった。

今後、製品への適用に向けてさらに開発を推し進めるとともに、システムオンシリコンを見据えた低電力技術の開発に貢献していきたい。

文献

- (1) K. Usami, et al: Automated Low-power Technique Exploiting Multiple



宇佐美 公良 Kimiyoshi Usami

半導体設計・評価技術センター 半導体設計自動化技術開発部主務。
LSIの低消費電力化CADおよび設計手法の開発に従事。
Semiconductor DA & Test Engineering Center



五十嵐 睦典 Mutsunori Igarashi

半導体設計・評価技術センター 半導体設計自動化技術開発部主務。ASIC自動レイアウトシステムの開発に従事。
情報処理学会会員。
Semiconductor DA & Test Engineering Center



野上 一孝 Kazutaka Nogami

マイクロプロセッサ・ASIC事業部 ASIC製品技術部グループ長。Mipactメディアプロセッサの開発・設計に従事。
電子情報通信学会、IEEE会員。
Micro & Custom LSI Division