

システム オン シリコン時代の低電力回路技術

Low-Power Circuit Technology in the System-on-Silicon Era

黒田 忠広
T. Kuroda

藤田 哲也
T. Fujita

鈴木 晃治郎
K. Suzuki

システム オン シリコン時代における半導体コア技術の一つは、低電力技術である。なぜならば、CMOS（相補型金属酸化膜半導体）集積回路は電力が許容限界に近づき、これ以上集積度を上げることが困難になりつつあるからである。しかし、CMOS 集積回路に代わる新しい低電力デバイスはいまだに開発されていない。低電力 CMOS 技術の開発が急務である。

当社は、チップ上で内部の電源電圧やトランジスタのしきい電圧を最適に制御する回路技術を用いることにより、動作速度や待機時電力を損なわずに、動作時電力を半減できる技術を開発した。

Low-power technology is one of the core semiconductor technologies in the system-on-silicon era. The power dissipation of CMOS integrated circuits is reaching the limit, and it is becoming difficult to increase the level of integration. However, no new device has yet been developed that can take the place of the CMOS integrated circuit. The development of a low-power CMOS technology is therefore a pressing need.

This paper introduces circuit techniques to control internal supply voltages and transistor threshold voltages optimally on a chip, which can reduce active power dissipation by half without sacrificing operating speed or standby power.

1 まえがき

集積回路は、3年で4倍といったように、指数関数的に集積度を上げることで目覚しい発展を遂げてきた。そして、来るべきシステム オン シリコンの時代を可能にするのも、さらなる高集積化技術であることは言うまでもない。ところが、CMOS 集積回路の電力はこの15年間で1,000倍に増大し、高性能なチップはすでに電力が数十ワットに達している。冷却コストがかさみ、そろそろ熱的限界も近い。これ以上の高集積化が困難になりつつある。

集積回路技術の変遷を振り返ると、1970年にバイポーラデバイスからnMOSデバイスへ、さらに85年にCMOSデバイスに交代したのは、いずれも電力の限界に達したこととこれ以上高集積化できなくなったからであった。当初は、直流電流が流れない理想的な低電力デバイスとして考えられていたCMOS集積回路も、集積度の向上に伴い必然的に回路の充放電電力が増大して、すでに許容限界に達しようとしている。これまでのようスケーリングしていくかぎり、電力は増大の一途を免れない。

一方、残念ながら、CMOSデバイスに代わり今後も高集積化を約束してくれる新しい低電力デバイスは、いまだに開発されていない。

こうした背景のなかで、当社はCMOS集積回路の電力を低減させる回路技術を研究開発している。ここでは、動作速度や待機時電力を損なわずに動作時電力を半減できる回路技術を紹介する。この回路技術を用いれば、これまで

設計者が自由に変えることのできなかった電源電圧(V_{DD})とトランジスタのしきい電圧(V_{TH})を最適に制御することができる。

図1にこの回路技術を適用して試作したチップを示す。チップの角に配置された二つの回路、すなわち、VS (Variable Supply voltage) 回路がチップ内部の V_{DD} を制御し、VT (Variable Threshold voltage) 回路がトランジスタの V_{TH} を制御する。外部電源は、従来どおりの3.3Vだけよい。この二つの回路の追加だけで、40MHz動作時の消費電力は、従来の300mWから170mWにおよそ半減できた。

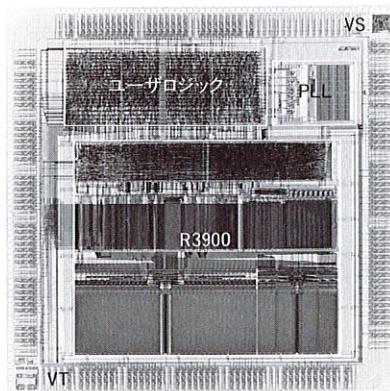


図1. 低消費電力 RISC (縮小命令セットコンピュータ) プロセッサのチップ。チップの端に二つの回路“VS”と“VT”とを追加することによって、40MHz動作時の消費電力を1/2に削減した。

Chip micrograph of low-power RISC processor

2 低電力化の方策と課題

V_{DD} と V_{TH} を変えたときのCMOS回路の回路遅延と消費電力を図2に示す。回路遅延の図では、遅延時間の等高線も示した。この等高線に沿って、例えばⒶからⒷに V_{DD} と V_{TH} をともに下げれば、回路遅延は増大させずに電力を半減できる。

図3は、 V_{DD} と V_{TH} を最適化することでどの程度電力を削減できるかを図2から読み取った結果である。従来のCMOSでは、 V_{DD} と V_{TH} はどのチップに対しても共通の値を使っていたが、チップの動作速度に応じて最適な値を使うことで、電力の無駄を大きく削減できる。

しかし、ここでいくつかの問題が生ずる。一つは、ほかのチップとのインターフェースである。他のチップとの交信のためには、共通の V_{DD} を使うのが望ましい。なぜなら、低い電源のチップが高い電源の信号を出力するのは困難であり、また、低い電源の信号を高い電源のチップが受信するには複雑な回路が必要になるからである。そこで入出力回路には標準電源を使い、内部回路だけ動作速度の要求に応じて可能なかぎり V_{DD} を下げるのが望ましい。入出力回路と内部回路の間には、レベル変換回路を付加する。

もう一つの問題は、 V_{TH} を下げるするとトランジスタのオフリード電流が指数関数的に急増することである。例えば V_{TH} が0.1V下がるごとにオフリード電流はおよそ一けたずつ増え、その結果、待機時電力が著しく増大し、電池駆動の携帯機器に適用できなくなる。また、待機時のリーク電流を調べることで製造欠陥のあるチップをスクリーニングするテスト方式(IDDQテスト: Quiescent Current Test)ができなくなる。そこで、動作時は V_{TH} を低くするが、待機時やIDDQテスト時は V_{TH} を高く設定したい。

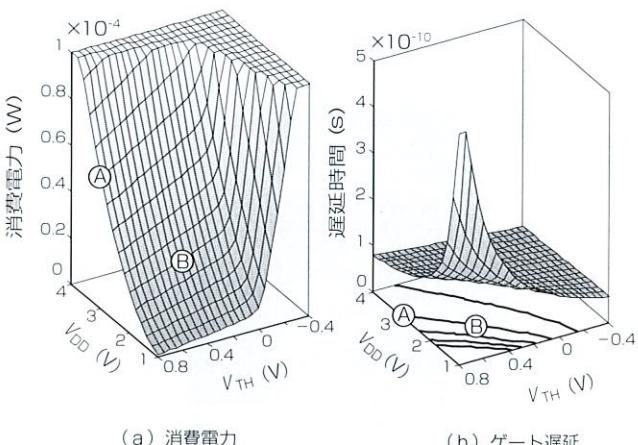


図2. 消費電力およびゲート遅延の V_{DD} と V_{TH} 依存性 V_{DD} と V_{TH} を図中のⒶ点からⒷ点に変更すると、遅延時間を変えずに消費電力だけを削減することができる。

Power consumption and delay time as functions of V_{DD} and V_{TH}

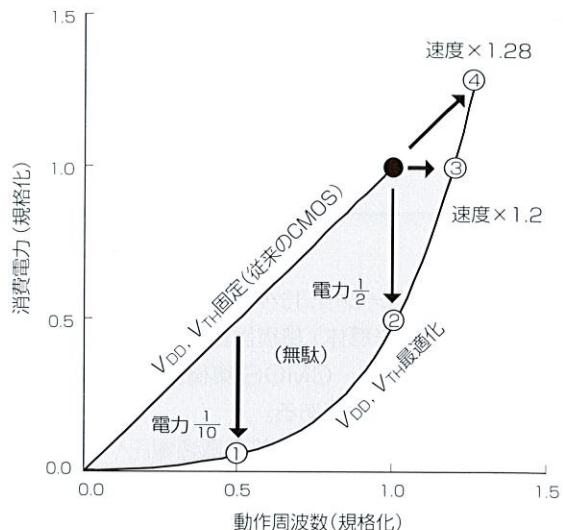


図3. V_{DD} と V_{TH} を最適化することによる電力削減の効果 通常のCMOSと比較して、動作速度が同じなら電力は約1/2に、動作速度が1/2でよいなら電力は約1/10にできる。

Power reduction effect of VTCMOS

こうした V_{DD} と V_{TH} の制御を可能とする回路がVS回路とVT回路である。

3 電源電圧制御回路 (VS回路)

外から見れば V_{DD} は従来のチップと変わらないが、内部電源電圧 V_{DDL} をできるだけ低く自動的に下げる。それがVS回路である。図4に回路構成を示す。

DC/DCコンバータは、外部電源をパルス波形に変えて、インダクタンスとキャパシタンスを用いたLCローパスフィルタで平滑して所望の電圧に変換する。パルス波形のデューティ比を変えることで、 V_{DDL} を変化させることができる。

動作速度検出回路には、チップ本体の回路のクリティカル

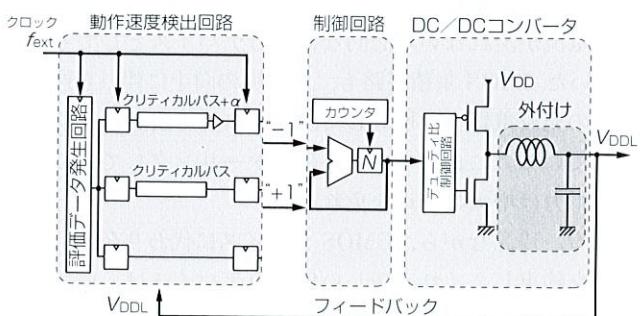


図4. 可変電源電圧(VS)方式の回路構成 クリティカルバスのレプリカ回路で動作速度を検出し、DC/DCコンバータが発生した V_{DDL} を帰還制御することで、回路が動作する必要最小限の V_{DDL} を自動生成する。

Variable supply-voltage (VS) scheme

ルパスのレプリカ回路があり、その遅延がDC/DCコンバータが発生する電圧の下でクロックに間に合っていなければ+1を出力し、ある余裕以上に間に合っている場合は-1を出力する。この出力信号が制御回路内にあるフリップフロップに整数値 N として蓄積され、この値がDC/DCコンバータのデューティ比を決定する。

こうしたフィードバック制御により、動作速度に応じて必要最低限の V_{DD} が自動生成される。しかし、LCローパスフィルタの時定数に比べて動作速度の検出時間が速すぎるので、このフィードバック制御は不安定になりかねない。そこで、制御部にプログラムカウンタを挿入して、 N の値を間引きながら更新することで、制御の安定性と応答性が調整できるようになっている。

プロセッサコアのshmooプロット^(注1)とVS回路が発生した電圧を重ねると、図5に示すようにきれいに一致する。これは、動作周波数が変化してもVS回路がつねにコアが動作する必要最小限の V_{DD} を発生していることを示している。実際のチップにVS回路を搭載するためには、論理的な誤動作をしないように保証しておく必要がある。このため、VS回路が発生する V_{DD} はshmooプロットのバス領域の十分上側に入っているなければならない。これは、クリティカルバスのレプリカ回路に余分なゲートを付加することなどで調節できる。

さらに、VS方式は外部 V_{DD} の変動を補償できるという利

点がある。実際の応用分野で言うなら、携帯機器の電池が消耗して電圧が下がった場合などに相当する。通常の回路ではこの分を見込んで最悪の状況でも動作するように設計する必要があり、回路や電池の性能を十分に引き出してはいなかった。VS方式を用いればチップ内部にはつねに一定の電圧を供給し続けることができる。

今回作製したVS回路のマクロセルは面積が非常に小さく、チップの隅にすっぽり収まってしまう。さらに、まだ2か所の隅が空いているために将来はチップ内に複数個のVS回路を搭載することも可能である。多少の面積ペナルティを許すなら、チップ内のブロックごとにDC/DCコンバータを配置し、それぞれのブロックごとに最適な電源電圧を供給するという、いわゆる“ V_{DD} on demand”と呼べるような技術に発展させることが可能である。

4 しきい電圧制御回路(VT回路)

V_{DD} を制御するのがVS回路なのに対し、 V_{TH} を制御するのがVT回路である(図6)。トランジスタの V_{TH} は、作製時のイオン打込み量で決まってしまい、回路設計者は制御できないと考えられている。ところが、MOSトランジスタには基板バイアスをかけると V_{TH} が高くなるバックゲート効果がある。この効果を利用すれば V_{TH} を回路で制御できる。当社は、通常は電源に直接つないでしまっているバックゲートを、“第四の端子”として取り出すことにより、トランジスタの V_{TH} を制御することに成功した(図7)。バックゲートを分離するためのチップ面積の増加は5%以内に抑えられる。

VT回路は、動作時と待機時とで異なる二つの役割をもっている。動作時には、リーク電流をモニタしながらばらつきに応じて基板電圧をかける。これにより、 V_{TH} のばらつきを低減することができる。また、待機時には基板電圧を

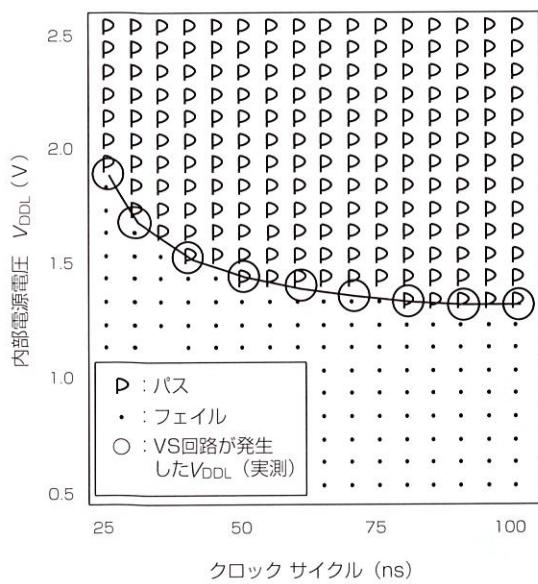


図5. RISCコアのshmooプロットとVS回路が発生した V_{DD} 。動作周波数が変化しても、VS回路はつねにRISCプロセッサが動作するのに必要な最小限の V_{DD} を発生することができる。

Shmoo plot of RISC core and supply voltage generated by VS circuit

(注1) shmooプロットとは、アクセスタイムの電源電圧依存性を示す図のことである。

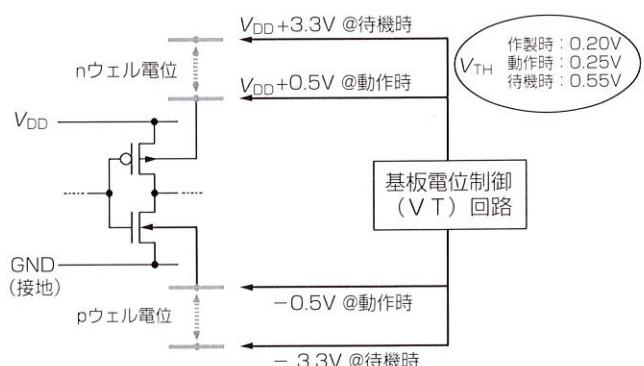


図6. VTCMOSの動作 待機時には基板電位を上げてリーク電流をカットする。動作時にはリーク電流をモニタしながら基板電位を制御して V_{TH} ばらつきを補償する。

Operation of VTCMOS



図7. VTCMOSでのトランジスタの用いかた VTCMOSでは、通常は電源に接続されている“バックゲート”を“第四の端子”として取り出すことにより、 V_{TH} を可変にした。

Basic transistor for VTCMOS

深くかけて、 V_{TH} を高くする。これによりリーク電流をカットすることができる。

待機時に V_{TH} を高くする機能は、IDDQテストを行う際にも有効である。IDDQテストの間は基板バイアスを深くかけて V_{TH} を上げ、リーク電流を減らしておく。これにより、 V_{TH} を下げても従来どおりに IDDQ テストをすることが可能になる。

当社は、VT回路を搭載した8mm角のゲートアレー(188kゲート)を試作し、このような大きな規模のチップであっても基板バイアスを制御できることを実証した。動作モードから待機モードへ移行する時間は500μsで、逆に待機モードから動作モードへ移行する時間は0.5μsである(図8)。待機モードへの遷移が遅いが、多くの用途では動作して欲しいときにすばやく目覚めることのほうがより重要である。ヒューマンインターフェースに使ったときの体感速度としては、まったく問題にならない。

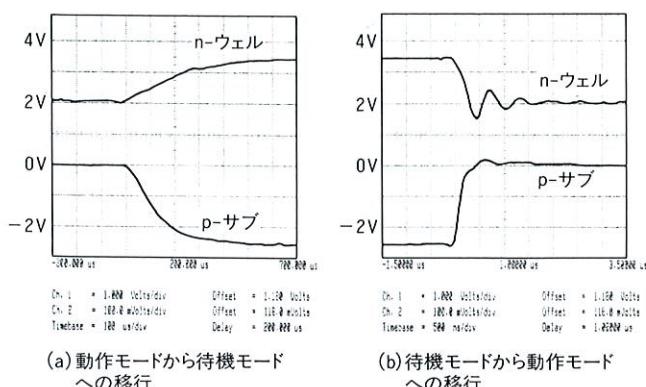


図8. 基板バイアスの過渡応答の実測値 チップサイズ8mm×8mmのゲートアレーで実測した結果を示す。待機状態に移るのに500μsかかるが、動作状態に復帰するのは0.5μsと短いため、体感速度の点では問題がない。

Measured transient waveforms of V_{BB}

VT回路が一度にまとめて制御するトランジスタの範囲は、ウェル単位である。通常のp基板にnウェルのプロセスの場合、nウェルはウェル単位に電位を制御可能であるが、pウェル(p基板)はすべてつながっているため一つの電位しか与えられない。三重ウェルプロセスを用いればpMOSもnMOSもウェル単位に V_{TH} を制御できるようになる。

VT回路のマクロもVS回路と同様に面積が非常に小さいため、チップ内に複数個のVT回路を搭載することが可能である。現状では基板電位の制御はチップ単位であるが、将来的にはブロックごとに V_{TH} を細かく制御して、消費電力をより削減することができる。

5 あとがき

SIA (Semiconductor Industry Association) のロードマップによれば、2010年には V_{DD} は0.9Vまで下がるもの、動作周波数は850MHz、チップの消費電力は現在の約20倍になると予想されている。従来型のCMOSは、果たしてこの電力危機を乗り越えることができるのだろうか。ポストCMOSが叫ばれて久しいが、いまだにその候補は明確になっていない。われわれは「細部まで洗練されたCMOS」こそが、ポストCMOSとしてふさわしいと考えている。VT+VS方式は、その有力な候補の一つであろう。

文 献

- (1) 鈴木晃治朗, 他: 小さな回路を二つ追加してプロセサの消費電力を半減, 日経エレクトロニクス, no.695 (1997)
- (2) K. Suzuki, et al: A 300MIPS/W RISC Core Processor with Variable Supply-Voltage Scheme in Variable Threshold-Voltage CMOS, in Proc. IEEE 1997 CICC, pp.587-590 (May 1997)
- (3) T. Kuroda, et al: A High-Speed Low-Power 0.3μm CMOS Gate Array with Variable Threshold Voltage (VT) Scheme, in Proc. IEEE 1996 CICC, pp. 53-56 (May 1996)

黒田 忠広 Tadahiro Kuroda



マイクロエレクトロニクス技術研究所 システムLSI技術研究所開発主査。低電力、高速回路設計技術の研究開発に従事。電子情報通信学会会員。
Microelectronics Engineering Lab.

藤田 哲也 Tetsuya Fujita



マイクロエレクトロニクス技術研究所 システムLSI技術研究所開発主務。低電力、基板電圧制御回路の研究開発に従事。
Microelectronics Engineering Lab.

鈴木 晃治郎 Kojiro Suzuki



マイクロエレクトロニクス技術研究所 システムLSI技術研究所。低電力、電源電圧制御回路の研究開発に従事。
Microelectronics Engineering Lab.