

システム LSI コア技術の動向

Trends in System LSI Core Development

古山 透
T. Furuyama

“システム オンシリコン”や“システム LSI”などが注目を浴びるようになって久しい。

当社は、組込み用マイコンコアとして MIPS[®]^(注1)アーキテクチャ準拠の RISC プロセッサ群を用意するとともに、ソフトウェアを容易に開発できる環境も整え、社内外の幅広い要求にこたえている。他社に先駆けて開発した DRAM ロジック混載技術では、0.35μm, 0.25μm のコアを開発し、続々と、これらを使ったシステム LSI 製品を開発している。さらに、多種多様なパーソナル携帯機器に使用されるシステム LSI にとってきわめて重要な、低消費電力回路技術の研究・開発にも注力している。

各社で開発したコア、最近では IP (Intellectual Property) とも呼ばれるこれらのコアを流通させ、相互に利用する仕組みができれば、システム LSI 開発の効率は飛躍的に向上する。これを推進する目的で、VSI (Virtual Socket Interface) アライアンスという組織が作られた。当社は設立時から積極的に参画しその活動をリードしている。

“System on silicon,” or “system LSIs,” are currently attracting strong interest. This paper describes Toshiba's development of system LSI cores for the multimedia era.

Toshiba has a lineup of MIPS[®]-compatible RISC processor cores for embedded applications, and provides an environment for easy software development and debugging. We have been leading in the development and promotion of embedded DRAM technology. Both 0.35 and 0.25 μm macros have been developed and used for many designs. We are also emphasizing the research and development of low-power technologies, which are highly important for system LSIs for various personal and portable applications.

Toshiba has greatly contributed to the establishment of the virtual socket interface (VSI) alliance and is now actively leading it. The VSI alliance sets a macro-to-macro interface standard and encourages the alliance members to make macros (i.e., intellectual properties : IPs) available to other members.

1 まえがき

半導体製品を組み込んだシステムの応用範囲は、これまでのオフィスや家庭で使われる機器から、個人個人が持ち歩き、場所や時間を問わず使用する機器へと広がっている。これらのパーソナル機器の用途はますます多岐にわたり、これを支える半導体製品には、当然、多種多様な機能・仕様が要求される。このような要求を満たすには、少人数で短期間に LSI を開発し、タイミングに市場や顧客に提供できる開発環境と、またその機器に使用するソフトウェアを容易に開発できる環境とが整っていることが必要である。

2 低消費電力回路技術

個人が場所・時間を問わず、さまざまな情報をアクセスすることが可能な、マルチメディア時代のニーズを支えるパーソナル携帯機器向けのシステム LSI は、当然、低消費電力でなければならない。当社でシステム LSI 用に実用化

している低消費電力技術には、以下の 3 種類がある。

- (1) ゲーテッド クロック (Gated Clock) 技術
- (2) VTCMOS/VS 方式
- (3) PowerSlimmerTM^(注2)

ゲーテッド クロック技術は、すでに広く用いられている。システム クロックをマクロに供給する際、そのマクロを活性化する必要のある間だけ供給し、他の期間は供給しないようにして、マクロでの電力消費を抑えるものである。

VT (Variable Threshold voltage) CMOS (相補型金属酸化膜半導体) は、基板やウェルの電位を操作して、トランジスタのしきい値電圧を動作時には低く、待機時には高く制御する。これにより高速動作 (あるいは電源電圧低減と電力削減) と待機時電流の削減ができる。また VS (Variable power Supply) 方式は、チップ上に DC-DC コンバータとクリティ

(注1) MIPS は、米国 Silicon Graphics 社の MIPS グループの登録商標。

(注2) 論理回路中でタイミングに余裕のある部分を自動的に見つけながら、回路構造を自動生成する CAD。

カルバス(タイミングに余裕のない信号経路)の複製をもち、LSIが要求されるスピードを達成できる、ぎりぎりの電源電圧をオンチップで生成する。両者を有機的に結合すると、非常に強力な低電力電源制御技術になる。

PowerSlimmer_{TM}は、同一LSI上で高低二つの電源を使い分ける技術である。クリティカルバスになっている、あるいはそれに近い回路は、高い電圧の電源に接続して必要な性能を確保し、それ以外の回路は低い電源に接続して、低速にするかわりに消費電力を節約する、というものである。

VTCMOS/VS方式とPowerSlimmer_{TM}は、当社のオリジナル技術である。

3 メモリ・ロジック混載技術

ロジックプロセスと相性の良いSRAMは、例えばキャッシュメモリとしての混載の実績は長い。DRAMと不揮発性メモリは、ロジックプロセスとは異なるプロセスを要するにもかかわらず、最近その混載技術が急速に注目されている。特に、DRAMはこの3~4年、さまざまな国際学会でパネルディスカッションやセミナーに取り上げられている。1994年の16MビットDRAM技術を用いた8Mビット混載画像用LSIの開発以来、当社はこの分野に注力、先行している。

DRAM混載が急浮上している背景には、次のようなことが考えられる。

- (1) 汎(はん)用DRAMで実現できるデータレート以上のデータレートを必要とするシステムが実用化されるようになった。
- (2) 汎用品が大容量になり、これらのシステムに要するメモリの容量が汎用品以下で間に合う場合が多々ある。
- (3) 従来以上に拡大した、CPUと汎用DRAMのスピード

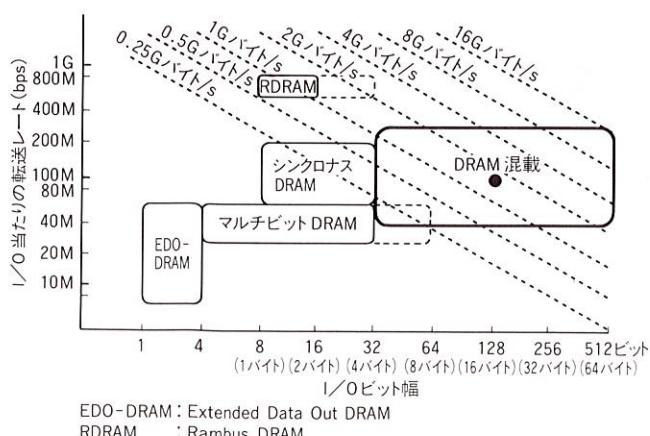


図1. データレートの比較 DRAM混載が、ずばぬけて高いデータレートをもっている。

Comparison of data transfer rates

の差が、SRAMキャッシュだけでは埋め切れない。

DRAM混載の最大のメリットは、他の技術では実現できない高いデータレートである(図1)。

当社が採用しているトレンチセルは、メモリセルをシリコン基板に埋め込むように先作りするので、ロジックへのメモリの熱工程の影響がなく、スタッフセルに比べ混載に適している。配線が、従来のロジックLSIと同様な構造にできるうえ、LSI開発時のTAT(Turn Around Time)が短縮できる可能性が大きいからである。さまざまなアレー構成に柔軟(Configurable)に対応できる、0.35μmと0.25μmのマクロの開発を完了し、現在、数多くのシステムLSIを設計・生産中である。

4 RISCプロセッサとメディアコア

MIPS®準拠のRISC(縮小命令セットコンピュータ)プロセッサを、当社は組込み用としてラインアップ(TXシリーズ)している。TX39のように、すでにさまざまな製品に使用されているファミリも、まだ開発途上のものもある。今後のシステムLSIを支えるキーコンポーネントとして、図2にロードマップで示すようにいつそうの充実を図る。

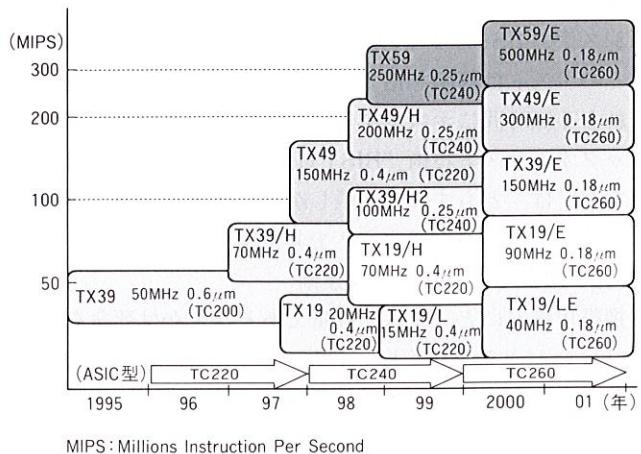


図2. TXシリーズのロードマップ TX19からTX59まで、多様な製品ファミリを提供していく。

TX series road map

さらに、これらRISCプロセッサ群と併用して、より多様なシステムLSIを実現できる他のコアも整備している。マルチメディア機能をソフトウェアで大幅に強化するメディアプロセッサ、MPEG(Moving Picture Experts Group)などの画像データ処理用のマクロ、音声信号処理用のDSP(Digital Signal Processor)などである。これらはRISC以外の論理回路と組み合わせてもよい。

最近のシステム開発のキーワードの一つは、コデベロップメント（ソフトウェアとハードウェアの同時並行開発）である。これをより円滑かつ迅速に実現するための環境も整えている。

5 後工程の差別化技術

近年、システムLSIの差別化技術は、前工程（クリーンルームでウェーハを流す工程）からしだいに後工程（それ以降のテスト・組立てなどの工程）へと、シフトあるいは拡大している。言いかえると、多くの半導体製品の付加価値が、テスト技術や組立て技術などに依存している。

5.1 評価・解析技術、テスト容易化技術

さまざまな機能・応用に対応するシステムLSIを短期間に効率よく開発するには、マスク修正回数の削減とマスク修正のTATの短縮が鍵(かぎ)である。特に、開発時はできあがったウェーハを素早く、かつ、もなく評価・解析し、その結果に基づき、マスク修正してデバッグせねばならない。評価・解析がしやすい設計(DFT: Design For Test)とともに、いわゆるテスト容易化技術を駆使して、不良原因をいち早く特定することが求められる。また、高度な物理解析技術がないと原因が特定できない不良も少なくない。したがって、このような物理解析技術も大きな差別化要因となる。

システムLSIは多くの機能を搭載しているので、量産時もそのテストは課題を抱えている。すべての機能・性能をもれなく短時間にテストする、あるいは簡便なテスタでチェックするテスト技術“BIST (Built-In Self Test) やスキャンなど”は、ともすれば膨張しがちなテストコストを抑制し、製品の競争力を増すうえで非常に重要である。

5.2 組立て・パッケージ技術

携帯用機器にとっては、軽量であるか否かは死命を制する。ピンピッチを狭くして小型・軽量化し、熱伝導率が高く、安価な半導体パッケージを実現し、かつ、それにチップを実装する技術は、大きな差別化要素である。それはボード面積を抑え、機器の小型・軽量化に直接貢献する。このような観点から、パッケージを含む実装技術は、従来とは比較にならないほど重要性を増しており、当社も注力し

ている。

6 VSIアライアンス

ますます多様化し、複雑化するシステムLSIに必要な機能を実現するのに、LSIごとにゼロから設計するのではなく、一度設計したマクロを他のLSIにも再利用すれば、開発効率は飛躍的に向上する。この思想をさらに拡張して、そのようなマクロ(IPと呼ぶ)を半導体業界で流通させ、お互いに再利用するインフラ(基盤)を作ればいいそう効率は上がる。そのためには、複数のIPをチップ上に集積して問題なく動作するように、IP間インターフェースの標準化などの作業が必要となる。これらVSIの標準化を進めたり、デザインガイドを設定したりする国際的なコンソーシアムとして、VSIアライアンスという組織が作られた。当社はその設立に参画し、その後、現在に至るまで積極的に活動している。このインフラができあがり活用されれば、システムLSIはまた一段と普及発展する。

7 あとがき

当社におけるシステムLSI用のコア技術、およびそれを取り巻くさまざまな技術や環境について述べた。しかし、それでシステムLSIができる訳ではない。システムオンシリコンという言葉を見てもわかるとおり、シリコン上にどんなシステムを集積するのか、どんな機能を盛り込むのかがポイントである。当社は社内外のシステムメーカーと緊密な連携を図り、何を集積すべきかをつねに見極めながら、システムLSIやそのコアの開発を進めている。

今後はこの連携をいっそう強め、市場の動向に遅れることなくニーズにマッチしたシステムLSI製品を提供していく所存である。

古山 透 Tohru Furuyama, Ph.D.

マイクロエレクトロニクス研究所 システムLSI技術研究所部長、理博。
マルチメディアシステムLSIの開発に従事。IEEE会員。
Microelectronics Engineering Lab.

