

PHS 用正電源駆動型 GaAs パワーアンプ IC

GaAs Power Amplifier IC Operating with Positive Power Supply for Personal Handy-phone System

本明 謙二
K. Honmyo

深山 智之
T. Fukayama

遠藤 和夫
K. Endo

PHS は、サービスが開始されてから端末の小型・軽量化、低価格化、長時間通話化の要求が続いている。特に、PHS 端末のキーデバイスである送信用パワーアンプ IC への要求が強く、当社ではこの要求にこたえて、超小型パッケージに搭載した単一正電源で動作する高性能の PHS 用 GaAs 送信用パワーアンプ IC (TG2006F) を開発・製品化した。

この IC は、p-ポケット構造の自己整合型 GaAs MESFET (MES (Metal Semiconductor) 型電界効果トランジスタ) を採用し、また 2.9×4×1.1 (mm) の 8 ピン超小型パッケージ (SSOP-8) を採用した。周波数 1.9 GHz, ドレイン電圧 3 V, ゲート電圧 0 V において 21 dBmW 出力時の消費電流 125 mA, 隣接チャネル漏えい電力比 -64.7 dB, 電力利得 23.0 dB を達成した。

Toshiba has developed a GaAs power amplifier IC operating with a positive power supply for use with the personal handy-phone system (PHS). This monolithic microwave integrated circuit (MMIC) is assembled on a very small-size package called the SSOP-8, whose dimensions are 2.9×4.0×1.1 mm. It is composed of self-aligned gate MESFETs (metal semiconductor field-effect transistors) with p-pocket layers.

The new GaAs power amplifier IC has achieved an operating current of 125 mA, an adjacent-channel leakage power ratio of -64.7 dB, and a power gain of 23.0 dB under the conditions of an operating frequency of 1.9 GHz, a supply voltage of 3 V, a current-control voltage of 0 V, and an output power of 21 dBmW.

1 まえがき

近年、移動体通信の発展は目覚ましく、わが国での PHS および携帯電話への加入件数は 1997 年 5 月までに 2,900 万件 (普及率は 22%以上) を超えている。また、PHS はマルチメディア社会に対応した有力な通信システムとして期待されており、今後さらに市場規模は拡大することが予測される。

PHS 端末に対して、小型・軽量化、低価格化、長時間通話化の要求が強く、特にキーデバイスである送信用パワーアンプ IC の小型・低価格・高効率化が重要となる。図 1 にパワーアンプ IC を使用した PHS 端末の回路構成を示す。

当社は、独自の GaAs MMIC (Monolithic Microwave Integrated Circuits) プロセス技術を採用することで従来の GaAs MESFET では困難であった単一正電源駆動、高効率を実現し、超小型プラスチックパッケージに搭載することで低価格化を実現したので紹介する。

2 パワーアンプ IC の要素技術

2.1 正電源駆動高効率 FET

PHS 端末の電源には二次電池が用いられ、負電源が必要な場合は DC/DC コンバータを用いて発生させている。

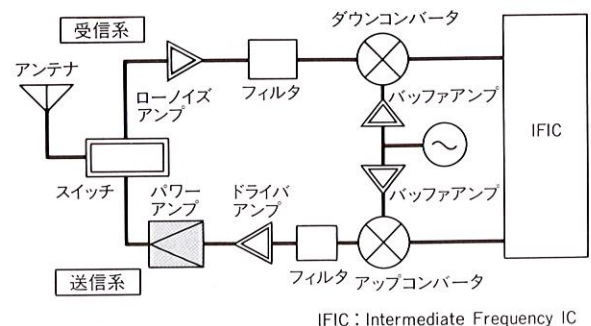


図 1. PHS 携帯端末の高周波回路 音声信号を増幅しアンテナから空間へ放出する送信系と、基地局から信号を処理する受信系からなる。

Block diagram of RF circuit for PHS mobile telephone

PHS 端末の小型化、低価格化が進むなかで部品点数の削減の要求が高まり、従来はゲート電圧に負電源が必要であったパワーアンプ部の単一正電源化が強く要求されている。ゲート電圧を正電源にするためには、AB 級動作として設計する場合、低いしきい値電圧 (マイナス数百 mV) の FET が必要となる。そこで、今回低いしきい値電圧が得られる自己整合型プロセス技術を採用し単一電源駆動型パワーアンプ IC を開発した。また、高効率を得るためにチャネル下のホール蓄積効果を抑制した p-ポケット構造 (チャネル直下

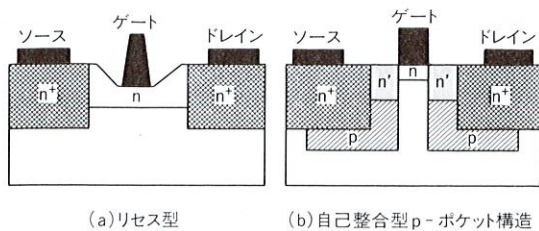


図2. FETの断面構造 自己整合型MESFETは、リセス型MESFETに比べ微細加工が可能であり、しきい値電圧の制御性に優れている。

Cross-sectional view of FET

にp層を設けず、ソース・ドレイン領域下部だけにp層領域を設けた構造)を採用した。自己整合型プロセスとは、プロセスの一工程において形成したパターン構造を用いて自己のパターン構造を形成することを言う。

図2に一般的に用いられるリセス構造(FET動作層のゲート電極直下部分をエッチングした構造)MESFETと自己整合型p-ポケット構造MESFETの断面構造を示す。自己整合型構造MESFETは、リセス構造MESFETと比較して、次のような大きな利点をもっている。

- (1) 微細加工 リセス型MESFETでは、ゲートパターンをソースおよびドレインに対してマスク合せにより決定するのに対し、自己整合型MESFETではゲートパターンを用いてソース、ドレインパターンを決定するため合せずれが生じない。したがって非常に精密な位置合せが可能となり、n⁺間隔を短くできる。その結果、寄生抵抗(ドレイン抵抗、ソース抵抗)を低減できるので、高性能FETに求められているオン抵抗の低減および高い相互コンダクタンスG_mが得られる。
- (2) しきい値電圧の制御性 リセス型MESFETでは、工程途中で活性層をエッチングすることにより電流制御を行う。これは、イオン注入後に電流調整ができる反面、リセスの深さ、形状の制御性、再現性などが十分でないと特性の均一性が悪くなる。つまり、低いしきい値電圧を活性層のエッチングにより制御することは難しい。これに対し、自己整合型MESFETは、基本的にイオン注入だけでしきい値が決定され、均一性に優れている。そのため、単一正電源駆動に必要な低いしきい値電圧が得やすく、量産に適している。

2.2 パッケージ技術

PHS 端末のRF (Radio Frequency) 部品に使われるパッケージは、小型・軽量、低価格、高周波特性が良好であるなどの要素を満たさなければならない。そこで、今回送信用パワーアンプICはプラスチックSSOP-8に搭載して小型化を図った。図3に今回開発したTG2006Fを示す。また、従来のフレームでは実装時に付加されるインダクタンスが大きく、これによる利得低下という問題がある。そこで新規

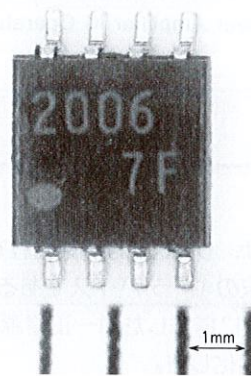


図3. TG2006F プラスチックSSOP-8に搭載。大きさは2.9×4.0×1.1(mm)。

External view of TG2006F

フレーム設計によりマルチボンディングを採用し、ソースインダクタンスの低減を図った。

3 FETパラメータの最適化

自己整合型構造FETのプロセスは、ゲート長およびチャネルイオン注入ドーズ量がFET特性を左右させる重要なパラメータである。そこで、回路設計にフィードバックするため自己整合型p-ポケット構造FET単体でのロードプル測定により、出力電力、効率に対する最適化を行った。

3.1 チャネルイオン注入ドーズ量依存性

図4に出力電力、ドレイン効率のイオン注入ドーズ量依存性を示す。ゲート長0.8μm、ゲート幅1mmの単体FETにおいてチャネルイオン注入ドーズ量45keV、2.1~2.3×10¹²cm⁻²の範囲でのドレイン効率と出力電力を測定した。その結果、ドーズ量が少ないほど高いドレイン効率を得られ、最大60%が得られている。出力電力はそれに反比例し減少するため、この製品に使用するFETのチャネルイオン注入

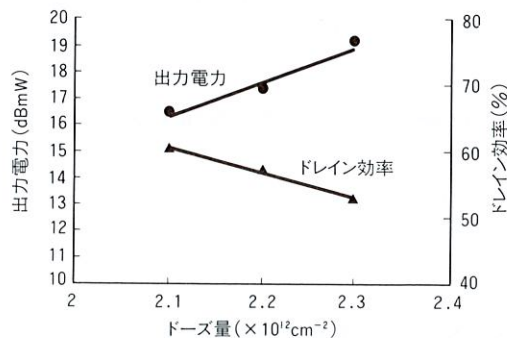


図4. チャネルイオン注入ドーズ量に対する出力電力および効率特性
ドーズ量が少なくなるに伴いドレイン効率が向上し最大60%が得られた。

Output power and drain efficiency vs. Si⁺ ion dosage for n regions

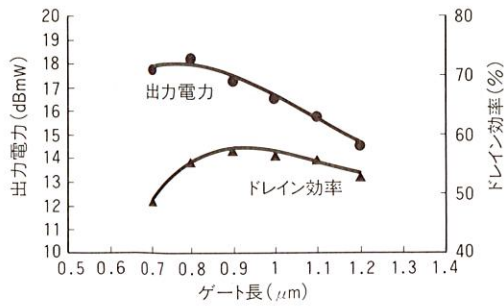


図5. ゲート長に対する出力電力および効率特性 ゲート長が短くなるに伴い出力電力が増加、ゲート長0.9 μmでドレイン効率がピークに達する。

Output power and drain efficiency vs. gate length

ドーズ量は 45 keV, $2.2 \times 10^{12} \text{cm}^{-2}$ と設定した。

3.2 ゲート長依存性

図5に出力電力、ドレイン効率のゲート長依存性を示す。ゲート幅1 mm, チャネルイオン注入ドーズ量は45 keV, $2.2 \times 10^{12} \text{cm}^{-2}$ の単体FETにおいてゲート長0.7~1.2 μmの範囲でのドレイン効率と出力電力を測定した。ゲート長が短くなるに伴い出力電力が増加、ゲート長0.9~1.0 μmでドレイン効率がピークに達する。ゲート長0.8 μm以下では短チャネル効果によるドレイン効率の低下がみられるため、ゲート長は0.9 μmと設定した。

4 パワーアンプICの設計

このパワーアンプICは、PHS 端末として求められている単一正電源駆動、高効率、小型化を目標に設計した。また、電力利得は20 dB以上(出力電力21 dBmW時)と設定し、構成はFET 2段、小型パッケージSSOP-8に搭載するようバイアス回路および入出力整合回路は外付けとした。利得配分は、高効率の面から前段を利得重視とし、前段12 dB, 後段8 dBと設定した。ゲート幅は、各段に要求される出力電力からそれぞれ0.6 mm, 3.6 mmとした。

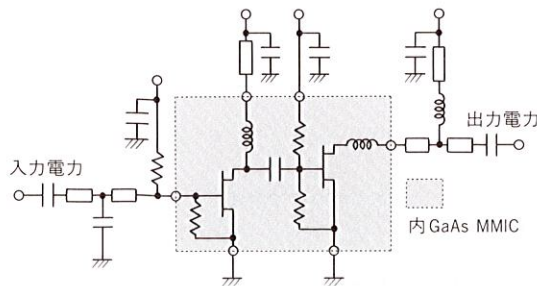


図6. 等価回路 GaAs MMICチップ内はFET 2段で構成され、パッケージの寄生インダクタンスを利用することで実装面積の縮小を実現した。

Equivalent circuit

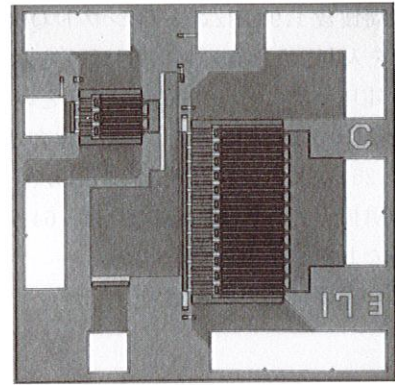


図7. MMICチップ FET 2段, 1個のMIM キャパシタおよび4個のインプラ抵抗により構成され、チップサイズ1 mm×1 mm。

Top view of MMIC chip

図6に周辺回路を含むパワーアンプICの等価回路を示す。高効率、低ひずみを実現するために、後段FETの出力回路はロードプル測定結果を用いて最適負荷になるように設計し、前段のFETは後段FETへひずみの影響が出ないよう線形領域で使用するように設計した。

これらのことを基に設計したMMICチップの表面写真が図7である。FET 2段, 1個のMIM (Metal Insulator Metal) キャパシタおよび4個のインプラ抵抗により構成され、チップサイズ1 mm×1 mm, 小型パッケージSSOP-8への実装を可能とした。また、外付け回路はマイクロストリップラインと1005タイプの積層セラミックコンデンサと抵抗で構成され、さらにパッケージの寄生インダクタンスを定量化し、積極的に利用することで実装面積の縮小を実現した。

5 特性

図8に、開発したPHS用パワーアンプIC (TG2006F) の

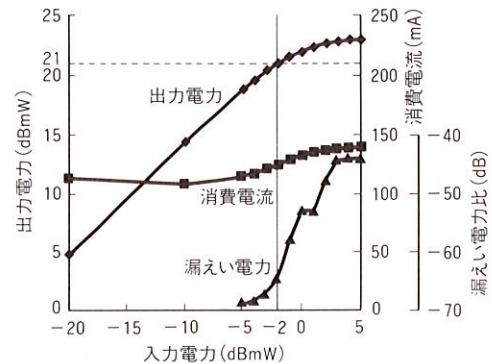


図8. 入出力特性 周波数1.9 GHzのπ/4シフトQPSK信号を入力したときの入出力特性で、ドレイン電圧3 V, ゲート電圧0 Vにおいて $P_0=21 \text{ dBmW}$ 時、総合効率33.4%が得られた。

Power characteristics

入出力特性(周波数 1.9 GHz の $\pi/4$ シフト QPSK (4 相位相変調) 信号を入力したときの入出力特性)を示す。その結果、ドレイン電圧=3 V, ゲート電圧=0 V という条件の下で出力電力を 21.0 dBmW に設定したとき総合効率 33.4 % (消費電流=125 mA) で、電力利得 23 dB が得られ、600 kHz 離調時の隣接チャネル漏えい電力比は-64.7 dB と目標特性を十分満たした結果を得た。

表 1 に製品の主要特性規格を示す。

表 1. TG2006F の主要特性規格
Performance ratings of TG2006F

項目	最小	標準	最大	測定条件
出力電力 P_o (dBmW)	21	22	—	$P_{in} = 1$ dBmW
電力利得 G_p (dB)	20	22	—	$P_o = 21$ dBmW
消費電流 I_c (mA)	—	130	150	—
隣接チャネル漏えい電力比 P_{adj} (dB)	—	-60	-55	$P_o = 21$ dBmW $\Delta f_c = 600$ kHz

6 あとがき

PHS 用正電源駆動型 GaAs パワーアンプ IC (TG2006F) を開発・製品化した。TG2006F は、小型、低価格、高効率を兼ね備えた性能をもち PHS 端末の要求にこたえられるも

のと確信している。

今後は TG2006F の技術を発展させ、高利得・高機能化、さらに高集積化を目ざす。また、他の移動体通信システムへも応用していく。

文献

- (1) K. Nishihori, et al: A Highly-efficient GaAs Power MESFET with P-pocket Layers for Linear Power Applications, Electrochemical Society Proceedings, Vol.96-15
- (2) 長沢弘憲, 他: 超小型・低価格パッケージに内蔵した PHS 用正電源駆動パワーアンプ IC, 1997 電子情報通信学会 C-2-30



本明 謙二 Kenji Honmyo

ディスクリート半導体事業部 半導体技術部。
化合物 IC の開発に従事。
Discrete Semiconductor Div.



深山 智之 Tomoyuki Fukayama

ディスクリート半導体事業部 半導体技術部。
化合物 IC の開発に従事。
Discrete Semiconductor Div.



遠藤 和夫 Kazuo Endo

ディスクリート半導体事業部 半導体技術部参事。
化合物 IC の開発に従事。電気学会会員。
Discrete Semiconductor Div.

訂正のお知らせ

前号 (52 巻 10 号) の 28 ページ表 1 の脚注に誤りがありました。
訂正いただきますようお願いいたします。

誤 ISA: 米国計測工業会

正 ISA: Industry Standard Architecture