

# LSI に対するプラズマダメージの影響およびその回避策

Impact of Pattern Density on Plasma Damage in CMOS LSIs

宮本 浩二  
K. Miyamoto

中村 潤一  
J. Nakamura

田村 至  
I. Tamura

CMOS LSI におけるプラズマダメージの新しいモデルを提案する。それは、従来論じられているアンテナ比（プラズマプロセス中にチャージされるメタル配線およびビアなどの表面積とそれに接続されているゲートの酸化膜面積との比）およびアスペクト比（メタル配線などの間隔とその膜厚との比）に加え LSI のパターン密度を考慮することにより CMOS LSI のプラズマダメージは説明できるというものである。

三種類のパラメータ、すなわちアンテナ比、アスペクト比、そしてパターン密度を考慮に入れたテストパターンを用い新しいモデルを立案し、CMOS LSI の信頼性データにそのプラズマダメージモデルを適用し検証した。このモデルを考慮して CMOS LSI の回路を設計すれば、プラズマプロセスによるダメージを回避することができる。

This paper proposes a new plasma damage model that can explain and estimate plasma damage in a CMOS LSI by taking into account the additional factor of pattern density. Reliability data presented in this paper show that plasma damage to MOSFET gate oxide in a CMOS LSI cannot be fully explained by considering only the antenna ratio and aspect ratio theory.

To verify the model on a CMOS LSI, a test pattern was designed with three parameters: antenna ratio, aspect ratio, and pattern density. It was concluded that CMOS LSI reliability results were explained by this new model. This model should be taken into account when designing CMOS LSI circuits in order to avoid damage by plasma processes.

## 1 まえがき

LSI が受けるプラズマダメージは従来から注目され続けており、それは LSI が高パフォーマンスを得るために、より薄いゲート酸化膜およびより多くの配線層を強く要求し始めたところから続いている。

そのプラズマダメージで従来重要なパラメータとしてアンテナ比およびアスペクト比が考えられてきた。しかし、この二つのパラメータだけでは、CMOS LSI の実際のプラズマダメージを検証するには十分ではない。低アンテナ比および低アスペクト比でも低いパターン密度をもった CMOS ゲートの酸化膜は壊滅的なダメージを受けるのである。

ここでは、実験データに基づいて新しいプラズマダメージモデルを提案する。それは、実際の CMOS LSI のプラズマダメージはアンテナ比およびアスペクト比に加えパターン密度を考慮に入れることにより説明できることを示している。

## 2 SRAM テストチップでのプラズマダメージ実験

SRAM テストチップを図 1 に示す。ゲート酸化膜は 11 nm で 3 層メタル配線の CMOS プロセスで試作した。

信頼性試験におけるストレス条件は、温度、電圧および周波数はそれぞれ 150°C、5.2 V (4.7 MV/cm)、10 MHz で

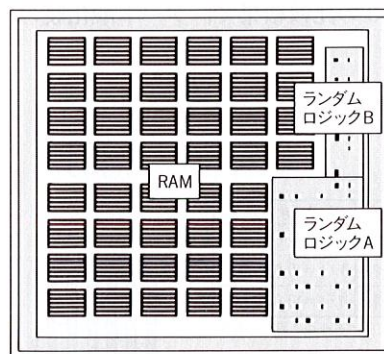


図 1. SRAM テストチップ  
960 k のトランジスタをもつ RAM 部と、25 k のトランジスタをもつランダムロジック部を搭載した、SRAM テストチップのイメージ図である。

SRAM test chip

ある。図 2 (a) は 168 時間ストレス印加後のランダムロジック A、B、そして RAM の 3 種類の回路での不良トランジスタの総数を示している。

図 2 (b) はビアおよびメタル配線のそれぞれエッチングプロセスを考慮した 3 種類の回路でのアンテナ比をまとめたものである。MOS LSI におけるプラズマダメージはアンテナ比に依存することがよく知られているが、図 2 (b) では図 2 (a) を説明できていない。

この現象を調べていくうちに図 2 (c) に示すようにプラズマダメージを受けている MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が低いパターン密度の領域に置かれていることが確認された。

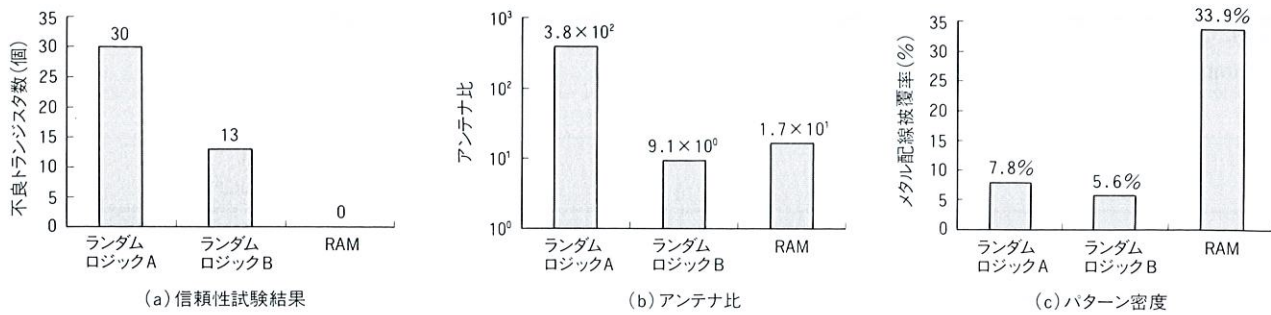


図2. 三種類の回路部における信頼性試験結果とアンテナ比およびパターン密度との関係 プラズマダメージはアンテナ比だけに依存することでは説明できず、パターン密度を考慮に入れることで説明が可能となる。

Results obtained for number of failed transistors in three circuit configurations and antenna ratios/pattern densities of these configurations

### 3 テストパターンでの検証実験

そこで、上記の現象を調査し明らかにするために図3のテストチップを試作した。

このテストチップは、アンテナ比、アスペクト比、およびパターン密度の3種類のパラメータをもっている。8nmの酸化膜厚のMOSキャパシタとトランジスタはツインウェルプロセスで製造されている。キャパシタの歩留りは、酸化膜電界が8 MV/cmでゲートリーク電流が1 nA以下で良品(%)を定義している。

図4(a)はパターン2と3の比較結果で、ゲート酸化膜の

劣化はよく知られているようにビアのアンテナ比に強く依存していることがわかる。また、図4(b)はパターン1と2の比較結果で、アスペクト比依存性を検証できた。しかしながら、高アスペクトのパターン4はプラズマダメージを強めると予想されるのにパターン3と4は図4(c)に示すようにほぼ同じ結果である。従来のモデルによるとテストパターン4の歩留りはテストパターン3の歩留りより低いはずであるが、この結果からプラズマダメージは高いパターン密度により軽減されることがわかる。

この現象を検証するために同じテストパターンを用い Tbd (Time to breakdown: ゲートに電圧を印加し酸化膜破壊が発

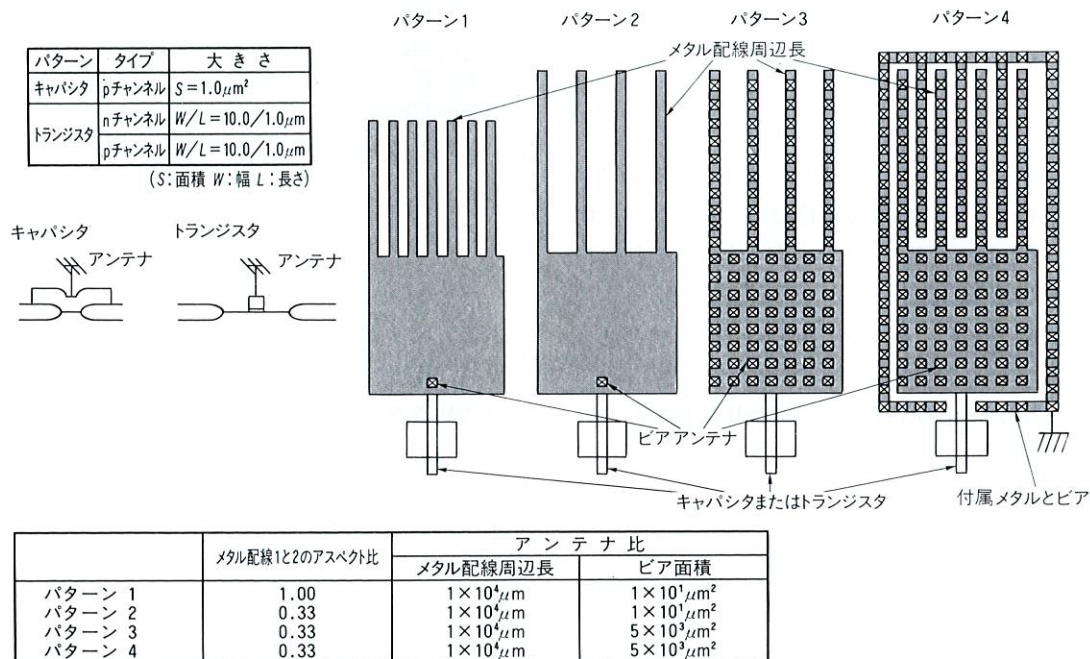


図3. テストチップの構造 プラズマダメージモデルを検証するためにアンテナ比、アスペクト比、パターン密度のパラメータを評価するためのテストチップイメージ図およびパラメータ値。

Test chip structures



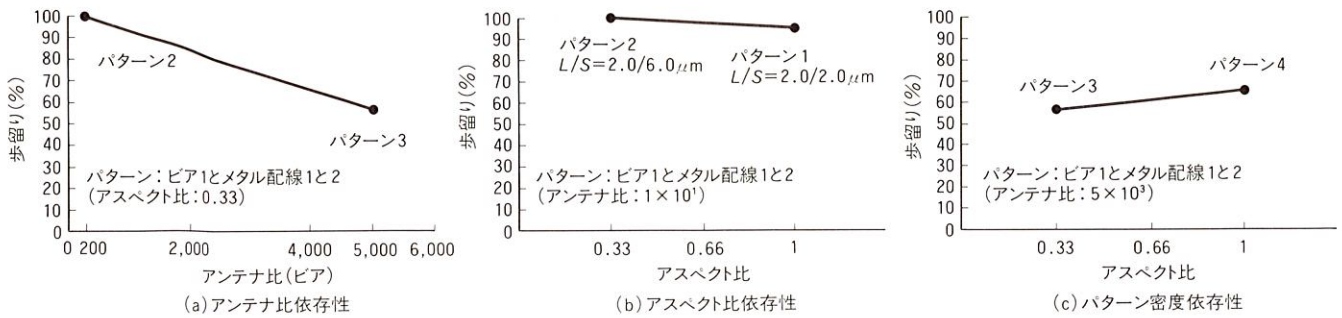


図4. 検証実験によるアンテナ比, アスペクト比, パターン密度依存性 実験結果から, プラズマダメージはパターン密度が高くなることで軽減されることがわかる。

Dependence of yield on antenna ratio, aspect ratio and pattern density

生ずる時間) 測定を低電圧下で行った。ストレス条件はSRAM テストチップでのものと同じで, ストレス温度と電界はそれぞれ 150°C, 4.7 MV/cm である。

図5はその結果を示しており, 高アスペクトの累積不良率は低アスペクトのそれより低く, この傾向は図4(c)と同様の結果を示している。これらの結果から実際のCMOS LSIでも同様の現象が起きていると考えることができる。

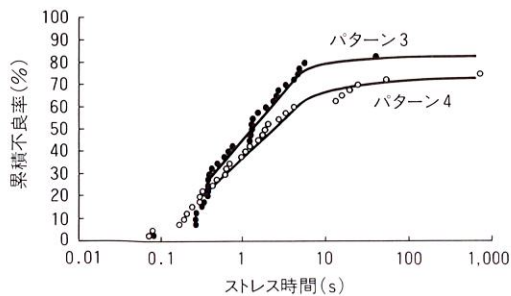


図5. Tbd 試験結果 テストパターン3と4を用いたTbd試験によるパターン依存性検証結果で, パターン3がパターン4に比べ短時間で不良が発生している。

Results of time-to-breakdown measurements

#### 4 プラズマチャージ回避モデル

パターン密度効果を理解するために次のモデルを提案する。

図6に示すように, もしも単一領域で同量のプラズマチャージが誘導するのであれば, 高いパターン密度上で一つのMOSFETに集められたプラズマチャージ量は, 低密度パターンと比較して少ない。これは実効的なプラズマチャージ量はプラズマプロセスが行われている間, プラズマにさらされている領域によって確定されるからである。したがって, 実効プラズマチャージの密度は低いパターン密度の場合に大きい。例えば, もしもMOSFETが高いパターン密度

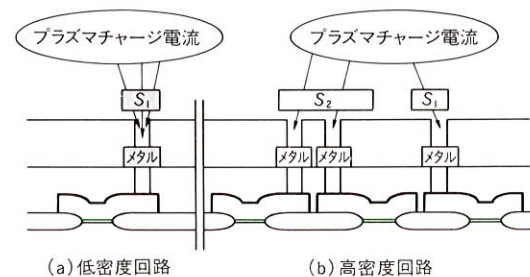


図6. プラズマダメージモデル パターン密度依存性を考慮したプラズマダメージモデルで, プラズマチャージ電流は疎パターンに集中する。

Model of plasma process-induced damage

度の回路の中に存在し, ビアおよびメタル配線に接続されていれば回路の中でそのMOSFETはプラズマダメージをそれほど受けない。

次に上述のモデルを式を用いて説明する。

$$\text{プラズマダメージ係数 } d = \frac{S_1}{S_1 + S_2} \times A \quad (1)$$

S<sub>1</sub>: 単一プラズマ領域内でのアンテナ領域

S<sub>2</sub>: 単一プラズマ領域内でのアンテナ領域外領域

A: アンテナ比を下記に示す

A(コンタクトとビア) = 穴系総面積 / ゲート酸化膜面積

A(メタル配線) = (メタル配線膜厚 × メタル配線周辺長) / ゲート酸化膜面積

M: プラズママシン依存性

プラズマダメージ係数は層(Layer)ごとに(1)式を用いて計算でき, 多層の場合は次の式を用いて計算できる。

$$\text{各層のプラズマダメージ係数の和 } D_{\text{total}} = \sum_{\text{layer}} (d \times M) \quad (2)$$

表1にテストパターンのダメージ係数を示す。

テストパターン3のダメージ係数はテストパターン4のそれよりも大きい。

このモデルは図4(c), 図5の傾向を定量的に説明できる。

表1. テストパターンのダメージ係数

Damage coefficient of test patterns

	テストパターン 3	テストパターン 4
メタル配線	$1.2 \times 10^4$	$3.8 \times 10^3$
穴系	$5.1 \times 10^3$	$3.0 \times 10^3$

さらにこのモデルを検証するために上述のSRAMテストチップにこの式を適用した。ダメージ係数が大きいトランジスタほどプラズマプロセスによって大きなダメージを受けることが予想できる。

表2はSRAMテストチップ中の3種類の回路のプラズマダメージ係数をまとめたものである。

表2と図7はダメージ係数が図2で示した不良トランジスタ数と同傾向にあることを示している。しかし、RAM部で起こった不良数ゼロの結果はこれでは説明できていない。

表2. 3種類の回路でのダメージ係数

Damage coefficient of three circuit configurations

	ランダムロジック A	ランダムロジック B	RAM
メタル配線	$3.7 \times 10^1$	$4.8 \times 10^{-1}$	$3.8 \times 10^{-1}$
穴系	$3.0 \times 10^{-2}$	$1.0 \times 10^{-2}$	$7.0 \times 10^{-3}$

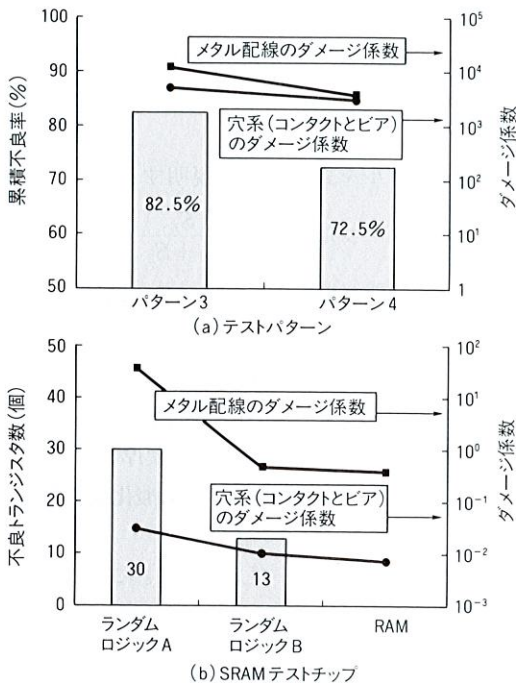


図7. テストパターンとSRAMテストチップのダメージ係数。テストパターン3, 4とSRAMテストチップ上3種類の回路のダメージ係数と不良数の関係グラフ。

Damage coefficient of test patterns and SRAM test chip

これはさらにこのモデルを実際のCMOS LSIのプラズマプロセスダメージに近ずけるために下記追加要因を考慮に入れなくてはならないことを示している。

- (1) ダメージを受けたトランジスタのタイプ。例えば、nチャネルかpチャネルトランジスタか？
- (2) コンタクトの種類。例えばドレイン接続かグラウンド接続か？
- (3) 配線のアスペクト比
- (4) パターン密度を規定する際の単一領域面積
- (5) 各層のプラズマチャージ量の重さ

最後にこのケースの場合プラズマダメージ係数を $4.0 \times 10^{-1}$ 以下に制御して回路設計すれば、プラズマダメージのないCMOS LSIを設計することができる。

## 5 あとがき

ここではプラズマダメージのパターン密度依存性を明らかにした。それは、CMOS LSIのプラズマダメージにおいてパターン密度はアンテナ比やアスペクト比と同様に重要であることを示しており、アンテナ比とアスペクト比に加えてパターン密度を考慮に入れることにより実際のCMOS LSIでのプラズマダメージを説明することが可能であることを示した。

ロジックデバイスでは多種のパターン密度が存在するため、そのパターン密度を考慮に入れ設計することが高密度のプラズマダメージを回避する重要な点の一つで、これからのCMOS LSIにおける不可欠な対応策である。

## 文献

- (1) S. Fang and J.P. McVittie: Model for oxide damage from gate charging during magnetron etching, Appl. Phys. Lett., 62, 13, pp.1507-1509 (1993)
- (2) K. Hashimoto: New Phenomena of Charge Damage in Plasma Etching: Heavy Damage Only through Dense-Line Antenna, Jpn. J. Appl. Phys., 32, 12B, pp.6109-6113 (1993)



宮本 浩二 Koji Miyamoto

マイクロプロセッサ・ASIC事業部 ASIC製品技術部主務。ロジック全般CMOSの開発および開発支援システム開発に従事。  
Micro & Custom LSI Div.



中村 潤一 Jun'ichi Nakamura

マイクロプロセッサ・ASIC事業部 ASIC製品技術部。ロジック製品の開発に従事。  
Micro & Custom LSI Div.



田村 至 Itaru Tamura

マイクロプロセッサ・ASIC事業部 ASIC製品技術部。ASIC製品の開発に従事。  
Micro & Custom LSI Div.