

遮断周波数 30 GHz クラスの Si 高周波アナログ プロセス SMART2

SMART2 Silicon High-Frequency Analog Process for $f_T=30$ GHz

塚本 達彦
T. Tsukamoto

福島 一樹
H. Fukushima

斎藤 和行
K. Saitoh

Si 高周波アナログ プロセスとして、SMART (Silicon Monolithic Architecture for RF Technology) プロセスを用いて、周波数 1 GHz まで対応した製品の量産を行っている。しかしながら、近年の移動体通信機器・衛星放送機器関連において高周波化が進んでおり、現在では周波数 2~3 GHz に対応した製品の要求が高まっている。

当社は、この要求に対応した遮断周波数、 $f_T=30$ GHz クラスの Si 高周波アナログ プロセスとして、高解像度の露光装置を用いてエミッタ幅 $0.5\mu\text{m}$ を実現するとともに、低温エピタキシャル成長によりベースを形成する最新のプロセス技術を活用した SMART2 プロセスを開発した。このプロセスは、現在当社で量産を行っている超小型 SMD (Surface Mount Devices) パッケージに搭載した高周波アナログ IC への適用も可能とし、チップセットの最小限の変更で、市場における機器の高性能化にも十分対応できるプロセスである。

Using a silicon high-frequency analog process named SMART (silicon monolithic architecture for RF technology), we are mass-producing high-speed silicon devices in which the transistors are confirmed to have a band of around 1 GHz. However, the recent trends in mobile communications and satellite broadcast systems have resulted in growing demand for higher band frequencies of up to 2 to 3 GHz band.

To satisfy this demand, we have developed the SMART2 process for $f_T=30$ GHz. SMART2 is a silicon high-frequency analog process with a $0.5\mu\text{m}$ emitter width using a high-resolution stepper, and a thin base depth using low-temperature epitaxial growth.

This process is suitable for high-frequency analog ICs used in surface mount devices (SMDs). Using this process, it is possible to realize high performance with little change in chip sets.

1 まえがき

近年、携帯電話や PHS といった移動体通信機器、衛星放送網の拡大が急速に進んでおり、これら通信機器のフロントエンド部で使用される Si 高周波アナログ デバイスも、年々高周波化の傾向にある。

当社では、これらの高周波化の要求に対応するため、従来から Si 高周波アナログ プロセス (SMART プロセス) で、微細加工技術を活用して $f_T=10$ GHz クラスまで特性を上げてきた。

高周波化に対しては従来の微細加工技術だけでなく、より急峻(しゅん)で浅いベース形成を行い、 f_T を向上させていく必要がある。しかしながら、従来の SMART プロセスであるイオン注入によるベース形成では、ベース濃度プロファイルの急峻度が限界に達している。したがって、急峻なベース形成プロセス技術が Si 高周波アナログ デバイスの特性向上におけるポイントとなる。

ここでは、これまでの主流である、イオン注入によるベース形成を低温エピタキシャル成長でおこなった SMART2 プロセスの設計および構造について紹介する。

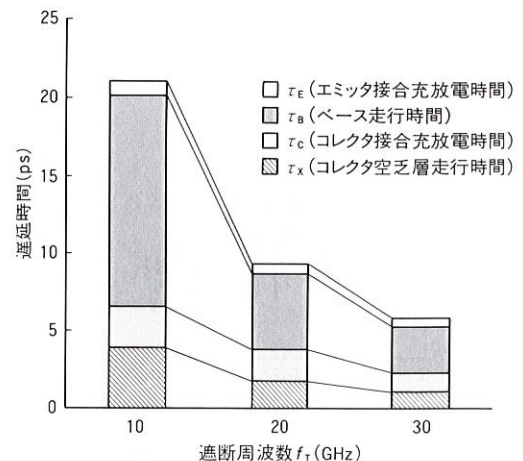


図1. トランジスタの遅延時間成分依存性 SMART2 プロセスでは、これまで支配的であった τ_B の低減が課題となる。

Dependence of transistor delay time factors

2 SMART2 プロセス技術

Si 高周波アナログ デバイスにおいて、最大 f_T となる電流下では τ_B (ベース走行時間) がもっとも支配的である(図1)。

したがって、 f_T を向上させていくためには τ_B の低減、すなわちベース幅を縮小すればよい。このとき、同時に雑音指数(NF)特性対策としてベース不純物濃度を上げる必要がある。その理由として、ベースのパンチスルーを防ぎ、かつベース抵抗の増大によるNFの悪化を避けるためである⁽¹⁾。この要求を満たす技術として、低温エピタキシャル成長によるベース形成を採用した。

図2に、イオン注入と低温エピタキシャル成長によるベース濃度プロファイルを示す。このように、低温エピタキシャル成長を用いることで、より高濃度でより浅いベース形成の実現が可能となる。

図3に、SMART2プロセスで用いた低温エピタキシャル成長によるベース形成のプロセスフローを示す。素子分離工程を施した後、ベースの引出しとなるポリシリコンを加工し(図3(a))、ポリシリコンをマスクにして、ベース領域となる部分の酸化膜をエッチングする(図3(b))。その後、シリコンの気相成長を非選択的に行うことにより、シリコン上にはエピタキシャル層を成長させ、ポリシリコン上および酸化膜上にはポリシリコンを成長させる(図3(c))。また、微細加工技術として高解像度の露光装置を採用し、最小寸法 $0.5\mu\text{m}$ のエミッタ開孔を行った。

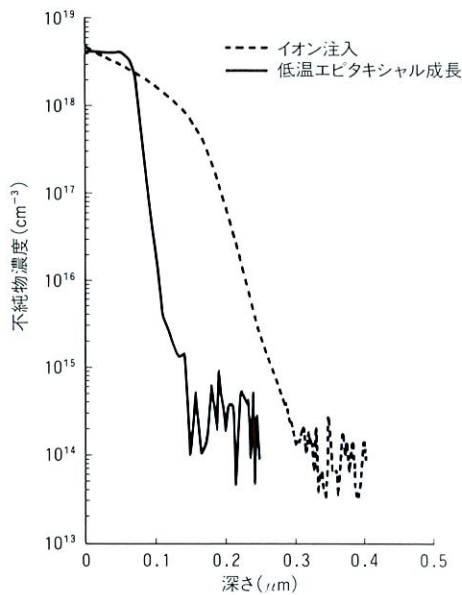


図2. SIMS (二次イオン質量分析装置) による濃度プロファイル
低温エピタキシャル成長では、イオン注入で見られるチャネリング効果が抑えられる。

SIMS profile of low-temperature epitaxial growth

3 設計のポイント

Si 高周波アナログデバイスの設計では、 f_T を向上させるためにベース幅の縮小と同時に C_{bc} (コレクターベース間容量)

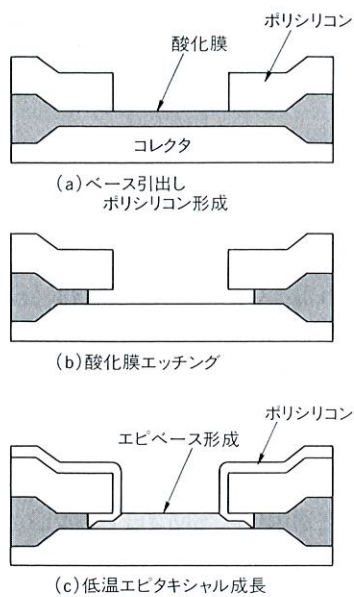


図3. SMART2プロセスフロー
非選択性条件下で低温エピタキシャル成長を行うことにより、プロセスの安定性を実現している。

Process flow of SMART2

の低減が高周波特性向上のポイントとなる。

図4に、npn トランジスタの基本ユニットサイズを従来のSMARTプロセスと比較して示す。

従来のSMARTプロセスでは、npn トランジスタの1ユニット全面にベース領域が存在する。これに対し SMART2プロセスでは、LOCOS (LOCAl Oxidation of Silicon) 酸化膜を活用することで、ベース領域を従来の1/2に縮小できた。

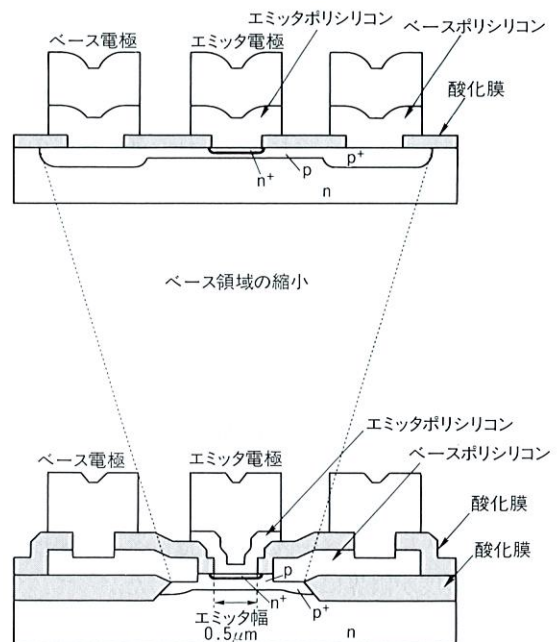


図4. SMART プロセスと SMART2 プロセスとのサイズ比較

SMART2 プロセスでは、従来の電極寸法を維持しつつ、ベース領域の縮小を行った。

Comparison of cell size of SMART and SMART2

4 デバイス設計

図5に、今回開発した SMART2 プロセスを用いた、npn トランジスタのチップ写真を、図6に外観を示す。チップサイズは0.36 mm×0.36 mm と小チップ化を行い、超小型 SMD パッケージに搭載することで、高密度表面実装化、設計の容易性、自由度の向上を可能としている。

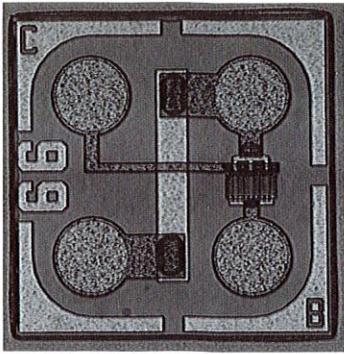


図5. SMART2プロセスを用いた、単体トランジスタのチップパッドの配置は左上がコレクタ、右上がエミッタ1、左下がエミッタ2、右下がベースである。

Discrete device chip of SMART2 process

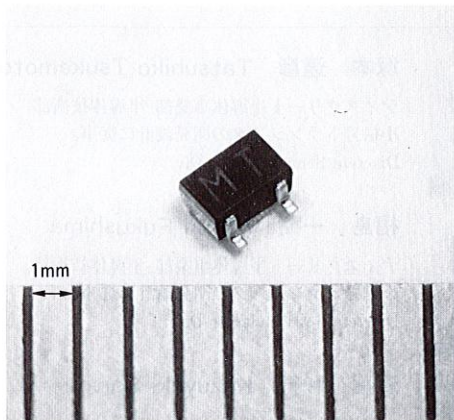


図6. 超小型 SMD の外観 表面実装型の超小型 SMD であり、高密度表面実装が可能である。

Top view of SMD

5 電気的特性

図7に、SMART2プロセスにおける npn トランジスタの f_T の電流依存性を、図8に NF 、利得の電流依存性を示す。コレクタ-エミッタ電圧 $V_{CE}=2V$ という低電圧において、 $f_T=30GHz$ (オンウェーハ測定) を達成できた。さらに、 $NF=1.5dB$ 、利得=16dB (@ 2GHz、アッセンブリ後測定) という性能を得た。

DC特性としては、コレクタ-ベース耐圧 $V_{CBO}=9V$ 、コレクタ-エミッタ耐圧 $V_{CEO}=3V$ 、電流増幅率 $h_{FE}=200$ が得られた。図9にコレクタ電流 I_C とベース電流 I_B のベース-エミッタ電圧 V_{BE} 依存性を示す。

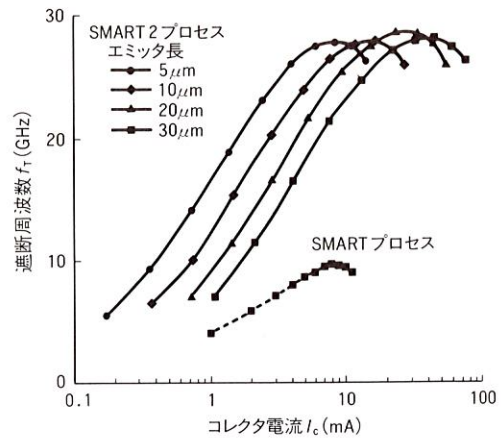


図7. SMART2プロセスによるトランジスタの f_T の電流依存性 オンウェーハ測定において、 $V_{CE}=2V$ で、 $f_{Tmax}=30GHz$ を得ている。
 f_T vs. I_C of transistor used in SMART2 process

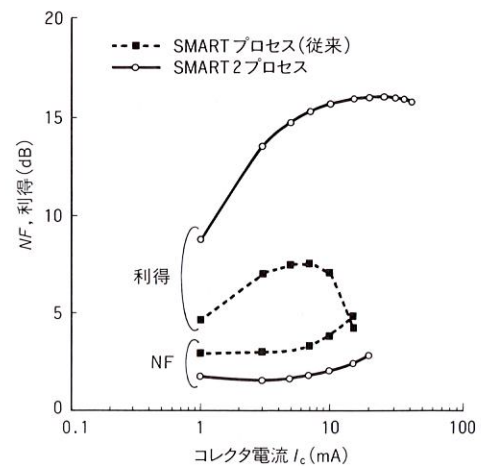


図8. SMART2プロセスによるトランジスタの NF 、利得の電流依存性 アッセンブリ後の測定において、周波数 2 GHz で $NF=1.5dB$ 、利得 16 dB を得ている。

NF gain vs. I_C of transistor used in SMART2 process

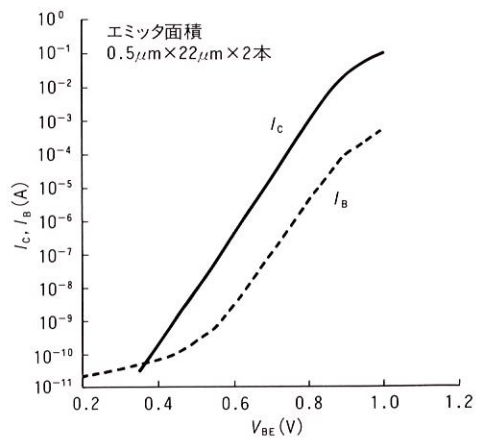


図9. SMART2プロセスによるトランジスタの $I_C \cdot I_B$ の V_{BE} 依存性 $V_{CE}=2V$ での実測で、低電流領域まで再結合電流は見られない。

I_C, I_B vs. V_{BE} of transistor used in SMART2 process

6 応用設計

近年の Si 高周波アナログ回路では、高性能化はもちろんのこと、部品点数の削減、高密度実装化を目的とした 1 チップ化の要求も増加している。当社では、これまで汎（はん）用性のある基本回路を集積ブロック化し、超小型 SMD パッケージに搭載した高周波アナログ IC の開発、量産を行っている⁽²⁾。

今回、新しく開発した SMART2 プロセスでも、抵抗およびコンデンサの製造プロセスを取り込んでいる。よって、図 10 に示す通信機器などの高周波フロントエンド部における LNA (Low Noise Amplifier)、ミキサ、バッファアンプなどへの適用が可能であり、さらには、これらユニットを 1 チップ化した高周波アナログ IC への応用設計へと進めることができる。

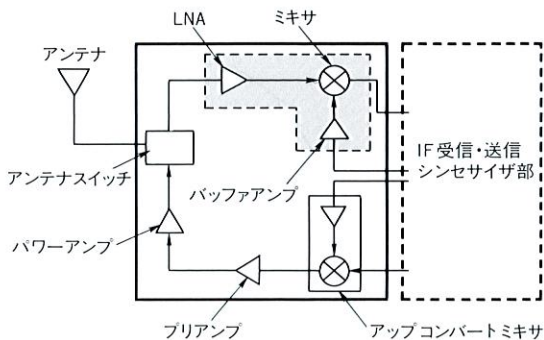


図 10. 通信機器のフロントエンド部構成 アンテナからの入力信号は、直接フロントエンド部へ送られるため、高帯域化に対応した、高い f_T が要求される。

Configuration of RF block

7 あとがき

今回、当社として新たに開発を行った Si 高周波アナログ

プロセスとして SMART2 プロセスの設計および構造について紹介した。このプロセスでは、超高解像度の露光装置による微細加工技術に加え、低温エピタキシャル成長によるベース形成といった新プロセスを使いながらも、量産を踏まえた設計、構造となっており、現在の Si 高周波アナログデバイスとしてはトップクラスの性能をもっている。

さらに、当社で量産を行っている、超小型 SMD パッケージに搭載した高周波アナログ IC への適用により、チップセットの最小限の変更で、現在使用している通信機器などの高性能化にも十分対応できるものと確信している。

今後の展開として、SMART2 プロセスを用いたデバイスの特性の安定化と量産体制を整えると同時に、高周波アナログ IC への適用を推進し、市場の要求にこたえられるよう、ラインアップの拡充を進めていく。

文 献

- (1) 古川静二郎，他：シリコン系ヘテロデバイス，p.46，丸善株式会社（1991）
- (2) 伊藤隆啓，他：チューナ用高周波デバイス，東芝レビュー，47，1，pp.11-14（1992）



塚本 達彦 Tatsuhiko Tsukamoto

ディスクリート半導体事業部 半導体技術部。
小信号トランジスタの開発設計に従事。
Discrete Semiconductor Div.



福島 一樹 Hitoki Fukushima

ディスクリート半導体事業部 半導体技術部。
小信号トランジスタの開発設計に従事。
Discrete Semiconductor Div.



斎藤 和行 Kazuyuki Saitou

半導体生産技術推進センター 半導体プロセス技術第一部。
小信号トランジスタのプロセス開発に従事。
Semiconductor Manufacturing Engineering Div.