

DRAM を中心とした半導体デバイスは、ギガビット時代を迎えようとしている。高集積度デバイス研究開発および品質管理には、ナノメートルオーダの極微小特定領域高精度観察・評価技術の開発が必須(す)である。このような要求には、これまで走査型電子顕微鏡 (SEM) が大きな役割を果たしてきたが、近年、ナノメートルレベルの極微小領域の構造解析ができることから、透過型電子顕微鏡 (TEM) が重要なツールとしてクローズアップされている。集束イオンビーム装置 (FIB: Focused Ion Beam) による TEM 試料作製 (前処理) 技術や電界放射型分析電子顕微鏡 (FE-TEM) による評価技術を確立したことでナノ領域組成分析が可能となった。

In recent years, scanning electron microscopy (SEM) has been playing an important role in observing the structural details of microelectronic devices. However, the significance of transmission electron microscopy (TEM) is growing as a key technique for development and quality control in this product area for example, DRAMs.

This paper presents some structural aspects of microelectronic devices and related thin films revealed by TEM. Also described are a specific TEM specimen preparation method using a focused ion beam (FIB), and interfacial "nano-analysis" results obtained by field emission TEM.

1 まえがき

DRAM などの半導体デバイスの高集積化に伴い、極微小領域の観察・分析技術開発の必要性が指摘されて久しい。ギガビット時代を目前とした今日、新たなデバイス材料の開発、半導体プロセス技術の確立および品質管理のために、SEM 法をしのぐ、より微細な特定領域の構造、組成、化学結合状態などの評価法確立が必須であり、特定微小領域の本質解明が次世代デバイス開発・製品化のかぎとなっている。

ここでは、半導体デバイスと半導体関連材料の開発およびプロセス技術の確立と密接に関連した TEM を用いた観察・分析・評価技術を、TEM 法の要素技術の一つである試料作製技術 (前処理技術) と併せて紹介する。

2 TEM による観察・分析・評価技術

2.1 TEM 試料作製技術 (前処理技術)

電子線は物質への透過能がきわめて低い。物質を透過した電子波を利用して結像する TEM 法では、試料の厚さを電子線が透過するレベルまで薄くする必要がある。通常 100 nm 厚以下のサンプル加工を旨とすが、この作業を前処理と呼んでいる。TEM 法では前処理の良否が結果に大きな影響を与える。実際には前処理が解析評価の全体の仕事量に対して大きなウェイトを占める。

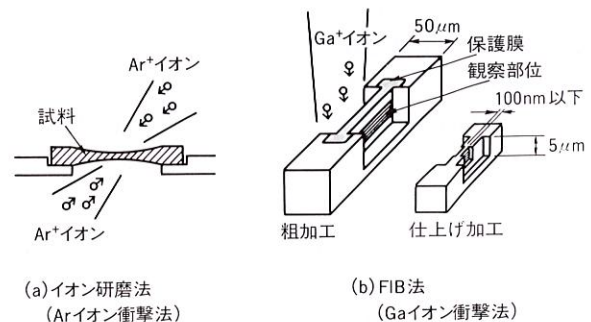


図1. 半導体デバイスの TEM 試料作製法 従来から一般的に用いられてきた Ar イオン研磨法に替わり、デバイスの特定領域のサンプルリングに有効な FIB 法が主流になりつつある。

TEM specimen preparation techniques for semiconductor devices

材料の種類や解析評価の目的によって前処理は大きく異なる。図1に Si など半導体デバイスに対する前処理法を示す。通常、半導体材料は物理的薄膜化法であるイオン研磨法によって薄膜化する。

TEM 観察時の透過可能な試料の厚さは材料の種類や電子線の加速電圧に強く依存する。同一厚さの場合、軽い元素からなる物質や、電子線の加速電圧が高いほど透過可能な試料の厚さが増大する。Si の場合、後述の高分解能像を得るためには数十 nm 程度の薄膜化を要する。

最近、従来の LSI 配線の接続・修復などに用いていた FIB によるデバイスの不良解析、断面 TEM 観察試料作製が

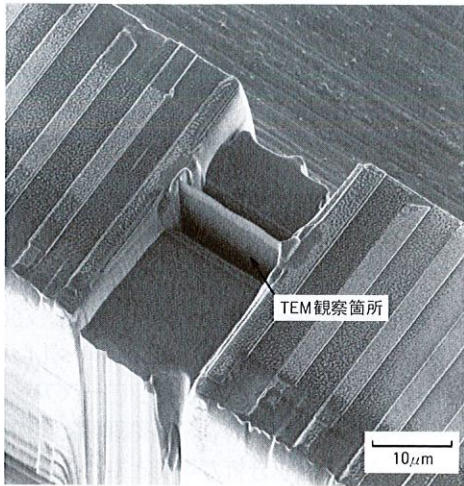


図2. FIBによるSiデバイスのTEM試料加工の一例 収束GaイオンでTEM試料を加工した。もっとも薄い領域がTEM観察エリアとなる。

Image of Si device specimen prepared by FIB

注目されている。FIBによる新規試料作製法により、①作製時間の短縮、②特定箇所のサンプリングおよび観察が可能となった。図2は、FIBによるデバイス特定箇所のTEM試料加工例である。今後は、この方法が半導体デバイス解析のTEM試料作製の主流になるとと思われる。

2.2 TEMによる構造観察技術

光源となる電子ビームは数百kVに加速されており、電子波の波長は0.1 nm程度と非常に短い。短波長電子ビームを用いることで、ナノメートルレベルの極微小領域の構造を明確に捕らえることが可能となる。

一般的に、TEMによって結像されるイメージは、明視野像、暗視野像、高分解能像および電子回折像の4種である。これらの像を総合的に観察・解析することで、結晶構造、結晶粒径、各種界面の平坦(たん)性、形状、反応相の有無など、デバイスを構成する材料の重要な性質が判明する。ちなみに、高分解能像観察では拡大倍率は50万倍程度で、これは実際の長さ1 nmを0.5 mmにまで拡大することに対応している。

2.3 FE-TEMによるナノ領域分析技術

TEMを用いた分析法のなかで、一般的に用いられるのが、電子線照射時に試料から発生する特性X線のエネルギーを測定して組成分析を行うエネルギー分散型X線(EDX: Energy Dispersive X-ray)分析法と、試料中で非弾性散乱した電子線を検出し、組成および結合状態の情報を得る電子エネルギー損失分光(EELS: Electron Energy Loss Spectroscopy)分析法である。これらの手法を微細化されたデバイスに応用するには、FE-TEMが有効である。

FE-TEMでは、エネルギー半値幅0.5 eV程度の単色性の高い高輝度電子線を直径1 nm以下の極微小領域に照射でき

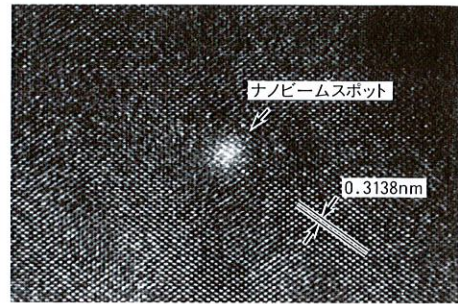


図3. Siの高分解能像上に多重露光した収束電子ビーム Si(111)格子面の間隔(0.314 nm)から電子ビームのサイズは約1 nmと判断できる。

Overlapping image of Si lattice and electron beam spot

るため、従来型のTEMより高い空間分解能での分析が可能である。図3に、Si格子像上に多重露光した直径約1 nmの電子ビーム像を示す。特に、EELSでは軽元素分析や、高いエネルギー分解能を生かした結合状態の評価に有効である。

3 応用事例

3.1 極薄ゲート酸化膜の構造評価

MOSFET素子をどこまで微細化できるかは、いわゆる短チャネル効果をどこまで抑制できるかが重要なポイントとなる。短チャネル効果抑制の一つの手法として、ゲート酸化膜厚を数nmにまで縮小することが挙げられる。この場合、酸化膜を作製するプロセスの厳密な管理が要求されるが、酸化膜の膜厚や形状といった情報は、成膜後に“実際に見る”ことでなければ確認できない。高分解能像観察では、原子レベルでの特定局所領域評価が可能のため、このような評価に威力を発揮する。

極薄ゲート酸化膜評価の一例として、図4に試作MOS-

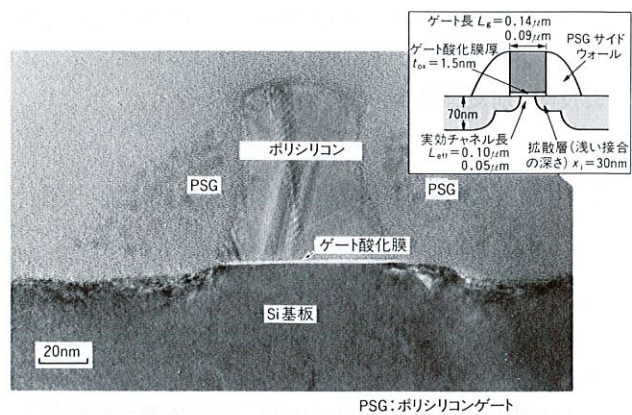


図4. 試作MOSFETの構造と断面TEM観察像 設計のとおりゲート長90 nm、ゲート酸化膜厚1.5 nmとなっている。

Structure of MOSFET trial product and its cross-sectional TEM image

FET (MOS 型電界効果トランジスタ) の概略と断面の TEM 観察像 (低倍率観察像) を、図 5 にゲート酸化膜の高分解能像を示す。この MOSFET は、ゲート長 90 nm、ゲート酸化膜厚 1.5 nm の設計であるが、図 5 に示したようにゲート酸化膜の真の厚さも設計どおり約 1.5 nm であると確認できる。従来、デバイスを構成する各種材料膜厚は SEM によって評価されてきたが、この事例のように原子レベルのサイズを評価する場合は TEM に頼るほかはない。ちなみに、ゲート酸化膜厚が 3 nm 以下になるとトンネル効果により MOSFET が正常動作しないと考えられてきたが、ここで評価した MOSFET は現状品と比較して、消費電力で 1/10、動作速度 5 倍を実現していることを付記する^{(1),(2),(3)}。

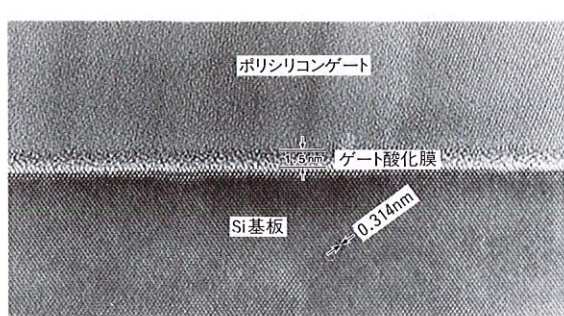


図 5. ゲート酸化膜近傍の高分解能像 Si の結晶格子像とゲート酸化膜の断面像。ゲート酸化膜厚が約 1.5 nm であることが直接確認できる。

High-resolution TEM image of gate oxide thin film

3.2 シリサイド材料の評価

配線ルール 0.25 μm 以下の微細 CMOS に応用するシリサイドの材料選択やシリサイドプロセスの開発では、ゲートおよびソース・ドレインのさらなる低抵抗化が必須で、寄生抵抗の低減に有力なシリサイド技術の構築が急務である。現在、CMOS 用シリサイド材料としては TiSi_2 が採用されているが、図 6 に示すように、 TiSi_2 は Ni シリサイドや Co シリサイドに比較して、ゲート長の減少によりシート抵抗が

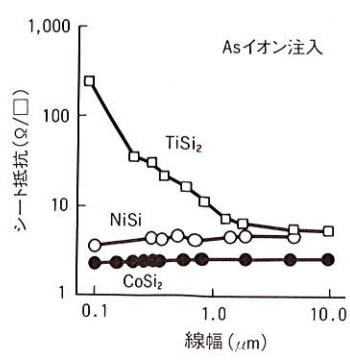


図 6. 各種シリサイドを用いた場合のゲート長とシート抵抗の関係 TiSi_2 を用いた場合、NiSi や CoSi_2 よりもゲート長が短い場合のシート抵抗上昇が大きい。

Relationship between sheet resistance and silicide line width

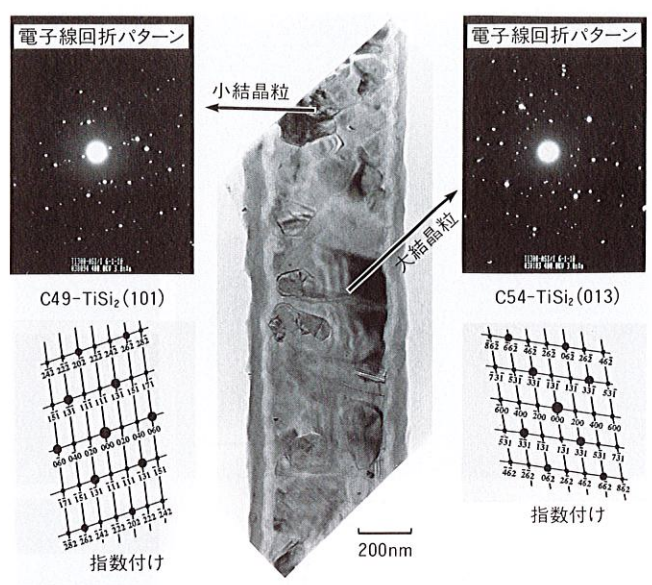


図 7. TiSi_2 薄膜の断面 TEM 像と電子回折像 TiSi_2 薄膜内には C49 相 (高抵抗相) と C54 相 (低抵抗相) が混在している。

Cross-sectional TEM image and electron diffraction patterns

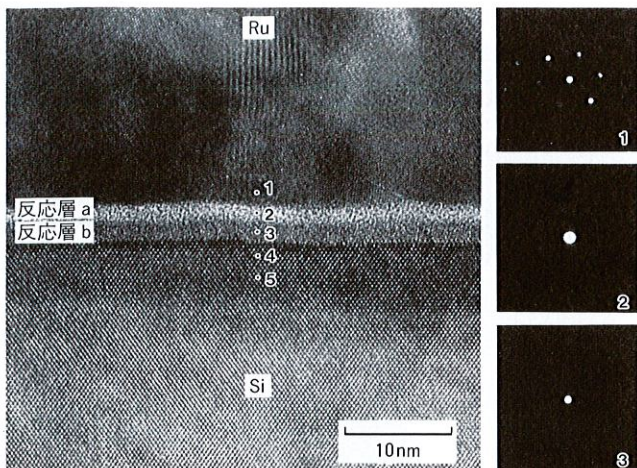
上昇する細線効果が見られ、今後のさらなるゲート長の微細化の障害となる。この原因を調べるために各種サイズのゲート (多結晶 Si 膜) 上に形成した TiSi_2 の膜構造を調べた結果、ゲート長の減少により高抵抗相である C 49 相の生成が増大することを明らかにした⁽⁴⁾ (図 7)。現在、 CoSi_2 、 NiSi 、 TiSi_2 の 3 種類を検討しているが、これらの中から材料選択するにあたっての評価項目として、細線効果、ブリッジング、接合リーク、耐熱性がある。

この 4 項目のすべてをクリアしたのは Co シリサイドで、微細な MOSFET には CoSi_2 がもっとも有望であることが確認できつつある⁽⁵⁾。このように電気特性と膜構造の関連性の追求には TEM による評価・解析が有用で、重要な情報や知見が得られる。

3.3 Ru/Si 界面の FE-TEM 分析

図 8 は、次世代 DRAM のキャパシタ電極材料として注目される Ru を Si 基板上にスパッタリング法で成膜した試料の高分解能断面観察像である。Ru/Si 界面にコントラストの異なる厚さ 2 nm の反応相が 2 層形成されていることが確認できる。

形成された反応層の構造と組成を明らかにするため、直径 1 nm の電子ビームによる電子線回折および EDX 分析を実施した。その結果、反応層 a からはハローパターンを、反応層 b からはハローパターンとともに Ru (110) の面間隔に相当する回折リングを確認した。それぞれの反応層は Ru を含む非晶質および非晶質相中に微細 Ru 結晶が混在するという特異な状態であることが判明した。新プロセス開発において、FE-TEM 分析はしばしば新しい発見をもたらす。



分析点	元素	Ru	Si	O
1		93.8	6.2	0.0
2		9.6	82.4	8.0
3		17.8	45.2	37.0
4		9.6	79.7	10.7
5		4.6	92.2	3.2

(単位: atm%)

図8. Ru/Si界面のFE-TEMによる分析 直径1nmの電子ビームによるEDX分析と電子回折像観察により、極微小局所領域の組成と構造が判明する。

Ru/Si interfacial analyses by FE-TEM

3.4 エピタキシャルSi薄膜のEELS分析

エピタキシャル(以下、エピと略記)Si膜は、各種デバイスへ応用されているが、その膜質の良否がデバイス特性に影響を与える。

図9(a)は単結晶Si基板にエピ成長させたSi膜の断面観

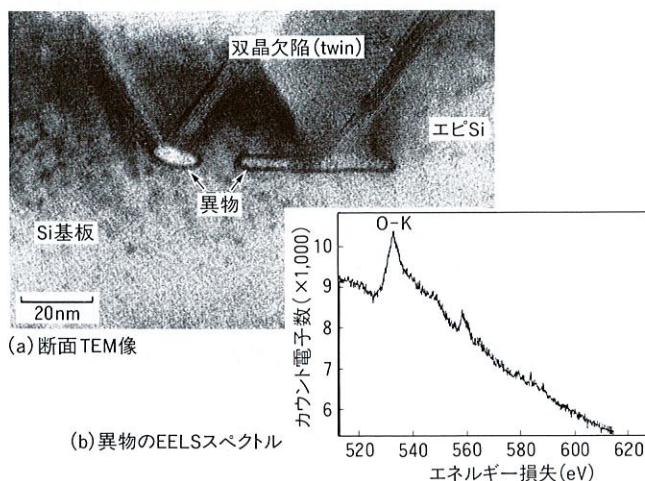


図9. エピSi/Si基板界面の異物とEELSスペクトル エピSi/Si基板界面に異物が存在している。FE-TEMによるEELS分析で、異物の本質はSi酸化物と判明した。

"Nano-particle" on interface of epitaxial Si/Si substrate and EELS spectrum from that particle

察例であるが、エピSi膜/Si基板界面に観察される異物からエピSi膜中へ双晶欠陥(twin)が形成されており、異物の存在が良好なエピ成長を阻害している。異物のより詳しい情報を得るため、軽元素の検出感度がよいEELS分析を行った結果、異物からは酸素が検出され、Siの酸化物であることが判明した(図9(b))。この不具合原因は、エピ成長前の基板クリーニング処理が不十分であるためと予想し、クリーニング処理を変更したところ、異物は存在せず良好なエピ成長が実現できた。ナノメートルレベルの極微小異物の本質を解明することで製造プロセスへの有効なフィードバックをかけた好例である。

4 あとがき

ギガビット時代をスコープに入れたTEMによる評価技術と、いくつかの応用例を紹介した。現在、FIBやFE-TEMの半導体デバイスへの応用技術開発は、まだ黎明期である。今後、より速い試料作製技術開発と、より高精度の分析技術開発を旨としていく。

文 献

- (1) 岩井 洋, 他: MOSFETは、今後も性能向上が可能であることを実証, NIKKEI MICRODEVICES, 1995年2月号, pp.103-109
- (2) 百瀬寿代, 他: 0.1 μ m以下MOSFET高性能化検討, 電子情報通信学会論文誌, 79, No.6, pp.218-227 (1996)
- (3) H.S. Momose, et al: 1.5 nm Direct-Tunneling Gate Oxide Si MOSFET's, IEEE Transactions on Electron Devices, 43 No.8 pp.1233-1242 (1996)
- (4) T. Ohguro, et al: Analysis of Resistance Behavior in Ti- and Ni-Salicyded polysilicon Films, IEEE Transactions on Electron Devices, 41 No.12 pp. 2305-2317 (1994)
- (5) T. Ohguro, et al.: Salicide technology for advanced CMOS devices, in press



中村 新一 Shin-ichi Nakamura

研究開発センター 環境技術研究所研究主務。
電子顕微鏡を用いた材料評価・解析の研究開発に従事。日本金属学会会員。
Environmental Engineering Lab.



小池 三夫 Mitsuo Koike

研究開発センター 環境技術研究所。
電子顕微鏡を用いた材料評価・解析の研究開発に従事。応用物理学会会員。
Environmental Engineering Lab.



鈴木 直久 Naohisa Suzuki

東芝マイクロエレクトロニクス(株)。電子顕微鏡を用いた半導体デバイスの解析・プロセス評価業務に従事。日本電子顕微鏡学会会員。
Toshiba Microelectronics Corp.