

シリコン LSI は CMOS (相補型金属酸化膜半導体) 素子の微細化により性能の向上を達成してきた。今や単体レベルでの $0.1 \mu\text{m}$ 素子動作はあたりまえの時代になっている。ところが、集積化という観点から見ると、困難度は $0.1 \mu\text{m}$ を境に急激に増してくることが懸念されている。特に素子密度の増加に伴う消費電力の増大は今後の最重要課題と考えられる。

ここでは、将来の超低消費電力デバイスを目ざした三端子シリコン表面接合トンネル (SJT: Surface Junction Tunneling) 素子の検討結果を紹介する。この素子はトンネル効果というミクロな現象を利用して、原理的に現行 CMOS 素子よりも微細化が可能である。シリコン基板上にトンネル素子を作製し、世界で初めて室温動作実証に成功した。これにより、機能性を生かした LSI 応用が大いに期待される。

MOSFET device dimensions have been aggressively miniaturized to achieve higher performance of silicon ULSIs. Although $0.1 \mu\text{m}$ CMOS devices are now undergoing optimization, several difficulties are inevitable from the viewpoint of high integration. In particular, power dissipation is one of the most serious concerns.

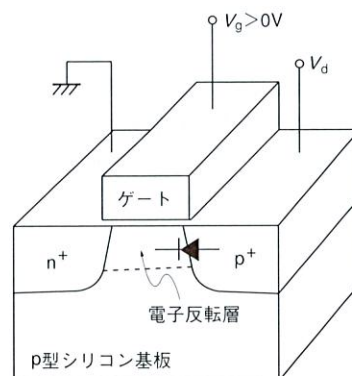
We are investigating a three-terminal silicon surface junction tunneling (SJT) device as a promising candidate for future ultrasmall and ultralow-power devices. We have demonstrated negative differential conductance characteristics at room temperature for the first time. This success will open up a new world of functional LSIs toward 21st-century electronics.

1 まえがき

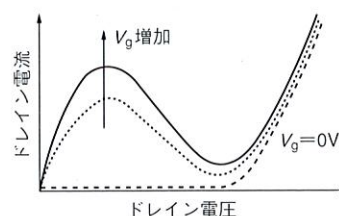
CMOS 素子の微細化により、シリコン LSI は高性能・高機能化を達成してきた。単体レベルでは、ゲート長 $0.1 \mu\text{m}$ 以下の素子動作も確認されている。ところが、集積化の観点からは、困難度は $0.1 \mu\text{m}$ を境に急激に増してくることが懸念されている。特にチップ発熱の問題は深刻で、素子密度の増加に伴う消費電力の増大はもはや無視できない。さらに、ゆらぎ・ばらつきといった本質的な問題が MOS 集積化の物理的限界を与える。

これらを解決するために、われわれは新しい動作原理に基づくデバイス技術の検討を行っている。具体的には、超微細領域で明瞭(りょう)となるトンネル効果を指導原理として使おうとしている。一つは、三端子シリコン SJT 素子である。もう一つは、電子を一個単位で操作する単一電子トンネル (SET: Single Electron Tunneling) 素子である。ここでは、将来の超低消費電力デバイスを目ざした SJT 素子を中心に紹介する。SET 素子については他を参照してほしい⁽¹⁾。

SJT 素子は上述のようにトンネル効果というミクロな現象を利用しているため、原理的に現行 CMOS 素子よりも微細化が可能である。世界で初めてシリコンで室温動作を確認したので、以下にその特長と機能について詳述するとともに、その将来性を概観する。



(a) SJT素子の構造



(b) 電流特性

図1. SJT 素子の基本構造と電流特性 ソース領域とドレイン領域の不純物タイプが逆転している。反転層が形成されると仮想的なエサキダイオードが発生し、負性微分抵抗を示す。ゲートでオン・オフの制御ができるとともに、トンネル特性も変調できる。

Perspective view of SJT device structure and its $I-V$ characteristics predicted by simple tunneling model

2 素子構造と動作原理

SJT 素子の構造を模式的に示したものが図 1 (a)である。MOSFET (MOS 型電界効果トランジスタ) と類似の構造になっているが、ソース領域とドレイン領域の不純物タイプが逆転していることに留意すべきである。1970 年代の後半には、反転層中のサブバンド構造を物理的に調べる目的で、すでに同じ素子構造が提案されている⁽²⁾。ところが、デバイスとしての可能性には、これまであまり関心が向けられていなかった。

動作原理は以下のとおりである。便宜上、 n^+ 領域をソース、 p^+ 領域をドレインと呼ぶ。まず、ゲート端子に電圧を与えないとき、つまり、オフ状態を考える。このときには、ソース近傍に p-n 接合が形成される。ドレインに正の電圧を与えると、通常の順方向 p-n 接合電流が流れる。つぎに、ゲート端子に電圧を加えたとき、つまり、オン状態を考える。このときには、チャンネル表面に反転層が形成される。ドレイン近傍では、 p^+ 領域と反転層である n^+ 領域が隣接して仮想的なエサキダイオードが発生する。エサキダイオードは、バンド間トンネル効果により負性微分抵抗特性を示す⁽³⁾。その結果、ドレインを流れる電流はソース付近の p-n 接合特性にドレイン付近のバンド間トンネル特性が重畳された形で記述される。ゲート電圧とともに反転層中に誘起される電子の密度が変化するため、当然、トンネル電流もゲート変調を受ける。これらの電流特性を模式的に示したものが図 1 (b)である。

3 SJT 素子の特長

SJT 素子の特長は以下のようにまとめられる。

- (1) シリコンで室温動作
- (2) 負性微分抵抗特性
- (3) ゲート変調機能
- (4) 低電圧動作
- (5) 微小な活性素子領域
- (6) CMOS プロセスとの整合性

(1)の特長はバンド間トンネル現象が温度にあまり依存しないことに起因している。量子効果素子の中には室温動作が困難なものが多い。また、量子効果素子は化合物半導体の得意とする分野であるが、この素子は例外的にシリコンでも正常動作が可能である。これらの意味で、シリコン SJT 素子は非常に現実的なデバイスと言える。

(2)の特長はバンド間トンネル現象がきわめて安定性の高い量子効果であること、したがって、これまでに提案されている各種の量子効果素子と比較しても SJT 素子がロバストな機能デバイスであることを意味する。

(3)の特長は三端子化のメリットであり、二端子であるエ

サキダイオードの短所を克服する機能である。例えて言えば、MOS キャパシタを三端子化して MOS トランジスタにしたことで、飛躍的な進歩を遂げたようなものである。三端子化により、LSI 回路への応用範囲は格段に広がるのが期待される。

(4)の特長は負性微分抵抗が原理的に 0.5 V 以下のドレイン電圧領域で現れることに関係しており、消費電力を圧倒的に抑えられることを意味する。

(5)の特長は素子の微細化限界をあまり心配しなくてよいことを示唆する。活性領域となるトンネル接合は非常に微小であり、特徴的な長さとなるトンネル距離は 10 nm 以下である。つまり、原理上はナノサイズまで素子を微細化しても、正常なデバイス動作が期待できる。さらに、空乏層は一つしか存在しないので、パンチスルー現象が発生しない。したがって、MOSFET で問題となる短チャネル効果に悩まされることはない。

(6)の特長は CMOS 回路との混載化がプロセス的に容易であることを意味する。SJT 素子で構成される機能回路ブロックを CMOS 回路に組み込むことで、LSI チップの性能向上を目指すことが可能となる。

4 素子作製のポイント⁽⁴⁾

素子作製では、素子分離まわりに十分な注意を払った。一般に LSI 半導体素子はフィールドと呼ばれる厚い酸化膜に囲まれ、電気的に絶縁されている。通常の LOCOS (LOCAl Oxidation of Silicon) プロセスでフィールド酸化膜を形成すると、素子分離端に大きな機械的応力が発生する。これは簡単には、フィールド領域と素子領域での酸化膜厚の違いに起因する形状効果で説明される。素子分離端での応力集中により種々の構造欠陥が発生することは容易に推察できる。これらの欠陥がトンネル接合中に存在すると、リーク電流を引き起こす原因になる。物理的には、欠陥固有の局在準位を介した電子のトンネル機構で説明することができ、“過剰トンネル電流”と呼ばれている。この電流が大量に存在すると、本来のバンド間トンネル電流はそのリーク成分に隠れてしまい、負性微分抵抗は得られなくなる。この種の負性微分抵抗トンネル素子では、欠陥制御が非常に重要な技術課題である。

作製した素子の模式図を図 2 に示す。素子分離端におけるリーク電流の問題を解決するために、ドレイン領域がゲート電極で囲まれるように素子構造をくふうした。トンネル接合はドレインとゲートが接する領域に形成される。このため、素子分離端と共通の接点をもたずに欠陥の影響をまったく受けないことになる。

作製素子のもう一つの特長は SOI (Silicon On Insulator) 構造を用いていることである。利点は二つある。まず、急

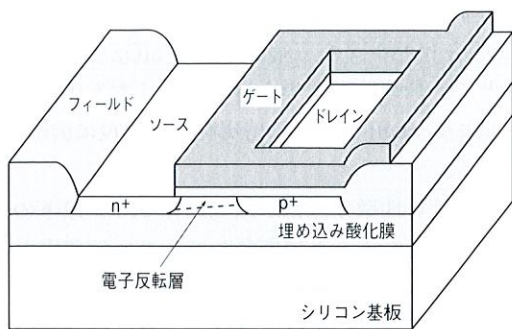


図2. 作製したSJT素子構造の模式図 ドレイン領域がゲート電極で閉まれるようにくふうされている。トンネル接合はドレインとゲートが接する領域に形成される。素子分離端と共通の接点がないため、リーク電流が大幅に低減できる。

Perspective view of SJT device structure in present study

峻(しゅん)なドレイン不純物プロファイルを達成することができる。これはトンネル確率の増大を通して負性微分抵抗特性のピーク電流の上昇につながる。次に、寄生 p-n 接合効果を大幅に抑制することができる。これは基板を流れるリーク電流を低減し、バレー電流を抑えるように作用する。結果的にきわめて良好な負性微分抵抗特性が実現できる。

図3は作製素子の走査型電子顕微鏡(SEM)写真である。作製プロセスを簡単に述べる。SIMOX (Separation by IM-planting OXYgen) 基板と呼ばれる、シリコン基板に酸素イオン注入で埋め込み酸化膜を形成したウェーハを用いた。表面シリコン層の不純物濃度は $3 \times 10^{15} \text{cm}^{-3}$ であり、ほぼ均一なプロファイルである。通常のLOCOSプロセスで素子分離を行った。ゲート酸化膜厚は5nmである。ゲート電極を反応性イオンエッチング(RIE)で加工したが、その際のダメージは熱処理で解消した。ソース・ドレイン領域はマス

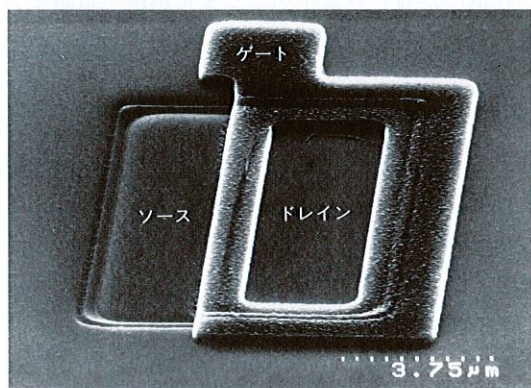


図3. 作製したSJT素子のSEM写真 作製素子を走査型電子顕微鏡で観察した像。ゲート長は1.0 μmであり、素子の周辺長は20 μmである。

SEM picture of SJT device in present study

クによりイオン種の打ち分けで形成した。n⁺の条件はAs, 65 keV, $2 \times 10^{15} \text{cm}^{-2}$ とし、p⁺の条件はBF₂, 65 keV, $5 \times 10^{15} \text{cm}^{-2}$ とした。不純物活性化のためのアニール条件は800 °C, 30分である。最終的な表面シリコン層膜厚は80 nmであった。

以上からわかるように、CMOS作製で必要となるプロセス以外になんら特殊なプロセスを用いることなく、SJT素子の作製が可能である。

5 SJT素子の電気特性⁽⁴⁾

試作した素子の電流特性を図4に示す。機能検証のため、素子サイズは現行CMOS技術できちんと加工できるものになっている。ゲート長は1.0 μm, 素子の周辺長は20 μmである。ゲート電圧とともに電流が変調を受け、室温で負性微分抵抗がはっきりと現れている。化合物半導体を用いて負性微分抵抗素子を三端子化した報告⁽⁵⁾はあるが、三端子シリコン素子で負性微分抵抗機能を室温で実証できたのは、われわれの知る限り、これが世界で初めてのことである。

負性微分抵抗は0.5 V以下の低いドレイン電圧領域で現れている。また、ゲート電圧を与えないときには、そのドレイン電圧領域で電流は流れていない。これらは、3章で挙げた特長のうち、低電圧動作とゲート変調機能に対応する結果である。

図5はトンネル電流のカットオフ特性である。ドレイン電圧は0.1 Vから0.2 Vまで0.02 V刻みで変えている。非常に良好なカットオフ特性が実現されており、ゲートによるトンネル電流の変調効果は4桁(けた)以上に及んでいる。点線は、同一チップ上に作製されたMOSFETの電流特性を

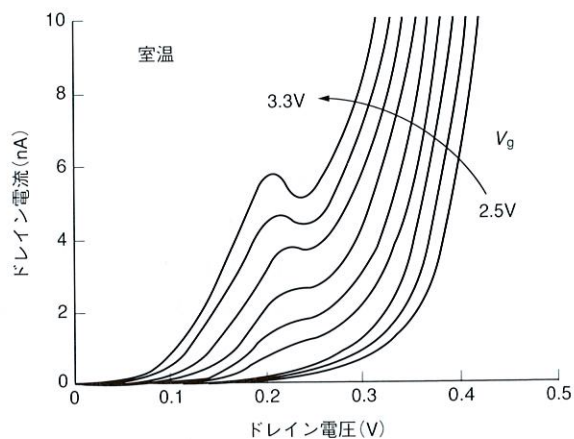


図4. SJT素子の室温負性微分抵抗特性 ゲート電圧とともに電流が変調を受け、室温で負性微分抵抗がはっきりと現れている。三端子シリコン素子で室温負性微分抵抗動作を実証したのは、世界で初めてのことである。

Negative differential conductance characteristics at room temperature as function of gate voltage

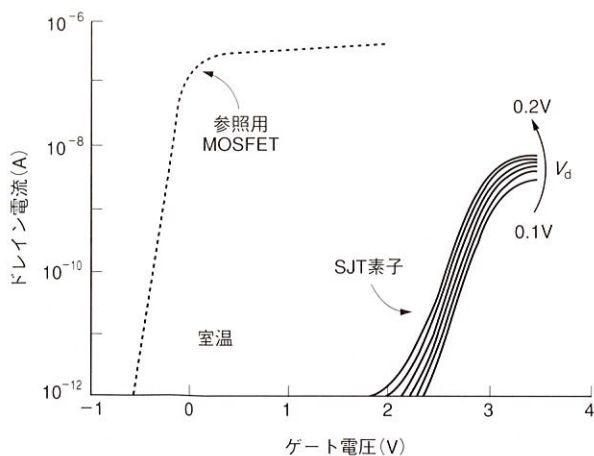


図5. SJT素子のカットオフ特性 ゲートによるトンネル電流の変調は4桁以上に及んでいる。ドレイン電圧は0.1Vから0.2Vまで0.02V刻みで変えている。また、点線は同一基板上に作製されたMOSFETの電流特性である。

Subthreshold characteristics of present SJT device

示している。MOS特性に比べると、トンネル特性のしきい値は圧倒的に高い。このことは、単にMOSFETのチャネルがオンしただけではトンネル電流が流れないことを意味する。かなり強反転の状態にしてトンネル距離を極短にしないと、トンネル電流は流れない。空乏近似からトンネル距離を簡単に見積もると8nmとなり、きわめて妥当な結果が得られた。トンネル素子として実際に重要な領域は、まさにこの10nm以下のトンネル接合部であり、微細化に非常に適した素子であることは3章で述べたとおりである。

6 将来の展望

ここでは、SJT素子の将来性について概観する。SJT素子自体の電流駆動力は原理的に小さいことから、次段をチャージアップしていくゲート論理回路ではメリットが出ない。ねらうべき道は、CMOS回路の中で部分的にSJT素子を用いて機能回路ブロックを構成し、低消費電力化を図ることである。0.5V動作で2桁以上の低消費電力化が可能となるであろう。

一方で、SJT素子の長所である負性微分抵抗という機能性を最大限に生かした新しい論理回路、記憶回路への展開も非常に有望である。CMOS機能を少数の素子で置き換える、あるいは、CMOSにはない機能を実現する、といったことが可能となるであろう。

これらの応用はCMOS素子との共存を前提としており、

“CMOS技術との融合”と呼んでいるわれわれ独自のコンセプトに通じている。

このほかにも、電圧制御発振器といったアナログ応用や高周波発振器への応用も考えられる。エサキダイオードに代表される従来のトンネルダイオードでは成し得なかった電流の微妙な調整が、SJT素子では容易にできる道を開いたと言える。

さて、素子のサイズを小さくしていった極限では、動作に関与する電子の数は激減し、いよいよSET素子の世界に近づいていく。デバイスの微細化とともに、指導原理はバンド間トンネル効果から単一電子トンネル効果へと進んでいくのである。

7 あとがき

三端子シリコン表面接合トンネル素子は、他の量子効果素子と比較して、きわめてロバストな機能デバイスである。また、ナノサイズに適した素子構造、低消費電力に適した低電圧動作、CMOSと整合性のある作製プロセス、といった多くの魅力的な特長を備えている。今回、室温動作が実証されたことで、機能性を生かしたLSI応用が大いに期待される。今後はCMOS技術との融合を旨として応用面の可能性を探りながら、単一電子トンネル素子の可能性を切り開いていこうと考えている。

文献

- (1) A. Ohata and A. Toriumi: IEICE Trans. on Electronics E79-C, 1586 (1996)
- (2) J. J. Quinn, et al: Surface Sci. 73, 190 (1978)
- (3) L. Esaki: Phys. Rev. 109, 603 (1958)
- (4) J. Koga and A. Toriumi: Tech. Dig. of IEDM, 265 (1996)
- (5) T. Uemura and T. Baba: Jpn. J. Appl. Phys. 33, L207 (1994)



古賀 淳二 Junji Koga

研究開発センター 先端半導体デバイス研究所研究主務。極微細素子の作製、評価解析に従事。応用物理学会会員。Advanced Semiconductor Devices Research Labs.



鳥海 明 Akira Toriumi, D.Eng.

研究開発センター 先端半導体デバイス研究所ラボラトリー・リーダー、工博。極微細素子の研究開発および物理モデル解析に従事。日本物理学会、応用物理学会、APS、IEEE 会員。Advanced Semiconductor Devices Research Labs.