

X線リソグラフィーを用いた $0.12\text{ }\mu\text{m}$ 4Gビット DRAM用トランジスタ

$0.12\text{ }\mu\text{m}$ 4G bit DRAM Array MOSFET Technologies Using X-ray Lithography

須之内 一正 川口谷 ひとみ 松田 聰
K. Sunouchi H. Kawaguchiya S. Matsuda

21世紀の高度情報社会を実現するためにギガビットメモリの開発が進められており、2005年には4GビットDRAM(以下、4G DRAMと略記)の製品化が予想される。4G DRAMを実現するためには $0.1\text{ }\mu\text{m}$ の微細加工技術、 $0.1\text{ }\mu\text{m}$ の微細デバイス技術が鍵(かぎ)となる。今回は、X線リソグラフィーを使用して加工寸法が $0.12\text{ }\mu\text{m}$ からなる4G DRAM用のアレーMOSFET(MOS型電界効果トランジスタ)を試作し、その動作を確認した。デバイス技術としてはゲート、素子領域を $0.24\text{ }\mu\text{m}$ ピッチで形成し、 $0.12\text{ }\mu\text{m}$ のゲートスペース間への自己整合コンタクトと、 $0.12\text{ }\mu\text{m}$ トランジスタを同時に実現した。今回の結果により、4G DRAM世代でもメモリセルトランジスタは正常に動作することを確認した。

This paper describes 240 nm-pitch array MOSFET technologies which realize a $0.1152\text{ }\mu\text{m}^2$ cell size for a 4G bit DRAM. The main features of this array MOSFET are : (1) a 120 nm line and spaces (L/S) gate, (2) L/S isolation, (3) self-aligned contact (SAC) at the 120 nm-wide gate-gate space, and (4) a 40nm shallow junction under the SAC plug.

X-ray lithography is used for the ultrafine patterning, and a 200 nm-pitch (100nm L/S) active area array is realized. An isolation of 120 nm is achieved using shallow trench isolation (STI) with a depth of 200 nm. In-situ phosphorous-doped poly-silicon is used for the SAC plug to make a contact at the 120 nm gate space. The shallow junction of 40 nm depth, which suppresses V_{th} roll-off, is formed by P diffusion from the plug.

These technologies achieve a cell area of $0.1152\text{ }\mu\text{m}^2$ (8F^2) for the 4G bit DRAM.

部品・材料

1 まえがき

DRAMの大容量化が進み、現在256M DRAMが製品化されようとしている。この大容量化はさらに進み、21世紀には高度情報社会実現のためにギガビットメモリが必要となる。ここでは、2005年には実用化されるであろう4G DRAMのメモリセルトランジスタ技術に関して紹介する。

DRAMは大容量化に伴い加工サイズの微細化が進んでおり、4G DRAMでは $0.12\text{ }\mu\text{m}$ 以下の加工寸法が必要となる。このような4G DRAMを実現するには、 $0.12\text{ }\mu\text{m}$ 微細加工技術と $0.12\text{ }\mu\text{m}$ 微細デバイス技術が必要である。

今回は微細デバイス技術の鍵となる $0.12\text{ }\mu\text{m}$ アレーMOSFETをX線リソグラフィーを使用して試作し、その動作特性を取得することで、4G DRAM世代でもアレートランジスタが動作することを実証した⁽¹⁾。これらのアレーMOSFET技術は、キャパシタ構造によらずすべてのDRAMセル、さらにはDRAM以外のデバイスにも共通な基本技術となる。

$0.1\text{ }\mu\text{m}$ のMOSFET技術に関しては多くの論文が発表されているが、それらはすべてゲート長だけが $0.1\text{ }\mu\text{m}$ 程度であるだけで、ほかの要因がトランジスタ特性に影響を与えないような構造である。すなわち、配線ピッチ、チャ

ネル幅は大きく、ゲート側壁スペーサ膜も厚い($0.1\text{ }\mu\text{m}$)。しかし、実際のアレーMOSFETでは配線ピッチが厳しい、ゲート側壁スペーサ膜厚が薄い、ゲートとコンタクトの間隔が狭いなど、MOSFET特性に影響を与えるパラメータは少なくない。

今回は、このようなアレーMOSFETを $0.12\text{ }\mu\text{m}$ ルールで実際に作成して4G DRAM世代でのアレーMOSFETの動作を実証した。

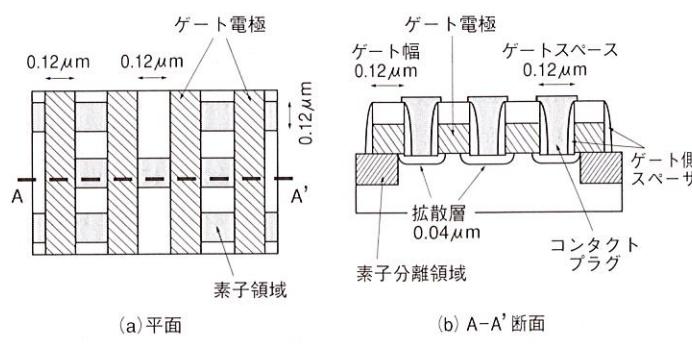


図1. $0.12\text{ }\mu\text{m}$ アレー MOSFET 構造 ゲート・素子領域とも $0.24\text{ }\mu\text{m}$ ピッチ($0.12\text{ }\mu\text{m}$ L/S)で配置される。
Structure of $0.12\text{ }\mu\text{m}$ array MOSFET

2 0.12 μm アレー MOSFET 構造

4G DRAM では $0.11 \mu\text{m}^2$ の面積内にメモリセルを実現させる必要がある。これを実現するための $0.12 \mu\text{m}$ アレー MOSFET の平面を図 1(a)に、この平面の A-A' に相当する断面を図 1(b)に示す。ゲート・素子領域とも $0.24 \mu\text{m}$ ピッチ($0.12 \mu\text{m}$ L/S(Line/Space))で配置され、 $0.12 \mu\text{m}$ ゲートスペース間に自己整合コンタクト(SAC)が形成される。この配置を実現するためには加工技術として $0.24 \mu\text{m}$ ピッチリソグラフィーが必要である。今回は X 線リソグラフィーを使用することで、この解像力を実現した。微細デバイス技術としては、 $0.12 \mu\text{m}$ 素子分離技術、 $0.12 \mu\text{m}$ MOSFET 技術が必要である。 $0.12 \mu\text{m}$ のゲートスペース間にコンタクトを形成するためにゲート側壁スペーサ膜厚は $0.02 \mu\text{m}$ とした。この状態で $0.12 \mu\text{m}$ MOSFET を実現するためにはソース・ドレインの拡散層の深さを $0.04 \mu\text{m}$ 程度にする必要がある。すなわち、 $0.12 \mu\text{m}$ のゲートスペース間に拡散層深さが $0.04 \mu\text{m}$ 程度の状態でコンタクトを形成する必要がある。

3 プロセス技術

3.1 X 線リソグラフィー

$0.24 \mu\text{m}$ ピッチの解像を実現するために X 線リソグラフィー技術を使用している。マスク作成と X 線露光はいずれも日本電信電話(株)(NTT)厚木 LSI 研究所で実施した。X 線マスクは厚さ $2 \mu\text{m}$ の SiN メンブレン上に厚さ $0.4 \mu\text{m}$ の Ta 吸収体パターンを形成している。露光は NTT 厚木 LSI 研究所の SOR(Synchrotron Orbit Radiation)リングを用いた。露光の際、マスクと転写されるウェーハの間隔を $20 \mu\text{m}$ にしている。今回は、素子領域、ゲート、プラグの 3 層に X 線露光を適応しており、 $0.20 \mu\text{m}$ ピッチ ($0.1 \mu\text{m}$ L/S)までの素子領域が形成できることを確認している。図 2 に $0.20 \mu\text{m}$ ピッチの素子分離領域を形成した後の電子顕微鏡写真を示す。このサイズでも Si エッチング、トレンチ内への埋込みが良好にできていることが確認できる。

3.2 SAC プラグと浅いジャンクション

アレイ MOSFET 実現のためには $0.12 \mu\text{m}$ のゲートスペース間に $0.04 \mu\text{m}$ の浅い拡散層上にコンタクトを形成する必要がある。このコンタクトを実現するために、ゲート側壁スペーサ膜厚を $0.02 \mu\text{m}$ にし、コンタクトプラグには P(リン)がドーピングされているポリ Si を使用した。ソース・ドレインの拡散層はプラグポリ Si からの P 拡散により形成する。この方法により拡散層の深さは $0.04 \mu\text{m}$ と浅い状態で良好なコンタクトがとれる。結果として $0.12 \mu\text{m}$ MOSFET を実現しながら、ゲート側壁スペーサ膜厚 $0.02 \mu\text{m}$ でコンタクトの形成を実現した。 $0.04 \mu\text{m}$ 程度の

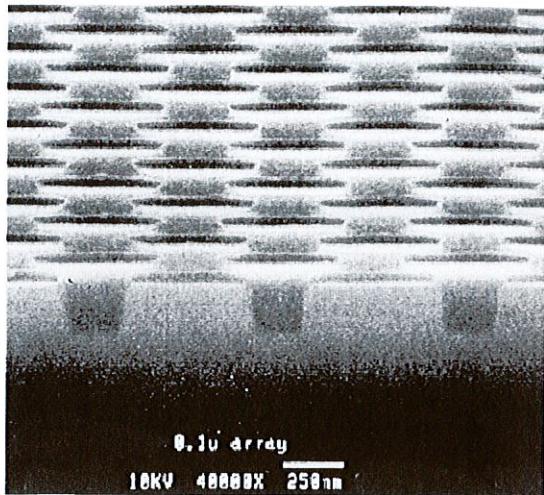


図 2. 素子分離形成後の電子顕微鏡写真 加工寸法 $0.2 \mu\text{m}$ ピッチの素子分離形状。トレンチ内への埋込みが良好にできていることが確認できる。

Cross-section of Si-island array

深さの拡散層はポリ Si の P 濃度とアニール時間で数種類の組合せが可能である。今回は P 濃度を $2.4 \times 10^{20}/\text{cm}^3$ 、アニール時間は $0.15 \mu\text{m}$ 周辺 MOSFET に合わせて 950°C 30s とした。

図 3 に SAC プラグの下の P 濃度プロファイルの二次イオン質量分析装置(SIMS)データを示す。これにより $0.04 \mu\text{m}$ 程度の拡散層深さが実現できていることがわかる。

図 4 に $0.12 \mu\text{m}$ アレー MOSFET 断面の透過形電子顕微鏡(TEM)写真を示す。ここでは $0.24 \mu\text{m}$ で加工したゲート間に SAC プラグを形成した直後の断面を示している。

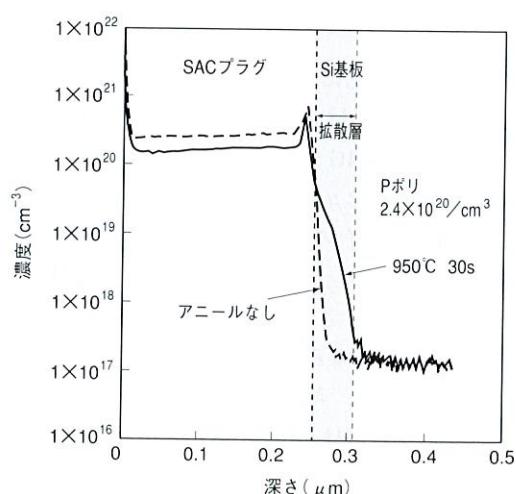


図 3. SAC プラグ下の P 濃度の SIMS プロファイル アニールの有無による P 濃度プロファイルを示している。アニール後に $0.04 \mu\text{m}$ 程度の拡散層深さが実現できている。

SIMS data of phosphorus profile

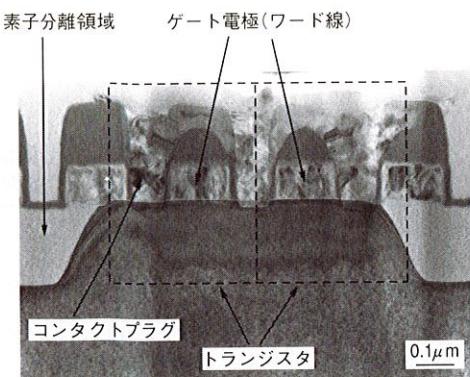


図4. 0.12 μmアレーMOSFET断面のTEM SACプラグ形成後のTEM像。ゲート加工寸法は0.12μm。MOSFETが2個形成されている。

TEM cross-sectional view after plug formation

4 デバイス特性

図5に0.12 μmアレーMOSFETの I_d-V_g 特性を示す。これはすでに述べたように、ゲートL/S、素子領域、素子分離領域とも0.12 μmで形成されており、0.1152 μm²のセル面積を実現するアレーMOSFETの特性である。ゲート酸化膜厚は5 nmで形成している。実線はドレイン電圧1.5Vで基板バイアス0Vの特性を示す。これは、もつ

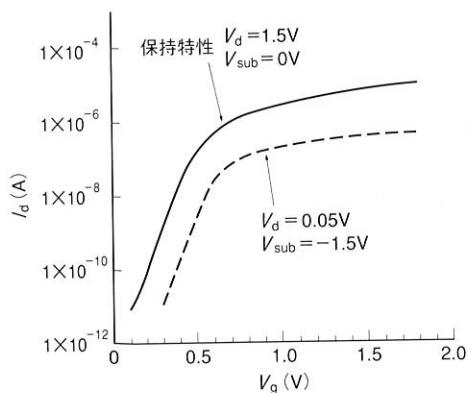


図5. 0.12 μmアレーMOSFETの I_d-V_g 特性 $V_d=1.5V$, $V_{sub}=0V$ のバイアス条件はメモリの保持特性, $V_d=0.05V$, $V_{sub}=-1.5V$ のバイアス条件は書込み、読み込みにもっとも厳しいと想定される条件。

I_d-V_g characteristics of array MOSFET

とも厳しいと想定するバイアスでの保持特性を示している。点線はドレイン電圧0.05 Vで基板バイアス-1.5 Vの特性を示す。これは読み込み時、書き込み時にもっとも厳しいと想定されるバイアスでの特性である。これにより、0.12 μmのメモリセルトランジスタが動作することが実証されたことになり、4Gビット世代でメモリセルトランジスタが正常に動作することが確認された。良好なトランジスタ特性を示していることからSACプラグからPを拡散させることにより0.12 μmゲートスペース間でも良好にコンタクトが形成できることとともに、拡散層深さは0.12 μmトランジスタ動作には影響を与えない0.04 μmに抑えられていることが確認できる。

5 あとがき

X線リソグラフィー技術を使用して、0.12 μmアレーMOSFETを作成し良好にトランジスタ動作することが確認された。これによりDRAMのセルトランジスタが4G DRAM世代においても正常に動作することが実証できたことになる。今後、量産用のリソグラフィー技術が開発されなければ4G DRAMが製品化される。

文 献

- (1) K.Sunouchi, et al : 240nm Pitch 4 G DRAM Array MOSFET Technologies with X-ray Lithography, Tech. Dig. of 1996 IEDM, pp.601-604(1996)



須之内 一正 Kazumasa Sunouchi

マイクロエレクトロニクス技術研究所デバイス技術研究所研究主務。

DRAM開発に従事。

ULSI Device Engineering Lab.



川口谷 ひとみ Hitomi Kawaguchiya

マイクロエレクトロニクス技術研究所デバイス技術研究所。

DRAM開発に従事。

ULSI Device Engineering Lab.



松田 聰 Satoshi Matsuda

マイクロエレクトロニクス技術研究所デバイス技術研究所。

Advanced CMOS技術開発に従事。

ULSI Device Engineering Lab.