

LSI 技術は大規模集積回路を実現したが、パワー素子までを一体化させたシステムパワー IC の実現までには至っていない。この最大の理由は、高耐圧素子が正孔と電子の両方が共存する状態を使って素子の低オン抵抗を実現させているため、通常の pn 接合分離が使えず、誘電体分離が必要になるためである。従来の誘電体分離は、コストが高く LSI の微細加工に不向きであるという大きな欠点があった。

当社は、埋込み酸化膜に素子の電圧を分担させて高耐圧を得る新しい発想を用いることで、従来の LSI に用いられてきた SOI (Silicon On Insulator) 技術を高耐圧パワー IC に適用し、システムパワー IC を実現する技術を開発した。この応用としては 500 V モータ制御 IC、60 V 車載用パワー IC などがある。

Whole system-on-chip power ICs have not yet been fully developed, despite the fact that ultra-large-scale device integration has already been realized. The reason is that dielectric isolation is required to integrate power devices, which achieve low voltage using electron hole plasma. The conventional dielectric isolation method, however, uses expensive substrate and fine-pattern lithography cannot be applied.

This paper introduces a new concept of utilizing silicon-on-insulator (SOI) technology for high-voltage power ICs. In this concept, a part of the voltage is sustained across the buried oxide so that the required silicon thickness can be reduced. The use of power ICs in motor control and automotive applications is also discussed.

1 まえがき

デジタル・アナログ回路にパワー素子まで含めることができれば、一つのシステムを 1 チップ上に実現できるようになる。このような 1 チップシステムを実現する技術としては誘電体分離技術が有力である。従来の技術では、誘電体分離された島のシリコンの厚みは 500 V の IC の場合 50 μm 程度が必要となり、製造工程が複雑になるとともに素子分離領域が大きく量産性に乏しいという欠点があった。

これを解決するために、当社は従来の LSI に用いられてきた SOI 技術を高耐圧に適用する新しい高耐圧 SOI 技術を開発した。この応用として、①横型 IGBT (絶縁ゲートバイポーラトランジスタ) を出力段とした 500 V のモータ制御用パワー IC、②パワー MOSFET (MOS 型電界効果トランジスタ) を出力段とし、MPU (Micro Processor Unit) の搭載などシステム集積化を目指す 60 V 車載用パワー IC などがある。

ここでは、この新しい高耐圧 SOI 技術と、この応用例である 500 V モータ制御 IC、および 60 V 車載用パワー IC について述べる。

2 高耐圧 SOI 技術

図 1 に従来型誘電体分離と高耐圧 SOI 技術によるパワー

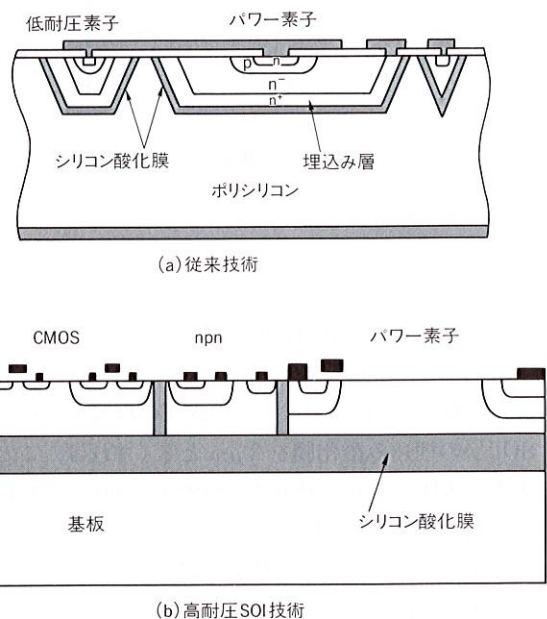


図 1. 従来型誘電体分離と高耐圧 SOI の比較 高耐圧 SOI では薄いシリコン層を使いトレンチで分離できるため素子密度が上がる。

Comparison of conventional dielectric isolation and SOI method

IC の断面構造の比較を示す。従来の構造では、酸化膜は素子分離の目的だけで使われ、素子に印加された電圧はすべて空乏層にかかる。このため、例えば 500 V 高耐圧 IC では

50 μm の厚いシリコン層が必要となり、これをいかに分離するかが問題となる。従来の技術では、異方性エッチングと厚いポリシリコンの堆(たい)積を用いて素子分離を行っており、コストが高くウェーハの大口径化が難しい。高耐圧 SOI 技術⁽¹⁾の従来技術との最大の相違は、埋込み酸化膜を単に素子分離だけに用いず、素子にかかる電圧をこの酸化膜で分担して支えることで必要なシリコン層の厚みを薄くし、トレンチ技術を用いて素子分離を行うことができる点である。また、8 インチウェーハなど大口径化も可能となる。

図 2 に SOI 上に形成した典型的なダイオードの構造を示す。この SOI ダイオードの耐圧は、①高電位になる n^+ カソードとアース電位の基板との間の耐圧と、②カソードとアノード間の横方向の耐圧で決定される。①の n^+ カソードと基板との間の耐圧は図 2 に示した一次元 MOS ダイオードの耐圧で決定され、②のカソードとアノード間の耐圧はいわゆるリサーチ原理と同様 n^- 層の不純物分布で決定される。アノード・カソード間の距離は十分に長くとれるので、一般的には①の MOS ダイオードで耐圧が制限される。

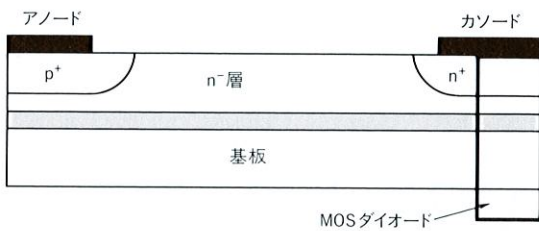


図 2. SOI 上に形成したダイオードの構造 SOI ダイオードの耐圧は MOS ダイオードの耐圧で決まる。

Typical SOI diode structure

図 3 は、耐圧を埋込み酸化膜の厚みをパラメータとしてシリコン層の厚みの関数として示したもので、点は実験結果、実線と点線は MOS ダイオードの耐圧の理論値を表している。SOI 層の埋込み酸化膜を $3 \mu\text{m}$ と厚くすれば、この酸化膜に大きな電圧を分担させることができ、500 V でも必要なシリコン層は $14 \mu\text{m}$ と薄くできる。シリコン層を薄くすれば素子分離にトレンチ技術が使え、通常の IC 製造プロセスでパワー IC の生産が可能となる。

図 4 は、シリコン層 $20 \mu\text{m}$ 、酸化膜 $3 \mu\text{m}$ の SOI のダイオードに 500 V の電圧をかけたときの電位の分布である。この SOI 構造では約 1/2 の電圧が酸化膜で支えられているようすが理解できる。

3 高耐圧横型 IGBT

高耐圧パワー IC の有力な応用はモータ制御であり、この

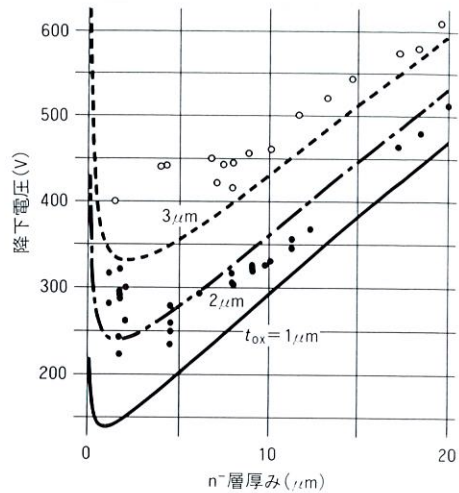


図 3. SOI 素子の耐圧とシリコン厚みの関係 耐圧は埋込み酸化膜厚みとシリコン層厚みが多いほど大きい。点は実験結果、曲線は MOS ダイオード理論値。

Breakdown voltage as function of SOI layer thickness with oxide thickness as parameter. Dots show experiments and solid and dotted lines show MOS diode theoretical values.

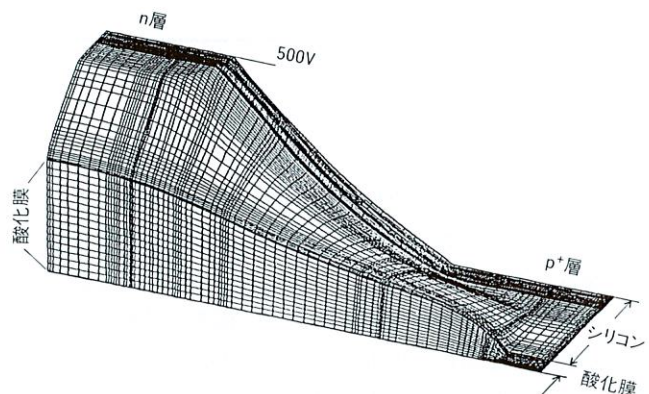


図 4. SOI ダイオード内部の電位分布 シリコン層 $20 \mu\text{m}$ 、酸化膜 $3 \mu\text{m}$ の SOI のダイオードに 500 V の電圧をかけたときの電位の分布。 Diode electric potential distribution when 500 V applied.

出力段としては横型 IGBT が大電流素子として優れているので、ここでは横型 IGBT を検討する。薄い SOI を用いた場合、素子のオン抵抗が増大する懸念がある。デバイスシミュレーションの検討では SOI 層の厚みを $15 \mu\text{m}$ から $1 \mu\text{m}$ と薄くしてもオン抵抗は 30 % 程度の増大で済む⁽²⁾。一方、シリコン層が薄くなるに従って、素子のスイッチングスピードは速くなるのが理論的にも実験的にも確認されている^{(3),(4)}。

図 5 は、SOI 層の厚みを変えたときの横型 IGBT のスイッチングスピードの変化と素子の順電圧降下の変化を実験で求めたものである。素子のターンオフ時の降下時間 (Fall-

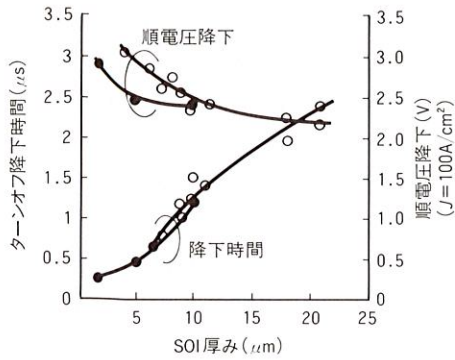


図5. 横型 IGBT のスイッチング特性の SOI 厚み依存 SOI 層の厚みを変えたときの横型 IGBT のスイッチングスピードの変化と素子の順電圧降下の変化を示す。

Lateral IGBT switching fall-time and forward voltage as function of SOI layer thickness

time) は、SOI 層の厚みが薄くなるほど単調に減少する。順電圧降下は、管理された製造ラインでは SOI 層が薄くなっても、先に述べたシミュレーションの予測どおり、低い順電圧降下が得られている。

以上の結果を総合すると、SOI 層を 5 μm 以下に薄くすることで、パワー IC の出力段である IGBT はライフタイム制御をせずに自然に高速となり、しかもトレンチで分離ができ、かつ高耐圧が実現できる。従来、スイッチングスピードの高速化のためにパワー素子の製造上用いられてきたライフタイム制御プロセスは、LSI では CMOS の特性を劣化させるため用いられていない。薄い SOI をパワー IC に適用することで、LSI のプロセスだけで高耐圧、高速のパワー IC が実現できる。

素子の高温でのリーク電流は SOI 層の厚みを薄くするほ

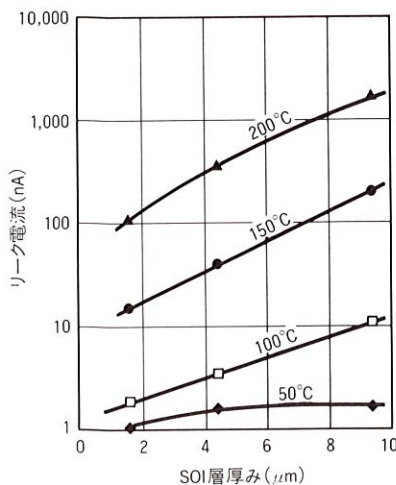


図6. SOI 上の MOSFET のリーク電流とシリコン層厚みとの関係シリコン層が薄くなるとリークが減り高温で動作できる。

MOSFET leakage current as function of SOI layer thickness

ど低下する(図6)。これは、SOI 層が薄くなるほどリーク電流の発生する空乏層の体積が減るためである。したがって、薄い SOI 層に形成したパワー IC はより高温で動作する。図7はスイッチング時間の温度依存性を示す。厚い 10 μm の SOI 上の IGBT のスイッチング時の降下時間は、温度が 25°C から 200°C まで増大すると 2.5 倍長くなるが、薄い 1.5 μm の SOI の IGBT は 1.5 倍しか増大せず、高温でも高速で動作する。これは、薄い SOI 層のキャリアの寿命が主に表面の再結合速度で決まっており温度依存性が少ないためである⁽³⁾。具体的例を挙げると 3 μm の酸化膜上に 1.5 μm の薄いシリコン層を形成した SOI 基板に横型の IGBT を試作すると、440 V の高耐圧と 200°C での 20 kHz の高速動作ができる。

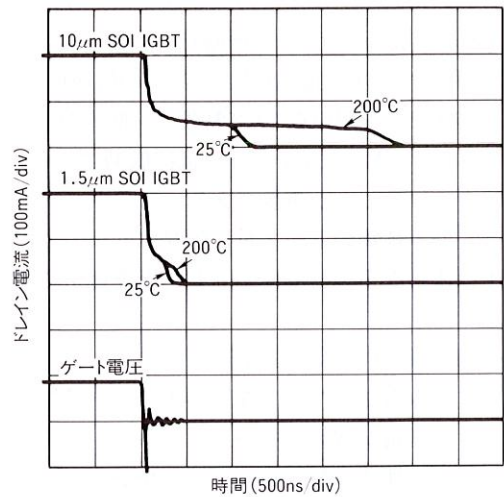


図7. 10 μm SOI と 1.5 μm SOI 上に形成した横型 IGBT のスイッチング時間の温度依存性 薄い SOI では高温でも高速で動作する。

Comparison of switching performance of IGBTs on 1.6 μm thick SOI and 10 μm thick SOI

4 車載用 60 V 横型パワー NMOSFET

高耐圧 SOI 技術のもう一つの有力な応用は車載用パワー IC である。従来、pn 接合分離を用いたパワー IC が車載用として多く用いられているが、信頼性と高温動作の点でまだ十分とは言えない。SOI を用いることにより、60 V パワー MOSFET のオン抵抗は 100 mΩ・mm² と従来用いられてきたアップドレイン縦型 MOSFET よりも小さく、個別素子並みの抵抗化が実現できる。さらに、4 ビット MPU の搭載など大規模システムの搭載が実現可能となる。

図8に、SOI 基板上に形成した 60 V パワー MOSFET の断面を示す⁽⁴⁾。この構造の特徴は CMOS プロセスでチャネル構造を形成していることである。p ウェルは CMOS のウ

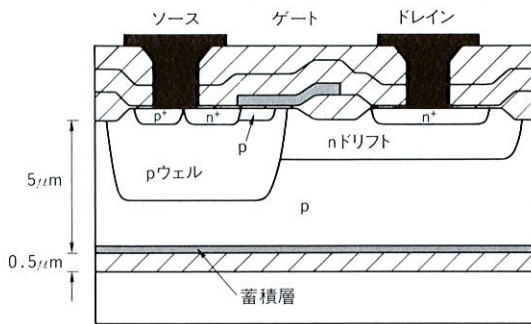


図8. 60 V 横型パワー MOSFET の構造 CMOS プロセスでチャネル構造を形成しているのが特徴である。
60 V power NMOS structure on SOI

エル拡散を用い、nドリフト層はウェル拡散と同時に形成している。このため、チャネルの長さはマスク合わせの精度に依存するが、製造プロセスの簡略化が可能となる。CMOS プロセスを用いても次に述べるような設計の最適化と0.8 μmのCMOS プロセスを用いることで特性オン抵抗 100 mΩ・mm²を実現できる⁽⁵⁾。MOSFET のオン抵抗低減にはnドリフト層の抵抗を下げるのが重要である。このドリフト層の抵抗は主にn型不純物のドーザ量に依存するが、このときの素子耐圧は適切な不純物濃度のp型基板を選ぶことで最大になる。

図8のMOSFETの大きな特長は、ソースとドレインの電圧がともに基板電圧より高くなるハイサイド動作をさせても素子のオン抵抗が増大しないことである。オン抵抗が増大しないのは、埋込み酸化膜に電圧がかかるので、この酸化膜上にp型蓄積層ができるのでnドリフト層が空乏化されないためである。従来の構造⁽¹⁾では埋込み酸化膜がないためnドリフト層が空乏化されオン抵抗が増大してしまう問題がある。

5 MPU 混載システムパワー IC 技術

ここでは、60 V パワー MOS と BiCMOS (Bipolar CMOS) アナログ回路や MPU などを1チップ上に集積したシステムパワー IC について述べる。具体的には0.8 μm デザインルールのBiCMOS プロセスを用いることで2 μm 厚のSOI 基板上に4ビットMPU、縦型 npn, pnp トランジスタ、60 V パワー MOS の試作を行うことでこれを実験的に検証した。

試作した4ビットMPU コアは16万トランジスタから成り、使用するマスクは既存のバルク上に作製する4ビット

MPU と同じものを用いた。同じ MPU をバルクと SOI 基板上に同時に形成し特性を比較した。歩留まりの差はなく、現状の SOI 基板の結晶性は十分と思われる。クロックスピードは SOI のほうが20%高速となり、最大 50 MHz (25°C) で動作した。また、SOI 上の MPU は高温 300°C でも 10 MHz で動作することを確認した。また、バルクの MPU も消費電力は大きくなるが 300°C で動作可能であり、CMOS だけで構成される IC の高温動作の可能性は高い。

SOI 上のバイポーラトランジスタは、埋込み層がなくても埋込み層がある pn 接合分離と比較しても十分電流がとれ、電流増幅率 (Hfe) も npn で 80 であった。SOI 上の BiCMOS 回路は、横方向をトレンチ分離しなくても SOI 層が 2 μm 程度に薄ければ 200°C で動作することをバンドギャップレファレンス回路で確認した⁽⁴⁾。

6 あとがき

高耐圧 SOI 技術と従来の誘電体分離方式との大きな違いは、素子分離酸化膜を単に分離の絶縁膜として用いるだけでなく、素子の耐圧を分担させて積極的に利用させる点にある。この結果、シリコン層が薄くても 500 V 以上の高耐圧が得られトレンチで素子分離が可能となる。シリコン層が薄いとパワー素子が自然に高速で動作し、かつ 200°C 高温動作が可能となるメリットが生ずる。また、ライフタイム制御プロセスが不要となるので LSI プロセスとの整合が図れ、BiCMOS 回路とパワー素子の同時搭載が可能となる。

高耐圧 SOI 技術は、ウェーハ直接接合技術により SOI 基板が安価に手に入るようになったことで大きく発展した。また、将来の 8 インチラインにも対応できる有望な技術である。

文 献

- (1) A. Nakagawa, et al: 1992 IEEE IEDM Tech. Digest, p.229 (1992)
- (2) A. Nakagawa, et al: Proc. of ISPSD'91, p.16 (1991)
- (3) I. Omura, et al: Proc. of ISPSD'93, p.248 (1993)
- (4) N. Yasuhara, et al: Ext. Abst. of 1993 SSDM', p.270 (1993)
- (5) H. Funaki, et al: 1995 IEEE IEDM Tech. Digest, p.967 (1995)
- (6) Y. Kawaguchi, et al: Ext. Abst. of 1996 SSDM, p.272 (1996)



中川 明夫 Akio Nakagawa

研究開発センター 材料・デバイス研究所研究主幹。
パワー素子・パワー IC の開発に従事。IEEE、電気学会、
応用物理学会会員。
Materials & Devices Research Labs.