

QPSK 対応 1.9 GHz ダイレクトコンバージョン受信機 IC

1.9 GHz Direct-Conversion Receiver IC for QPSK Modulation Systems

藤本 竜一
R. Fujimoto

谷本 洋
H. Tanimoto

渡部 秀二
S. Watanabe

最近、急速に普及しているPHS(簡易型携帯電話)の端末は、さらなる小型化、低価格化が求められている。ダイレクトコンバージョン方式は従来のヘテロダイン方式に比べ、小型化、低価格化が可能である一方、二次歪(ひずみ)やローカル(LO)信号の漏洩(えい)などの課題がある。GHz帯以上の高周波動作ではガリウム・ヒ素デバイスに比べて不利な面はあるが、安価なシリコン(Si)プロセスを用いて、ダイレクトコンバージョン方式の受信部の低雑音増幅器(LNA)、周波数変換器(MIX)、チャネル選択用ローバスフィルタ(LPF)、可変利得増幅器(VGA)を試作・評価した。

その結果として、ダイレクトコンバージョン受信機のPHSへの適用の可能性とSiプロセスでGHz帯のフロントエンドを含む受信機を1チップで実現できる可能性を示した。

Recently, there has been a rapid dissemination of personal handyphone system (PHS) terminals. Such terminals are required to be increasingly miniaturized and more inexpensive. These requirements can be satisfied by using the direct-conversion receiver (DCR) rather than the conventional superheterodyne receiver; however, 2nd-order distortion and local signal leakage become problems.

To achieve low cost, we have designed and fabricated a DCR IC using Si technology, despite the relatively low performance in high-frequency operation compared with GaAs technology. Our chip consists of a low-noise amplifier (LNA), down converters (MIX), channel selection filters (LPF), and variable-gain amplifiers (VGA). Experimental results indicate the applicability of the DCR to PHS and the feasibility of a single chip receiver using Si technology.

1 まえがき

PHSやDECT(Digital European Cordless Telephone)などの携帯移動無線端末は、よりいっそうの小型・軽量化、低価格化、低消費電力化が求められている。端末の小型化、低価格化が可能なダイレクトコンバージョン受信機(DCR)はGSM(Group Special Mobile)やページャの端末に好適な技術として注目を集めている⁽¹⁾。

従来のヘテロダイン方式では、受信した高周波(RF)信号をいったん中間周波数(IF)信号に周波数変換して復調を行う。これに対して、DCRではRF信号を直接、低周波のベースバンド(BB)信号に周波数変換するのでIF部がない。それによる利点を下記に示す。

- (1) 高価なIFフィルタが不要
 - (2) イメージ応答がない
 - (3) チャネル選択フィルタが集積化可能
- 一方、下記の課題もある。
- (1) LO信号の漏洩
 - (2) 利得切換え
 - (3) 二次歪
 - (4) 直流オフセット

試作したPHS用の受信部IC(図1)について、DCRの課題を克服する技術について紹介する^{(2),(3)}。

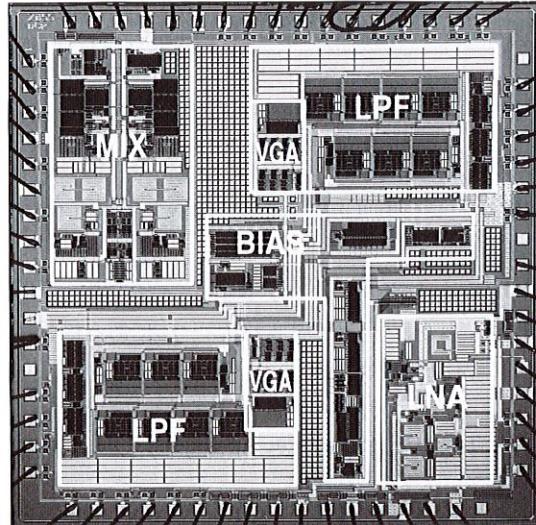
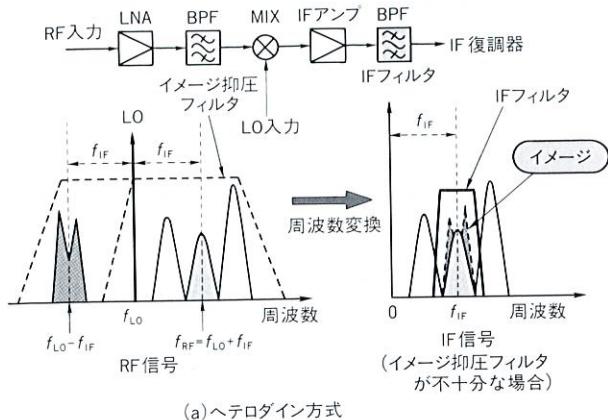


図1. DCRチップ LNA, MIX, LPF, VGAを内蔵。
Microphotograph of DCR chip

2 試作したDCRチップの特長

図2に一般的なヘテロダイン方式の受信機とわれわれが試作したDCRのブロックダイアグラムおよび信号の周波数変換のようすを示す。DCRではIF部をもたないためヘテロ



(a) ヘテロダイイン方式

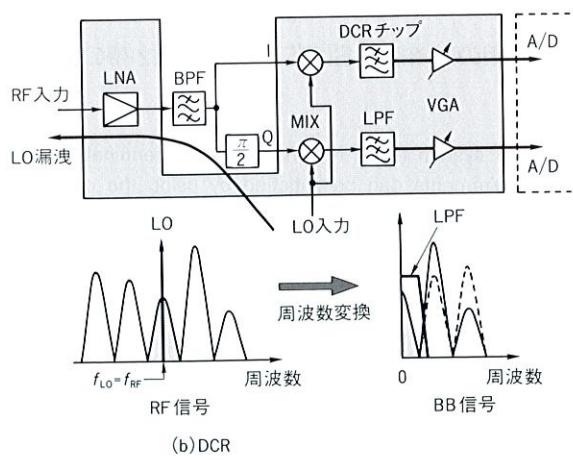


図2. DCRとヘテロダイイン方式の比較 ヘテロダイイン方式ではイメージをいかに抑圧するかが問題となるが、DCRではイメージ応答の問題はない。

Comparison of DCR and superheterodyne receiver

ダイイン方式では必須(す)の、高価で体積も大きいIFフィルタが不要となる。

図2(a)に示したように、ヘテロダイイン方式では受信信号(所望波: $f_{RF} = f_{LO} + f_{IF}$)と周波数 $f_{LO} - f_{IF}$ にある信号は、どちらも f_{IF} に周波数変換される。このため、周波数 $f_{LO} - f_{IF}$ にある信号は所望波の復調を妨害するイメージとなる。このイメージを十分に抑圧するため、RF部のイメージ抑圧フィルタは急峻(しゅん)な特性が必要となる。

これに対して図2(b)に示したDCRでは、LO信号は所望波と同じ周波数である($f_{LO} = f_{RF}$)ため、周波数変換してもイメージは存在せず、イメージ応答の問題はまったくない。したがって、RF部のバンドパスフィルタ(BPF)はヘテロダイイン方式のものに比べ簡単なもので済む。

また、DCRではチャネル選択フィルタは、BPFではなくLPFで、低周波動作すればよいためIC内に集積化することが可能である。

次にDCRではLO信号と受信するRF信号が同じ周波数であるため、LO信号がアンテナから漏れる(図2(b))と付

近の端末にとっては妨害波となる。したがってこのLO信号漏洩は十分抑圧する必要がある。今回のDCRチップではMIXのLOポートとRFポート間のアイソレーションを大きくし、LNAの逆方向伝達特性を十分小さくすることによりLO信号の漏洩を65 dB以上減衰させた。

PHSで採用されている $\pi/4$ -QPSK($\pi/4$ shifted Quadrature Phase Shift Keying)は信号の振幅成分と位相成分の両方に情報をもつ。したがって $\pi/4$ -QPSK用のDCRでは、信号の振幅成分に情報をもたないFSK(Frequency Shift Keying)用のDCRのようにリミッタ増幅器を用いて信号を飽和させることはできない。一方、ヘテロダイイン方式では、 $\pi/4$ -QPSKであってもIF部で信号レベルを可変にしたり、ルートロールオフフィルタをかけた後にリミッタ増幅することが可能である。しかしIF部をもたないDCRを $\pi/4$ -QPSKのシステムに適用する場合は、BB部での飽和を防ぐためにRF部での利得切換えが重要となる。今回試作したDCRチップではRF部のLNAで40 dB(2段切換え)、MIXで20 dB(2段切換え)の利得切換え機能をもたせた。

次にDCRの二次歪の問題について説明する。図3に示すように所望波信号レベル P_{in} に対して、 P_{in} のレベルより大きい妨害波 P_{ud} が存在すると、これらによる二次歪成分は、周波数変換された所望波と同じように直流付近に現れる。このような状況でも、受信機は所定のビット誤り率(BER)以下で信号を復調できる必要がある。そのためには $BER < 10^{-2}$ とすると、 $\pi/4$ -QPSK方式では二次歪成分は P_{in} に対する出力よりも10~15 dB低い必要がある。規格では P_{ud} は P_{in} よりも50~60 dB大きな値まで考慮するため、二次歪成分は所望波成分よりも60~75 dBも低く抑える必要がある。この二

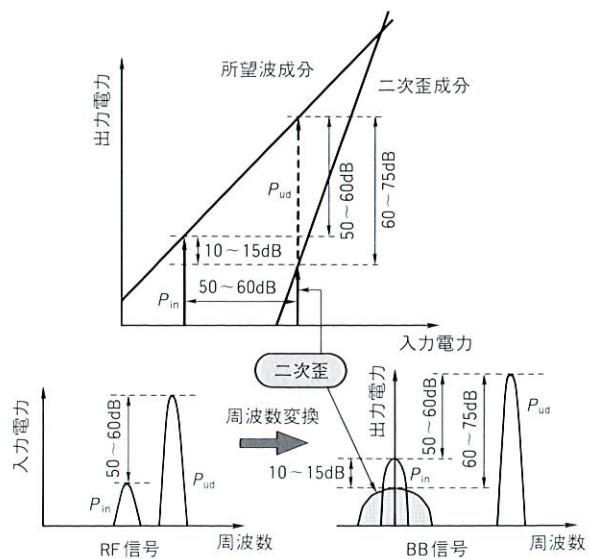


図3. DCRの二次歪 P_{in} の近くに P_{ud} が存在すると、二次歪は直流付近に周波数変換されて、復調を妨害する。

2nd-order distortion of DCR

次歪は MIX と LPF で発生するため、これらの回路には線形化のテクニックを用いて二次歪を低減させた。

二次歪の問題は、ヘテロダイン方式や、DCR でも振幅成分に情報をもたない FSK のような変調方式の場合は問題にならず、振幅成分にも情報をもつ $\pi/4$ -QPSK に DCR を用いる場合に生ずる特殊な問題である。

最後に直流オフセットに関しては、直流オフセットの伝搬を避けるために LPF と VGA の間を容量結合とした。

3 試作した DCR チップの特性

試作した IC の写真を図 1 に示す。IC は NPN トランジスタの $f_{\text{max}} = 15 \text{ GHz}$ 、CMOS の最小ゲート長 $0.8 \mu\text{m}$ の Bi-CMOS プロセスで試作した。チップサイズは $5.1 \text{ mm} \times 5.1 \text{ mm}$ で、LNA, MIX, LPF, VGA を 1 チップ化している。

3.1 LNA

DCR 用の LNA に特別に要求される特性は大きな利得切換えと、逆方向伝達特性である。利得差が 40 dB の利得切換えを実現するため LNA は増幅器ブロックと減衰器ブロックを並列に配置する構成にした⁽⁴⁾。図 4 に LNA の利得と逆方向伝達特性の測定結果を示す。 1.9 GHz で 13.4 dB / -24.9 dB (38.3 dB) の利得切換えを実現し、逆方向伝達特性は 1.9 GHz で -30 dB 以下である。

3.2 MIX

DCR 用の MIX にとってもっとも重要な特性の一つは二次歪を低減させることである。二次歪は主にトランジスタで発生するため、RF 信号を入力する位置をくふうして、二次歪の低減を図った⁽⁵⁾。MIX の二次歪の測定結果を図 5 に示す。所定の入力レベル $P_{\text{in}} = -30 \text{ dBm}$ に対して、二次歪が 65 dB 抑圧されている。

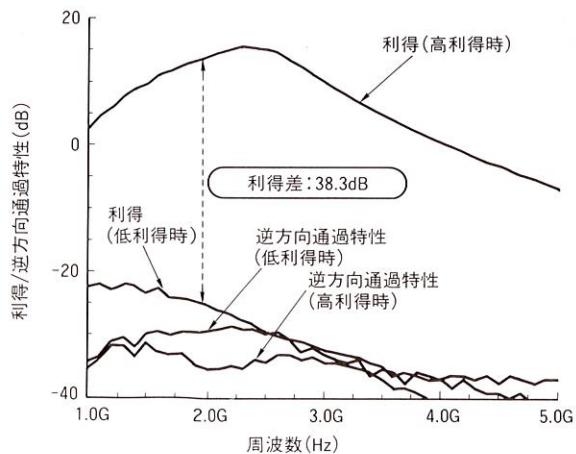


図 4. LNA の周波数特性 1.9 GHz で 38.3 dB の利得切換えを実現し、逆方向伝達特性は -30 dB 以下である。

Frequency response of LNA

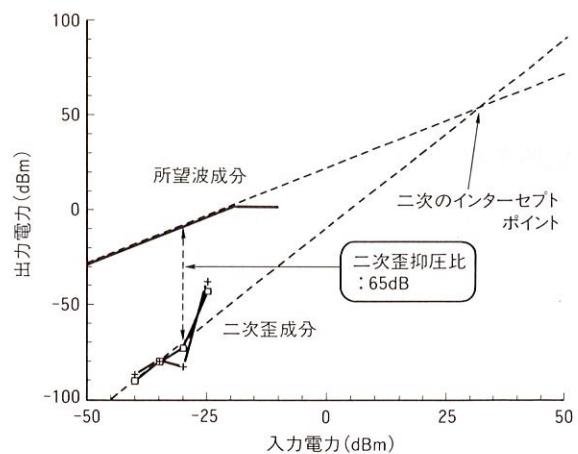


図 5. MIX の歪特性 所定の入力レベル $P_{\text{in}} = -30 \text{ dB}$ のとき、二次歪は 65 dB 以上抑圧されている。

2nd-order distortion of MIX

3.3 LPF および VGA

LPF の雑音は概算で kT/C (k : ボルツマン定数, T : 温度, C : キャパシタの総和) で決まる。したがって、雑音を少なくするために LPF 全体で用いるキャパシタの値 C が大きくなり、IC に内蔵できなくなる。今回試作した LPF は、前段に配置した外付けの抵抗やキャパシタを用いる 4 次のチェビシェフフィルタに利得をもたせ、後段のジャイレータキャパシタ型 5 次楕(だ)円フィルタの雑音の問題を緩和し、ジャイレータフィルタを IC に内蔵した⁽⁶⁾。

また、LPF のジャイレータフィルタ部には二次歪を低減するために線形化手法⁽⁷⁾を用いた。図 6 に LPF の二次歪の測定結果を示す。所定の入力レベルの妨害波を 2 波入力した場合、二次歪は 80 dB 以上抑圧されている。

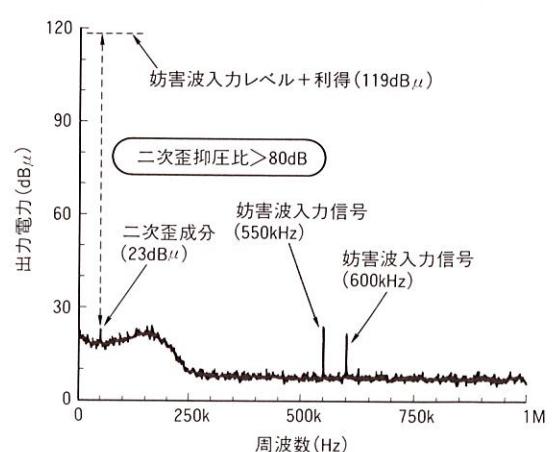


図 6. LPF の歪特性 所定の入力レベルの 2 波 (550 kHz , 600 kHz) の入力に対して、二次歪成分は 80 dB 以上抑圧される。

2nd-order distortion of LPF

VGA はラダー型の可変減衰器と固定利得の増幅器により構成した。

4 受信機の総合特性

表 1 に示す条件のもとで測定した BER を図 7 に示す。この結果から今回試作した DCR チップは BER 10^{-5} で 87 dB, 10^{-2} で 98 dB のダイナミックレンジが確保できた。

表 1. BER の測定条件

Conditions for bit error rate measurement

周波数	1.9 GHz
変調方式	$\pi/4$ -QPSK
ビットレート	384 Kbps
信号入力範囲	-100 ~ +10 dBm
伝搬路条件	静特性 (フェージングなし)
検波方式	ベースバンド遅延検波

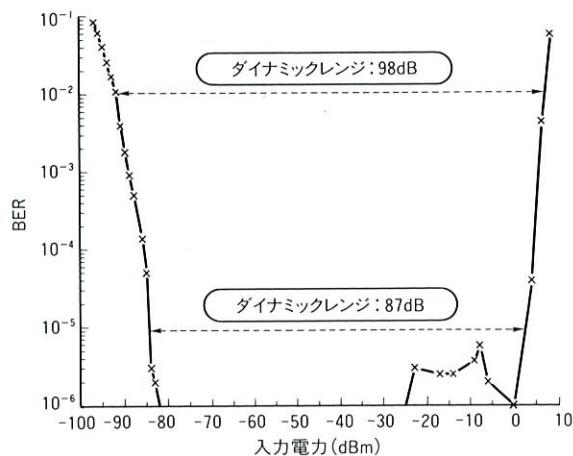


図 7. BER の測定結果 BER 10^{-5} で 87 dB, 10^{-2} で 98 dB のダイナミックレンジが確保できた。

Results of bit error rate measurement

5 あとがき

試作した受信部 IC について、PHS 端末に DCR を用いる際の課題とその解決方法について述べた。この試作の結果、 $\pi/4$ -QPSK 方式である PHS に対して DCR を適用できる可能性と GHz 帯以上の高周波のフロントエンドを含む受信機全体を Si プロセスで 1 チップ化できる可能性を示した。

文 献

- (1) A. A. Abidi: Low-Power Radio-Frequency ICs for Portable Communications, Proc. IEEE, April, pp.544-569 (1995)
- (2) C. Takahashi, et al : 1.9GHz Si Direct Conversion Receiver IC for QPSK Modulation Systems, IEICE TRANS. ELECTRON., E79-C, 5, pp.644-649 (1996)
- (3) H. Tsurumi, et al : Design Study on RF Stage for Miniature PHS Terminal, IEICE TRANS. ELECTRON., E79-C, 5, pp.629-635 (1996)
- (4) 藤本竜一, 他 : 1.9 GHz Si 低雑音増幅器, 電子情報通信学会, 総合大会, SC-2-1, p.430 (1995)
- (5) 荒井 智, 他 : シングルバランスミキサを用いた周波数変換器の歪み特性についての一検討, 電子情報通信学会, 秋季大会, C-73, p.73 (1994)
- (6) 上野 隆, 他 : ダイレクトコンバージョン受信機用ベースバンドフィルタ, 電子情報通信学会, ソサイエティ大会, B-246, p.246 (1995)
- (7) H. Tanimoto, et al : Realization of a 1-V Active Filter Using a Linearization Technique Employing Plurality of Emitter-Coupled Pairs, IEEE J.Solid-State Circuits, 26, 7, pp.937-945 (1991)



藤本 竜一 Ryuichi Fujimoto

研究開発センター 情報・通信システム研究所。
高周波アナログ IC の研究開発に従事。電子情報通信学会会員。
Communication & Information Systems Research Labs.



谷本 洋 Hiroshi Tanimoto, D.Eng.

研究開発センター 情報・通信システム研究所主任研究員,
工博。アナログ回路全般の研究開発に従事。電子情報通信学会, 電気学会, IEEE 会員。
Communication & Information Systems Research Labs.



渡部 秀二 Shuji Watanabe

LSI 第一事業部 LSI 技術第三部部長。
高周波アナログ IC 設計, 通信用アナログデジタル LSI の
開発に従事。IEEE 会員。
LSI Div. I