

MAC 内蔵マイクロコントローラ

Microcontroller with Built-In MAC

久間 由利子
Y. Kyuma

浅井 栄一
E. Asai

西山 隆英
T. Nishiyama

高速な積和演算やディジタルフィルタ処理など、これまで DSP (Digital Signal Processor) が使われていた産業用や車載用の分野で、これらの機能を取り込んだ 1 チップマイクロコントローラ (MCU) の要求が高まっている。そこで、周辺機能として MAC (Multiplication Addition Calculator : 積和演算器) を内蔵した MCU を新規に開発した。

第一弾製品は、当社オリジナル 16 ビット MCU TLCS_{TM}-900/H シリーズの TMP95C243F である。この製品に搭載した MAC はバンク方式を採用し、2 次 IIR (Infinite Impulse Response) フィルタ (3D タイプ Biquad 回路) の縦続接続が簡単に実現できるのが特長である。IIR フィルタ演算を最大 12 次まで実行可能である。2 次 IIR フィルタ演算を 437.5 ns (@16 MHz) で実行する。

The digital signal processor (DSP) has been used in industrial control and automotive applications for high-speed multiplication and addition operations and digital filtering. However, these applications require a one-chip microcontroller with the DSP.

We have developed a new microcontroller, the TMP95C243F, which incorporates a multiplication-addition calculator (MAC) as a peripheral function to meet this requirement. The CPU core of the TMP95C243F is a Toshiba original 16-bit microcontroller, the TLCS_{TM}-900/H. The MAC has bank registers because it implements an infinite impulse response (IIR) filter that cascades biquad filters (3D type). The maximum size of the IIR filter is 12 and the execution time of the biquad filter is only 437.5 ns (at 16 MHz).

1 まえがき

IIR, FIR (Finite Impulse Response) などのディジタルフィルタ処理や高速な積和演算が、ハードディスク装置 (HDD), エアバッグ, AC サーボモータなどの制御に広く使われるようになり、それらの処理も 1 チップで行えるような要求が高まっている。

これらの要求にこたえるために、ディジタルフィルタ処理や積和演算を高速に実行する MAC を内蔵した MCU を開発した。既存の MCU コアに、MAC を周辺機能の一つとして内蔵してあり、高速化、高機能化、小型化、低消費電力化などの要求にも応じられる。MAC を内蔵した第一弾製品は、当社オリジナル 16 ビット MCU TLCS_{TM}-900/H シリーズの TMP95C243F である。また、第二弾は、同じく 16 ビット MCU TLCS_{TM}-900/L シリーズの製品を開発中である。

図 1 に TMP95C243F を示す。

2 TMP95C243F

2.1 TMP95C243F の概要

TMP95C243F は、TLCS_{TM}-900/H CPU をコアに、MAC や高速 A/D コンバータなどの周辺機能を内蔵し、HDD, AC サーボモータなどの制御用として開発した高速・高機能な

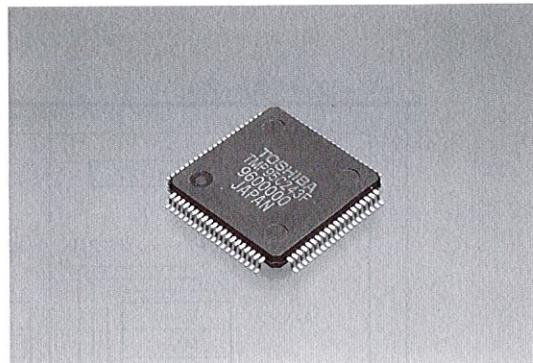


図 1. TMP95C243F の外観 パッケージは 80 ピンフラットパッケージを採用。12×12 mm, 1.4 mm 厚でユーザ基板が縮小できる。
Top view of TMP95C243F

16 ビット MCU である。TMP95C243F の概要を表 1 に示す。

TMP95C243F の MAC は、2 次 IIR フィルタ (3D タイプ Biquad 回路) の縦続接続が容易に実現できるのが特長である。16 ビット × 16 ビット + 35 ビットの積和演算を、指定した演算方式で指定した積項数だけ連続実行する。演算方式には IIR フィルタ演算と FIR フィルタ演算がある。IIR フィルタ演算では最大 12 次 (3 次 IIR フィルタを 4 段縦続) まで、FIR フィルタ演算では最大 28 次まで連続実行できる。2 次

表1. TMP95C243Fの概要

Main features of TMP95C243F

CPU	TLCS _{TM} -900/H
動作周波数	内部／外部 16 MHz
最小命令実行時間	125 ns
内蔵 RAM	2 K バイト
外部メモリ拡張	16 M バイト (マルチブレクスモード) 1 M バイト (セパレートモード)
MAC	16 ビット×16 ビット+35 ビット 演算時間: 437.5 ns (2 次 IIR)
16 ビットタイマ	4 チャネル
16 ビットキャプチャ	4 チャネル
10 ビット A/D コンバータ	8 チャネル 変換時間: 3 μ s
シリアルインターフェース	2 チャネル ボーレート: 最大 8 Mbps (I/O インタフェースモード)
チップセレクト/ウェイトコントローラ	3 ブロック
スタンバイ機能	RUN, IDLE, STOP の 3 種類
パッケージ	80 ピンフラットパッケージ

IIR フィルタ演算を 437.5 ns で実行する。

10 ビット A/D コンバータは 8 チャネルあり、変換時間は 3 μ s と高速である。

シリアルインターフェースは 2 チャネルあり、UART (Universal Asynchronous Receiver/Transmitter) モードと I/O (入出力) インタフェースモードが選択可能である。I/O インタフェースモード時のボーレートは最大 8 Mbps と高速転送が可

能である。

2.2 TMP95C243F の MAC 概要

図2に TMP95C243F の MAC ブロック構成を示す。

演算対象となるデータを格納するデータテーブルは、3D タイプ Biquad 回路の縦続接続が簡単に実現するようにバンク方式を採用し、A, B, C, D の 4 バンクから構成される。一つのバンクは、係数テーブル MA と MB がそれぞれ 4 本と 3 本、入力データレジスタ MX が 4 本、出力データレジスタ MY が 3 本の合計 14 本の 16 ビットレジスタから構成される。

入力データレジスタ MX と出力データレジスタ MY はソフトレジスタ構成になっており、MXn 0 と MYn 0 だけが読み出しと書き込みが可能で、それ以外の MXn 1, 2, 3 と MYn 1, 2 は読み出しだけが可能である。MXn 0 に入力データを書き込むと、MXn 0 → MXn 1, MXn 1 → MXn 2, MXn 2 → MXn 3, MXn 3 → 削除と MXn 0 に書き込む前のデータが順次シフトされる。出力データレジスタ MY も同様である。ここで、n はバンクを示す。係数テーブル MA と MB はすべてのレジスタが読み出しと書き込みが可能である。

制御レジスタで積項数を指定し、演算スタートビットをセットすると、16 ビット×16 ビットの乗算器で MA×MX と MB×MY の乗算と、35 ビットの加算器で乗算結果の累積加算を実行する。指定した積項数分の演算が終了すると、積和演算終了割込みが発生する。演算結果は 35 ビットで得

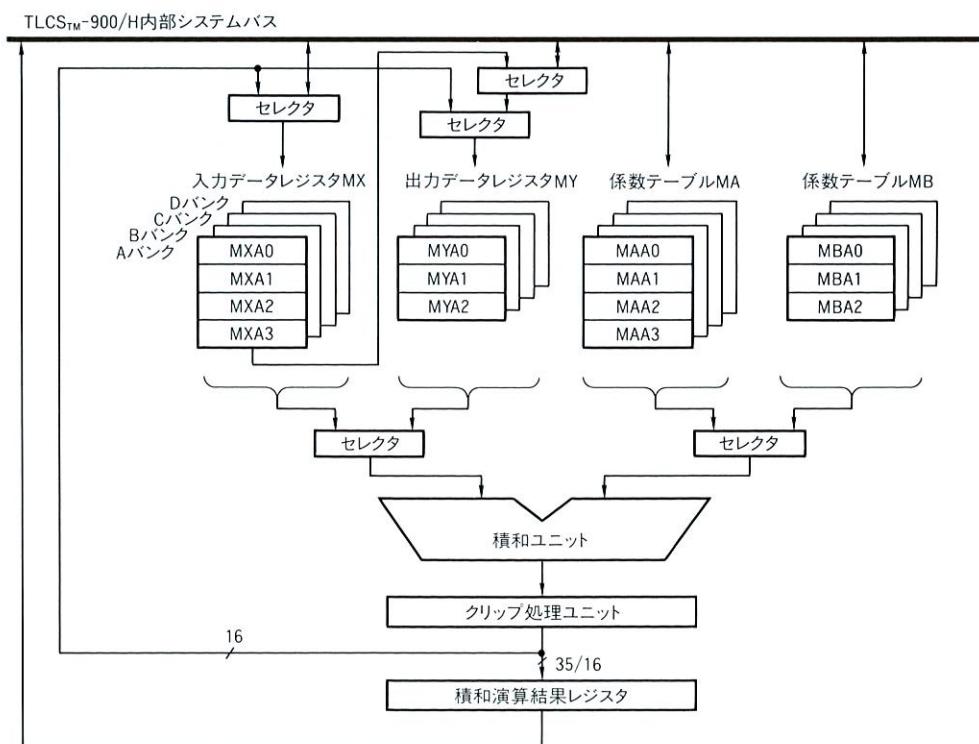


図2. TMP95C243F の MAC ブロック構成 データテーブルは、IIR フィルタ演算が簡単に実現できるようバンク方式を採用。
MAC block diagram of TMP95C243F

られるが、丸めまたはクリップ処理を指定すると 16 ビットの結果が得られる。丸めまたはクリップ処理はスケーリングビットの設定に従って処理され、スケーリングビットはバンクごとに、10, 11, 12, 13 ビットの 4 種類から選択する。16 ビットの結果がオーバフローしていた場合は、オーバフローフラグがセットされる。このとき、クリップ処理が指定されていると、正の最大値(7 FFFFH)または負の最大値(8000H)が演算結果レジスタに格納される。

また、IIR フィルタ演算が容易に実現できるように演算結果を MYn 0 や次のバンクの MXn 0 に転送する機能や、FIR フィルタ演算のために MXn 3 からシフトアウトされたデータを MYn 0 に転送する機能を備えている。一つのバンクで IIR フィルタ演算なら 3 次まで、FIR フィルタ演算なら 7 次まで実行できる。バンクを継続すると IIR フィルタ演算を最大 12 次まで、FIR フィルタ演算を最大 28 次まで連続実行する。ただし、I/O データレジスタのシフトレジスタ構成はバンク内で閉じているため、バンクを継続して 8 次以上の FIR フィルタ演算を実行するときはプログラムでバンク間のデータ移動を行う必要がある。

2.3 IIR フィルタ演算実行例

図 3 に 6 次 IIR フィルタの回路構成を示す。

6 次 IIR フィルタ演算を、A, B, C の 3 バンクを使用し 3D タイプ Biquad 回路の 3 段継続接続で実行の場合次のようにする。

- (1) 各バンクの係数テーブル MAn 0~2, MBn 0~1, 入力データレジスタ MXn 0~2, 出力データレジスタ MYn 0~1 に初期値を設定する。
- (2) 丸め処理のスケーリングビットを設定する。
- (3) A → B, B → C バンクを継続接続に設定する。
- (4) 各バンクの演算終了時に結果をそのバンクの MYn 0 と次のバンクの MXn 0 に転送するように設定する。

- (5) 各バンクの演算項数を 5 項(3 項 + 2 項)に設定する。
- (6) 実行開始バンクを A バンクに設定し、丸め、クリップ処理を指定し、演算スタートビットをセットする。

この演算では、自動的に A バンクの演算結果を MYA 0 と MXB 0 に、B バンクの演算結果を MYB 0 と MXC 0 に転送するため、IIR フィルタ演算が容易に実現できる。このときの演算実行時間は 1187.5 ns である。

3 FIR フィルタ演算専用 MAC

TMP95C243F の MAC の I/O データレジスタのシフトレジスタ構成はバンク内で閉じているため、バンクを継続して 8 次以上の FIR フィルタ演算を実行させるときに、プログラムによるバンク間のデータ移動が必要である。

このような点を改善した FIR フィルタ演算専用の MAC を、TLCS_{TM}-900/L CPU をコアに開発中である。この MAC は、16 ビット × 16 ビット + 35 ビットの FIR フィルタ演算を最大 16 次まで連続実行する。

図 4 に FIR フィルタ演算専用 MAC のブロック構成を示す。

TMP95C243F の MAC から IIR フィルタ演算用の機能を削除したものが FIR フィルタ演算専用 MAC である。データレジスタはバンク方式を引き継ぎ、A, B, C, D の 4 バンクから構成される。一つのバンクは、入力データレジスタ MX と MY がそれぞれ 4 本で合計 8 本の 16 ビットレジスタから構成される。入力データレジスタ MX だけがシフトレジスタ構成になっており、MXn 0 だけ読出しと書き込みが可能で、それ以外の MXn 1, 2, 3 は読出しだけが可能である。入力データレジスタ MY はすべてのレジスタが読出しと書き込みが可能である。

丸め処理、クリップ処理、スケーリングビット、オーバ

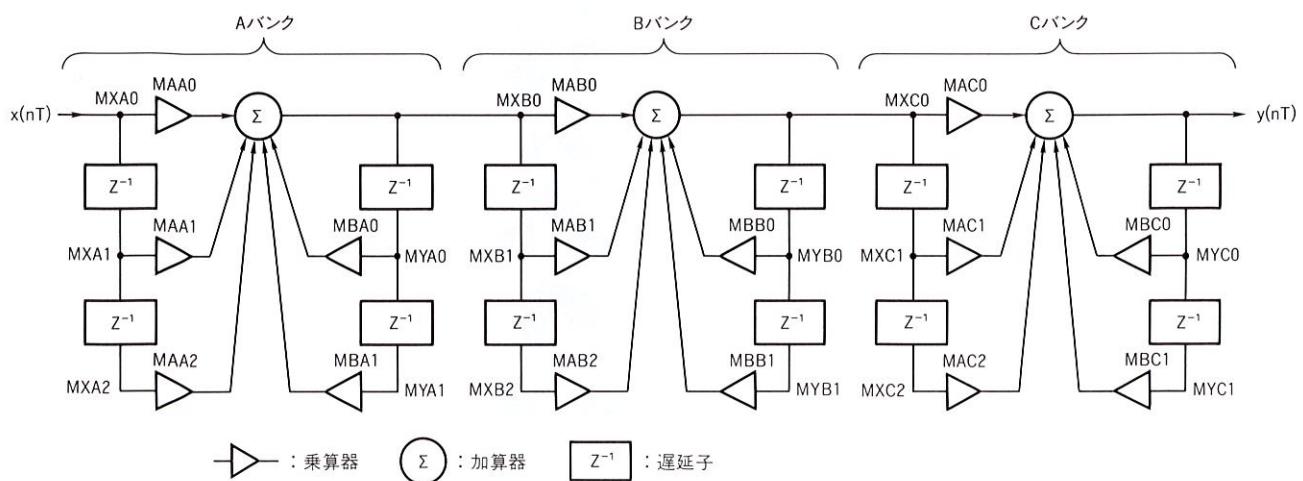
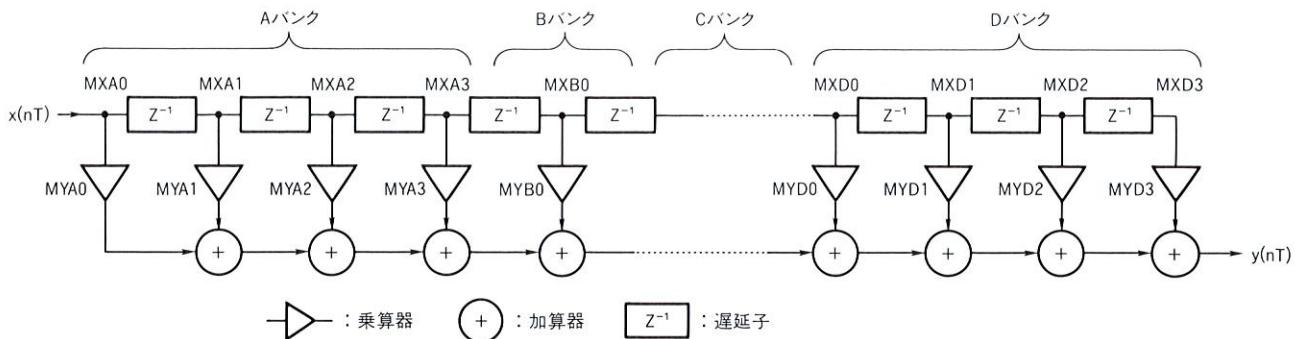


図 3. 6 次 IIR フィルタ 2 次 IIR フィルタ(3D タイプ Biquad 回路)の 3 段継続接続で構成した例である。

6th IIR filter



TLCS_{TM}-900/L内部システムバス

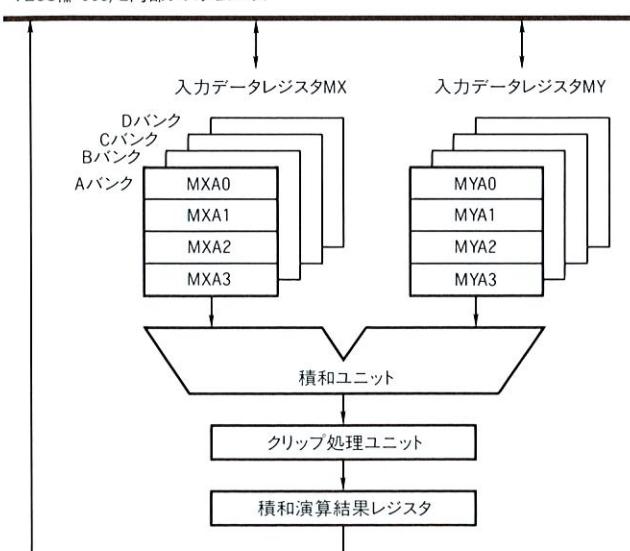


図4. FIRフィルタ演算専用MACのブロック構成
バンク間のシフトレジスタ機能接続により、FIRフィルタ演算を最大16次まで連続実行可能である。

MAC block diagram of FIR filter

フローフラグなどはTMP95C243Fと同じであるが、以下の点が異なる。

演算スタートのトリガは、スタートビットのセットに加えて、入力データレジスタ MXn 0への書き込みでも可能である。あらかじめどちらの方法でトリガをかけるかを設定しておく。入力データレジスタ MXn 0への書き込みでも演算スタートすることによって、スタートビットをセットする分のオーバヘッドが短縮される。

また、バンクの継続を設定すると、シフトレジスタ構成

もそのバンク間で接続されるので、バンクを継続して演算する場合、プログラムでバンク間のデータ移動を行う必要がない。一つのバンクで4次FIRフィルタ演算まで可能で、バンクを継続すれば最大16次FIRフィルタ演算まで連続実行が可能である。16次FIRフィルタ演算を1.7 μs (@10 MHz)で実行する。

図5に16次FIRフィルタの回路構成を示す。

4 あとがき

MAC内蔵16ビットMCUの第一弾製品である TMP95C243Fと、FIRフィルタ演算専用MACについて紹介した。

今後も、MACの多様化、チップ全体の高速化、低電圧化、低消費電力化などの要求にこたえられるように、製品展開を計画している。

久間 由利子 Yuriko Kyuma

半導体システム技術センター マイコン技術推進第一部。
汎用マイクロコントローラの企画・開発に従事。
Semiconductor System Engineering Center

浅井 栄一 Eiichi Asai

半導体システム技術センター マイコン技術推進第一部。
汎用マイクロコントローラの企画・開発に従事。
Semiconductor System Engineering Center

西山 隆英 Takahide Nishiyama

半導体システム技術センター マイコン技術推進第一部。
汎用マイクロコントローラの企画・開発に従事。
Semiconductor System Engineering Center