

32 ビットマイクロコントローラ TLCS_{TM}-900/H2 シリーズ

TLCS_{TM}-900/H2 Series 32-bit Microcontroller

阿部 昭人
A. Abe

花谷 真吾
S. Hanatani

宮入 理花
R. Miyairi

高性能かつ組込み用途に最適な 32 ビットマイクロコントローラ (MCU) TLCS_{TM}-900/H2 シリーズを開発した。このシリーズに搭載している CPU コアは、当社オリジナルのアーキテクチャで、高い命令コード効率が特長である。動作周波数は 20 MHz で、基本的なレジスタ間演算命令を 1 クロック (50 ns) で実行可能である。

この製品シリーズは、従来の 16 ビット MCU TLCS_{TM}-900/H シリーズの上位互換シリーズにあたり、処理速度は 4 倍以上である。この性能を実現するために、従来の TLCS_{TM}-900/H シリーズの CPU コアを全面的に見直してデータバスを 16 ビットから 32 ビット幅に拡張し、メモリバスサイクルも 2 クロックから 1 クロックへと高速化した。

We have developed a high-performance 32-bit microcontroller called the TLCS_{TM}-900/H2 series, which is suitable for embedded applications. The core architecture of this series is original to Toshiba, and is characterized by high instruction code efficiency. It can execute basic instructions for 1 clock cycle (50 ns at 20 MHz).

This series is upwardly compatible with the TLCS_{TM}-900/H series, although the performance of the former is four times higher than that of the latter. To achieve this performance, we improved the CPU core of the TLCS_{TM}-900/H series, extending the data bus width from 16 to 32 bits and shortening the access time to memory from 2 clock cycles to 1 clock cycle.

1 まえがき

プリンタやハードディスクなどの OA 機器などでは、製品自体の機能・性能向上が著しい。これらの機器を制御する MCU に対する要求も、高機能化、高性能化、低消費電力化とさまざまである。

当社は、これらの要求にこたえるために TLCS_{TM}-900 ファミリを開発し、製品化している。図 1 にシリーズのコア展

開を示す。TLCS_{TM}-900/H2 シリーズは、この中にて処理性能的に最上位に位置づけされる。

2 チップ構成

TLCS_{TM}-900/H2 シリーズの第一弾製品 TMP94C241 のチップ全体のブロック構成を図 2 に示す。

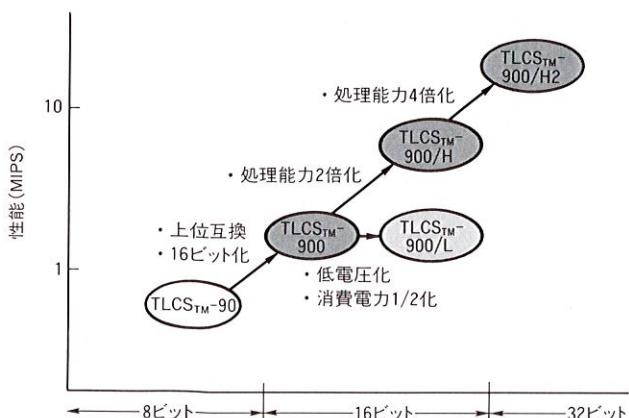


図 1. TLCS_{TM}-900 ファミリのコア展開マップ 機械語レベルでの完全互換を保ちながら、コアの性能アップを図っている。

Core road map of TLCS_{TM}-900 family

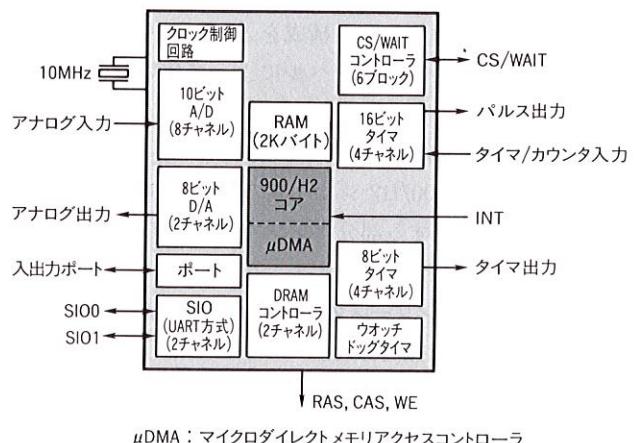


図 2. TLCS_{TM}-900/H2 (TMP94C241) の構成 CPU, RAM 2 K バイト, SIO (シリアル入出力), タイマ, A/D コンバータ, D/A コンバータなどを内蔵している。

Configuration of TLCS_{TM}-900/H2 (TMP94C241)

TLCS_{TM}-900/H2 シリーズ第一弾製品は、事務機器、産業機器の制御に最適な仕様に設計した。CPU のほかに、汎用的な内蔵 I/O (タイマ、シリアルインタフェース、10 ビット A/D コンバータ、8 ビット D/A コンバータ) と、外部メモリインタフェースを簡単にするためのメモリコントローラおよび DRAM コントローラを内蔵している。内蔵メモリとして RAM を 2 K バイト内蔵しているが、これは主に高速スタック領域用である。

図 2 の構成では、CPU と内蔵メモリは 32 ビットのデータバス (1 クロックアクセス) で接続されている。一般に、CPU の性能はメモリのデータ転送性能に左右されるので、TLCS_{TM}-900/H2 シリーズでは、最大限の性能が出るように内蔵メモリをこのような高速バスで接続した。

一方、CPU と内蔵 I/O は、8 ビットのデータバス (2 クロックアクセス) で接続されている。将来的には、高速型の内蔵 I/O は 16 ビットまたは 32 ビットのデータバスで接続できるように設計している。

3 CPU アーキテクチャ

3.1 CPU の特長

TLCS_{TM}-900/H2 シリーズは、16 ビット MCU TLCS_{TM}-900 シリーズの命令アーキテクチャとコンパチブルな 32 ビット MCU であり、当社オリジナルの高性能 32 ビット CPU を内蔵している。

TLCS_{TM}-900/H2 シリーズの CPU は、32 ビットの演算器、アドレス計算器、データバス、12 バイトの命令キュー バッファをもつことにより、32 ビットデータを扱う命令を 1 クロックサイクルで実行できるようにした。

TLCS_{TM}-900/H2 シリーズを含む TLCS_{TM}-900 ファミリの CPU は、32 ビットの汎用レジスタを 8 本もち、そのすべてをアキュムレータやアドレスの指定に使用できる。そのうち 4 本のレジスタは 4 バンク構成をとっており (図 3)，各バンクを処理用途や割込みレベルによって使い分けることができる。

3.2 CPU データバス

図 4 に TLCS_{TM}-900/H2 シリーズのデータバス (データそのものを記憶・処理する部分: レジスタ、演算器など) の構成を示す。

TLCS_{TM}-900/H2 シリーズのデータバスは、高速化のためには次のような手法を採用した。

- (1) 内部データバスの 32 ビット三重化 (32 ビットレジスタ間の演算が 1 ステートに高速化された)
- (2) アドレス計算専用の演算器を追加 (分岐処理が高速化された: 最小 2 クロックで分岐できる)
- (3) 12 バイトの命令キュー バッファを搭載 (命令のデコードが途切れなく行われる)

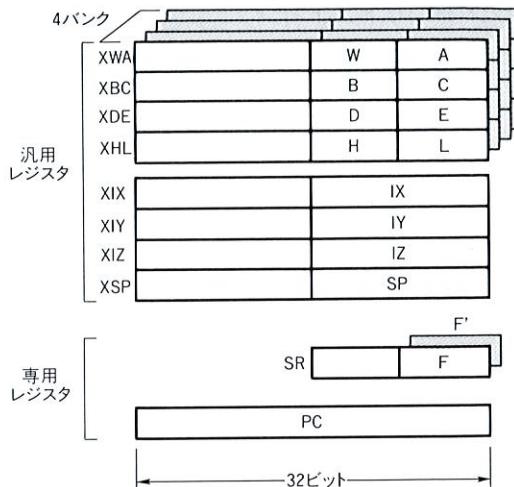


図 3. TLCS_{TM}-900 ファミリの CPU レジスタセット 32 ビットの汎用レジスタを 8 本もち、そのすべてをアキュムレータやアドレスの指定に使用できる。

CPU register set of TLCS_{TM}-900 family

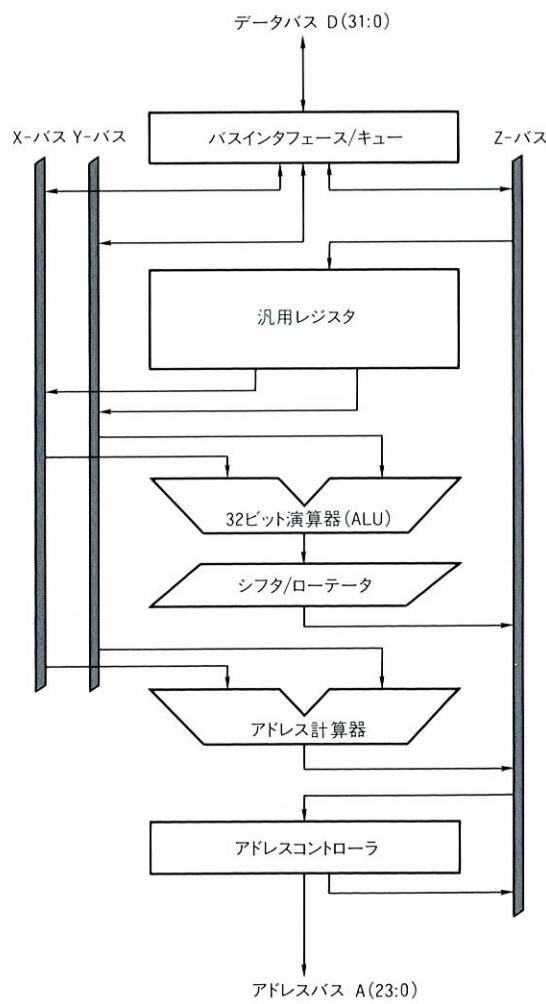


図 4. TLCS_{TM}-900/H2 CPU のデータバス 32 ビット × 3 のデータバスに拡張し、アドレス演算器を追加した。

Data path of TLCS_{TM}-900/H2 CPU

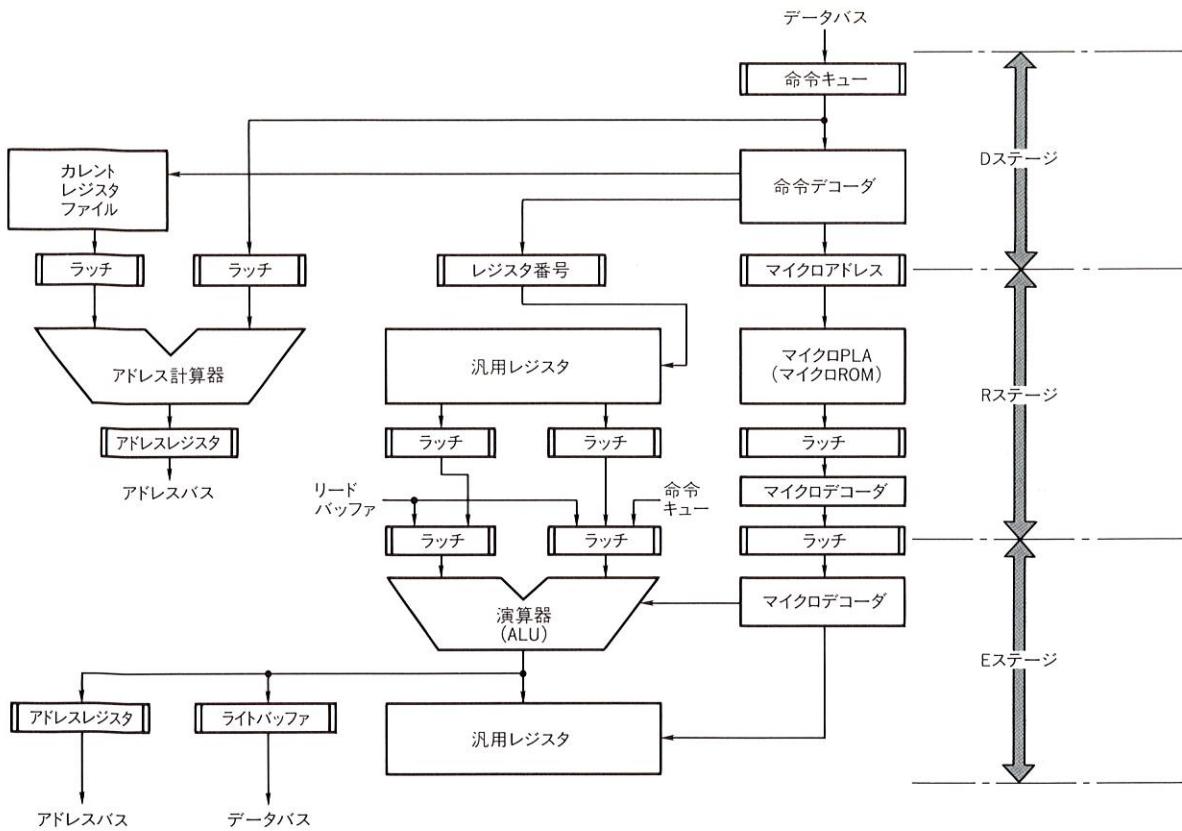


図5. TLCS_{TM}-900/H2のパイプライン制御構造
Pipeline structure of TLCS_{TM}-900/H2

3.3 CPU コントロール部

TLCS_{TM}-900/H2シリーズは、D, R, Eで表わされるステージ3段のパイプライン構造をとっている。その構造を図5に示す。各ステージの機能は次のとおりである。Dステージでは、命令コードの解釈を行う。Rステージでは、汎用レジスタやマイクロPLA(Programmable Logic Array)の読み出し、アドレス計算とプリフェッチャサイクルの実行、分岐制御、メモリやイミディエイトデータの読み出しを行う。Eステージでは、演算の実行、レジスタの書き込み、メモリアクセス要求が発生する。この構造による特長を以下に挙げる。

(1) カレントレジスタファイル(カレントバンクの32ビットレジスタ4本と、バンクをもたない32ビットレジスタ4本を格納したレジスタファイル)とアドレス加算器を設けることにより、アドレス計算をRステージで行える(高速な分岐命令の実行が可能)。

(2) 先行命令のレジスタ書き込み(Eステージ)と後続命令のレジスタ読み出し(Rステージ)が同時に実行できる。

このパイプライン処理により、1クロックサイクル実行が可能となる命令の実行例を図6に示す。命令1(ADD:加算命令)EステージのXHLレジスタへの書き込みと、命令2(LD:転送命令)RステージのXIZレジスタの読み出しが同時に実行できる。また、命令3(LD:転送命令)の第一オペレ

命令1:ADD XHL, XWA	D	R	E
命令2:LD XBC, XIZ	D	R	E
命令3:LD XHL, (XIX+d8)	D	R	E

メモリアクセスを作り
命令は二つに分解して
処理される

(a) 1クロックサイクル実行の例

命令4:JR CC, PC+d8	D	R	E
命令5:ADD XWA, XBC	D	R	E
命令6:SUB XHL, XBC	D	R	E

命令6へ分岐する
この命令は実行禁止となる。

(b) 分岐命令の実行例(条件成立の場合)

命令4:JR CC, PC+d8	D	R	E
命令5:ADD XWA, XBC	D	R	E

(c) 分岐命令の実行例(条件不成立の場合)

図6. 命令実行の流れ
パイプライン処理により1命令1クロックサイクル実行が可能。分岐命令も高速化された。

Execution sequence

ーションコード命令 D ステージでは、カレントレジスタファイルから読み出されたレジスタ XIX と、命令キューから読み出された 8 ビットディスプレースメントをアドレス計算器で加算し、R ステージからメモリサイクルを起動することができる。

図 6 には高速な分岐命令実行の例も示した。命令 4 (JR : 分岐命令) R ステージでアドレス計算し、条件判定前に分岐先の命令フェッチサイクルを起動する。この間、分岐命令の次のアドレスに割り当てられた命令 5 (ADD : 加算命令) D ステージではデコーディングを開始しているが、分岐命令の R ステージ後半で条件判定を行った結果、条件成立の場合はこの ADD 命令を無効とする。図 6 に示したタイミングで分岐先の命令コードを受け取り、分岐先の命令 6 (SUB : 減算命令) のデコーディングを開始できるため、2 ステートという速さで分岐命令を実行できる。一方、条件不成立の場合は、命令キューにフェッチされた命令を取り込まないようにして後続の命令 (ADD 命令) を実行するので、無効な命令フェッチが 1 回起きるが、分岐命令は 1 ステートで行われることになる。

TLCS_{TM}-900/H2 シリーズでは、RTL (Register Transfer Level) 設計を行っている。そのため、上位設計の段階で命令キューの容量、イミディエイトデータの取り出しかたなどを変えたモデルを作つてシミュレーションを行い、最適な構造をとることができた。

4 設計手法

4.1 消費電力の削減対策

論理合成時の対策として低消費電力タイプのセル群を用意した。また、効果的な消費電力の削減のために消費電力解析ツールも使用した。

解析用のテストパターンとしては、主に CPU の性能評価で一般的に使用されているベンチマークプログラムを使用し、動作電力の高いブロックに対し重点的に対策を施した。

4.2 タイミング検証

人手によってレイアウトを行うデータバスと PLA のタイミング検証として、スタティック解析ツールを使用した。

その際、スタティック解析ツールの精度を評価するために実際のデバイスと比較を行った。その結果、解析ツールは、ターゲットとする製造プロセスでの実測値に対し、若干遅く見積ることが判明したため、その分を補正してタイミング検証を行った。

5 あとがき

高性能かつ組込み用途に最適な MCU を開発することができた。

今回のラインアップによって、TLCS_{TM}-900 ファミリは、標準版の TLCS_{TM}-900、低消費電力版の TLCS_{TM}-900/L、高速版の TLCS_{TM}-900/H、さらなる高速版の TLCS_{TM}-900/H2 シリーズの 4 シリーズとなり、ユーザに対して応用に即した CPU コアの提供がより幅広くできるようになった。

今後は、派生品のラインアップを増やし、各用途に最適な製品を提供していく予定である。

阿部 昭人 Akihito Abe



半導体システム技術センター マイコン技術推進第一部主務。

オリジナル 8/16/32 ビットマイコンの企画・開発に従事。
Semiconductor System Engineering Center

花谷 真吾 Shingo Hanatani



半導体システム技術センター マイコン技術推進第一部。
オリジナル 16/32 ビットマイコンの企画・開発に従事。

Semiconductor System Engineering Center

宮入 理花 Rika Miyairi



半導体システム技術センター マイコン技術推進第一部。
オリジナル 16/32 ビットマイコンの企画・開発に従事。

Semiconductor System Engineering Center