

0.3 μm ASIC ファミリ TC220/TC222/TC223 シリーズ

TC220/TC222/TC223 Series 0.3 μm ASIC Family

田中 豊
Y. Tanaka

清 俊和
T. Sei

宮本 浩二
K. Miyamoto

0.3 μm CMOS プロセス技術を用い、高性能のワークステーションから低消費電力を求められる携帯型情報端末まで幅広い応用分野の要求を実現する ASIC (用途特定 IC) の新しいファミリを開発した。

基本となる TC220 シリーズでは、新しいベーシックセル構造の採用、低消費電力ライブラリの整備により、高速 (ゲート遅延時間 0.15 ns)・高集積 (最大搭載可能ゲート数 200 万ゲート)・低消費電力を実現した。TC223 シリーズでは、単なる 3 V/5 V インタフェースにとどまらず、マルチオキサイド技術により 3 V 振幅および 5 V 振幅の信号の入出力が可能となっている。TC222C シリーズでは、バッテリ駆動の携帯用機器向けに、内部回路を 2 V で動作させることによって、超低消費電力を実現した。

Toshiba has developed a new application-specific IC (ASIC) family with 0.3 μm technology. This family is suitable for use in high-performance workstations and portable data terminals.

The TC220 series has a new basic cell and low-power library, and achieves high performance (gate propagation delay time : 0.15 ns), high density (maximum number of usable gates : 2 million), and low power consumption. The TC223 series has a 3 V/5 V interface, which enables both 3 V and 5 V signals to be handled, employing multioxide technology. The TC222C series realizes ultra-low power consumption by the 2 V operation of its internal logic.

1 まえがき

ASIC の分野においても、ユーザの要求とプロセスおよび設計技術の進歩により、高速・高集積・低消費電力化が進んでいる。さらに、CPU (Central Processing Unit) を中心に電源電圧は 3.3 V に移行が進んでいるが、周辺機器や各種インターフェースの規格から 5 V 振幅の信号への要求もある。

当社は、0.3 μm CMOS プロセスを使い、高速・高集積を実現した TC220G (ゲートアレー)/TC220C (スタンダードセル)/TC220E (エンベディッドアレー) シリーズを発展させ、バッテリ駆動の携帯用機器向けに低消費電力を実現した TC222C シリーズおよび 0.3 μm CMOS プロセスを使いながら、5 V 振幅信号の入出力を可能にした TC223G/TC223C/TC223E シリーズを開発した。

ここでは、各シリーズ共通の基本技術と、それぞれのシリーズの特長について述べる。

2 TC220G/C/E シリーズの基本技術

各シリーズに共通の基本技術として TC220G/C/E シリーズの説明をする。

図 1 は、TC220C シリーズの製品例である。ランダムロジック 70 K ゲート、RAM 38 K ビット、ROM 32 K ビット、

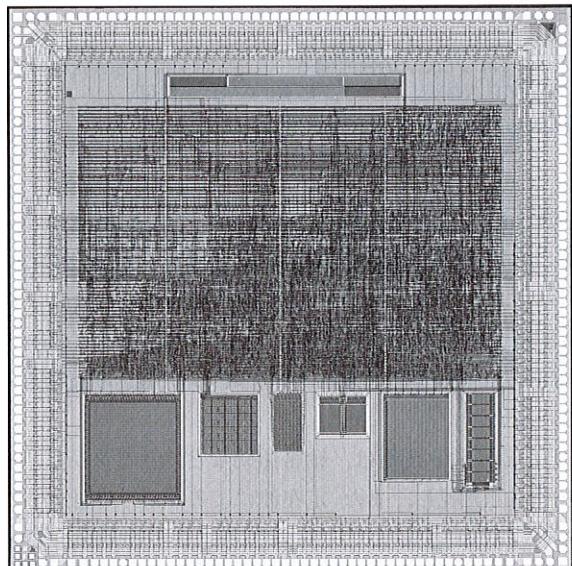


図 1. TC220C シリーズの製品例 70 K ゲートのランダムロジックのほかメモリが搭載されている。

Chip photograph of TC220C

乗算機 16×16 を搭載している。

2.1 プロセスデバイス技術

TC220G/C/E シリーズのプロセス技術は、高集積化と高速化を最優先にしている。0.3 μm CMOS プロセスの主要技

表1. 0.3μm CMOS の主要プロセス技術
Major process techniques of 0.3 μm CMOS

電源電圧	3.3 V
ゲート長	0.3 μm
ゲート酸化膜厚	8 nm
平坦化技術	CMP
コンタクト・Via	W 埋込み技術
多層層間膜	低誘電率-TEOS*
その他	ボーダレス技術, SAC 技術, コンタクト-1stVia Stack 構造

* TEOS : Tetra-Ethyl-Orth-Silicate

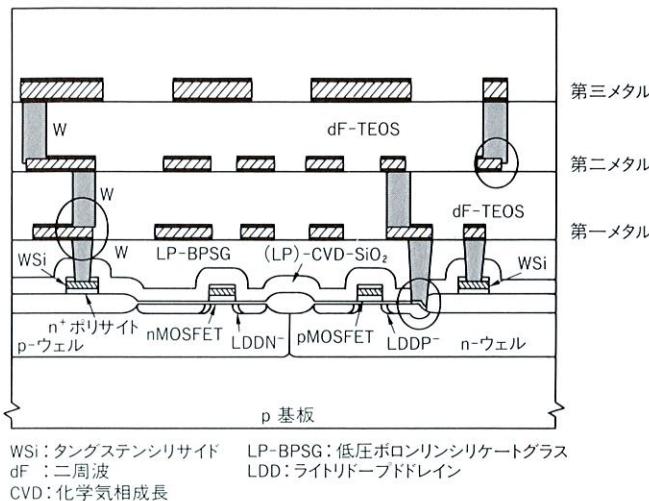


図2. 0.3 μm プロセスの断面構造 高集積・高信頼性を実現するため、ボーダレス技術、スタック構造、CMP を採用した。

Schematic diagram of 0.3 μm CMOS structure

術を表1に、その断面構造を図2に示す。高速化については0.3 μmゲート技術と低誘電率層間膜を、微細化についてはボーダレス技術とスタック構造を採用した。また、同時に高歩留まりと高信頼性を実現するためにCMP (Chemical-Mechanical Polishing), W (タンゲステン)埋込み技術も使用している。

0.3 μm ゲート技術は、輪帯照明などのリソグラフィー技術を用いて実現し、また 定在波によるゲート寸法ばらつきは ARC (Antireflective Coating) 技術により徹底的に低減させた。一方、層間容量低減による高速化のために低誘電率膜を導入し 15~20 %アップの高速化を実現した。

ボーダレスおよびスタック技術は CMP と W 埋込み技術で実現している。また、トランジスタ周りの微細化は再拡散インプラを採用した SAC (Self-Aligned Contact) 技術により加速されている。

平坦化技術に導入した CMP は層間膜の段差をほとんどゼロにし、配線の高歩留まりを実現した。また、配線の接続の信頼性を確保する W 埋込みは Via だけでなくコンタクトにも導入した。

2.2 高速化

シリコンプロセス技術の進歩により高速化が実現しているが、TC220G/Eシリーズでは、さらなる高速化のためにベーシックセル設計に新しいコンセプトを採用した(図3)。新しいベーシックセルは、配線のピッチを不均一にすることにより、集積度を犠牲にすることなく V_{DD} および V_{SS} の電源ラインの配線幅を広くし、ソースコンタクトを増やすことで、電源系がもつ寄生抵抗による電圧効果を減少し動作速度を向上させている。この結果、ゲート遅延時間 0.15 ns (標準負荷条件) を実現している。

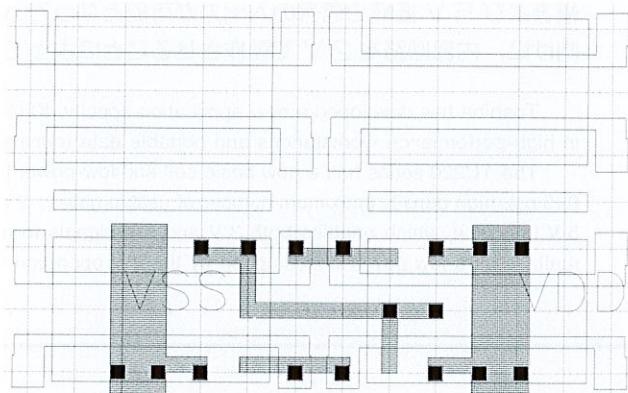


図3. ベーシックセルの構造 配線ピッチを不均一にすることで、配線幅を広くしパフォーマンスを向上させた。

Structure of basic cell

2.3 低消費電力化

TC220C のセルライブラリには、低消費電力化のために、低消費電力セル (R タイプ)、超低消費電力セル (RR タイプ) を用意した。このセルライブラリと、新しいレイアウト技術である配置ベース回路最適化 (PNO) を合わせて使用することにより、これらのセルは自動的に回路内の適切な部分に使用され、さらなる超低消費電力化が可能となる。図4は、低消費電力セル、超低消費電力セルをもつセルライブラリと PNO を用いて 40 %程度消費電力が削減された例を示している。

2.4 設計環境

LSI 内部の遅延時間は素子成分と配線成分に分類できるが、プロセスの微細化が進み、配線成分の影響が大きくなっている。配線ピッチが細くなるにつれ、今まであまり問題にならなかった隣接配線との間の容量の比率が増えてくる。図5に三次元容量抽出シミュレータで解析した配線容量の成分比を示す。TC220G/C/Eシリーズからは、高精度化のために、対基盤容量だけでなく、配線間の距離を考慮した隣接配線容量も抽出している。

さらに、高精度化のために遅延時間計算においても新た

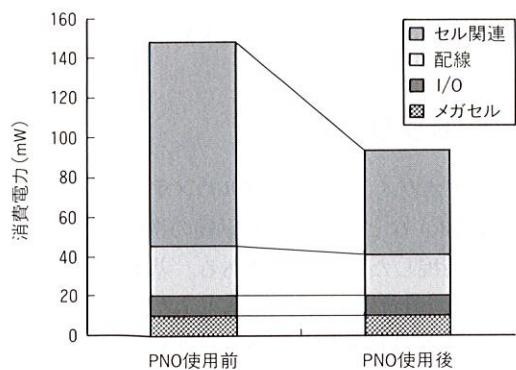


図4. PNOの効果 タイミング制約を考慮し、低消費電力のセルに置き換えることで、低消費電力化を実現する。

Power reduction effect of PNO

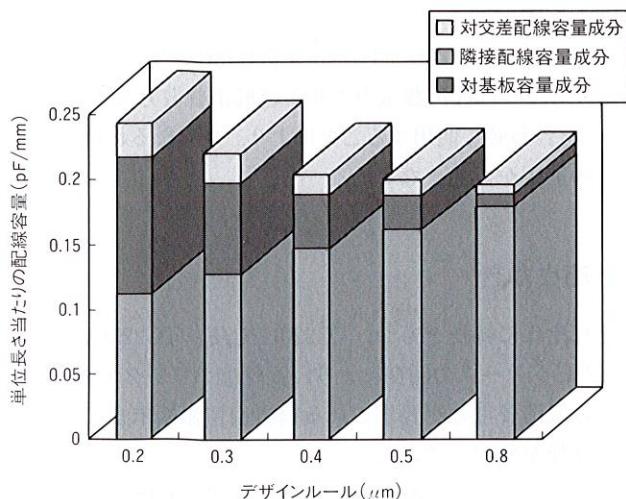


図5. 配線容量の成分比 配線ピッチが細かくなるにつれ、隣接配線成分が無視できなくなってきた。

Component ratio of wire capacitance

な手法を導入している。従来の遅延時間計算は駆動能力を一定と仮定し、出力負荷容量に単純に比例させていた。実際には、素子（トランジスタ）は非線形な特性をもっており、入力波形の傾きと出力負荷容量に依存する。このような非線形の遅延特性を効率よく計算するためにテーブルルックアップ方式を採用した。この新しい方式では、入力波形の傾きと出力負荷容量による遅延特性を 4×4 のテーブルとしても、その中間の条件は補間により遅延時間を算出する（図6）。

2.5 ラインアップ

マスクラインアップとして、搭載ゲート数 118~4,154 Kゲート（ゲートアレー 182~3,170 K, エンベディッドアレー 118~3,170 K, スタンダードセル 148~4,154 K）までのマスクを用意しており、三層配線を用いた場合に最大搭載

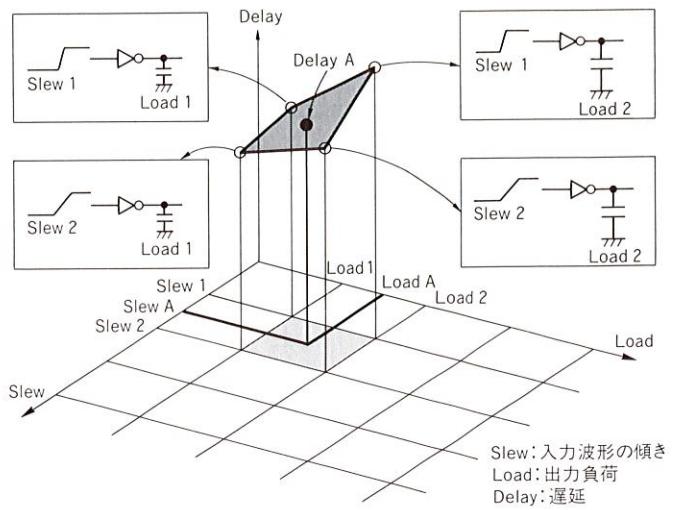


図6. 出力負荷容量と入力の傾きを考慮した遅延計算 出力負荷容量と入力波形の傾きを考慮した非線形近似の遅延計算方法を採用した。
Dependence of delay on input slew and output loading

ゲート数は200万ゲートとなる。さらに、搭載ゲート数と使用I/O（入出力）ピン・電源ピン数のバランスを考慮し、パッドピッチには3種類のバリエーションを用意している。また、ポールグリッドアレー（BGA）パッケージをはじめとして、多様なパッケージをそろえている。

3 TC223G/C/Eシリーズ

最先端プロセスを使用した $0.3\text{ }\mu\text{m}$ トランジスタは、 3.3 V 電源での使用を前提に設計され、高速動作を必要とするシステムで使用されるが、必ずしもその回路基板（PCB）上のすべてのLSIが 3.3 V 電源動作のものに統一されているわけではなく、 5 V 電源動作のLSIが混在することが多い。 5 V 電源動作のLSIと 3 V 電源動作のLSIが混在している場合、ASICには 3 V 系と 5 V 系の間を結ぶ“ブリッジ機能”として、 $3/5\text{ V}$ インターフェースが要求される（図7）。

$0.3\text{ }\mu\text{m}$ プロセスのトランジスタで $3/5\text{ V}$ インターフェースを実現するには、回路的なくふうが必要になる。それは、 5 V の電圧が加わると、大きなトランジスタの特性変動が生ずるなど信頼性の面で問題が生ずるためであり、通常のI/Oセルに比べかなり複雑な回路となる。駆動力が要求されるために、サイズの大きなトランジスタが使われる出力バッファでは、 $3/5\text{ V}$ インターフェースが可能なセルと通常のセルを比較すると、その面積的な差は大きくなってしまう。

TC223G/C/Eシリーズでは、マルチオキサイド技術により、高速動作可能な最先端の $0.3\text{ }\mu\text{m}$ トランジスタと、 5 V 設計のトランジスタを同一チップ上に作り込むことで、内部のロジック回路とメモリ部は 3 V で高速動作、I/O部ではシンプルな回路構成で 3 V 振幅および 5 V 振幅の信号のI/

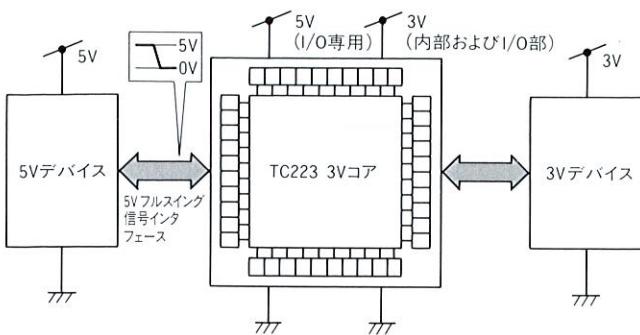


図7. TC223G/C/E コンセプト マルチオキサイド技術により 5 V動作のトランジスタを作り込み、5 Vフルスイング信号でI/Oを行える。

Concept of TC223G/C/E

I/Oを実現した。

また、5 V電源で動作しているCMOSロジックLSIは、TTL(トランジスタ-トランジスタ論理回路)信号のH(ハイ)のレベルを受けている入力バッファで貫通電流が流れるという特性をもっている。TC223G/C/Eシリーズは5 V振幅信号の出力セルと、3 V振幅信号の出力セルをもち、適切なセルの選択によってこのような貫通電流は存在しなくなる。応用例として、バッテリ駆動される機器では待機モードの設定などによって一回の充電当たりの使用可能時間を伸ばすふうがされていることから、TC223G/C/Eシリーズのもつ貫通電流が流れないという特長はこのような機器に有効である。

また、LSIの設計時に同じPCB上の他のLSIの仕様が不明である場合などを考慮したハイインピーダンス出力時に外部から5 Vの印可が可能で、かつ出力信号の振幅は3 Vであるセルのラインアップも用意する。

チップ内部の回路においては、3.3 V設計のトランジスタ

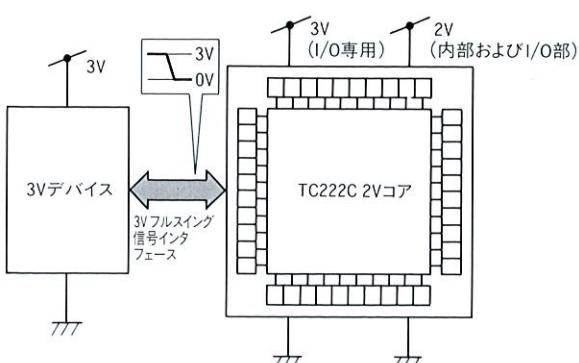


図8. TC222C コンセプト I/O部を3 V、内部を2 Vで動作させ、3 Vデバイスとのインターフェースは確保し、低消費電力を実現した。

Concept of TC222C

で高速動作および高集積を実現している。

4 TC222Cシリーズ

家庭用ビデオカメラ、デジタルカメラ、携帯電話、PDA(携帯情報端末)などのバッテリ駆動の携帯機器向けに超低消費電力を実現したシリーズである。基本コンセプトは、ゲート当たりの消費電力がもっとも低くなる最先端の0.3 μm CMOSプロセス技術を用い、さらに2 V電源で内部回路を動作させることにより低消費電力化をねらい、かつ他のLSIとのインターフェースのためI/O部を3 V電源で動作させ、3 V振幅の信号を出力する点にある(図8)。内部のロジック回路とメモリ部が2 Vで動作することにより、この部分での消費電力を3.3 V動作の場合と比較すると、63%ほどの削減となる。

TC222Cシリーズも、TC220C/TC223Cシリーズ同様にセルライブラリは低消費電力セルと超低消費電力セルをもち、PNOを合わせて使用することにより、さらなる超低消費電力化の実現が可能となる。

5 あとがき

それに特長をもつ、TC220G/C/E、TC223G/C/E、TC222Cシリーズの開発により、高性能のワークステーションから低消費電力が要求される携帯型情報端末まで幅広い応用分野をカバーできた。

今後は、システムASICへの対応として、CISC(Complex Instruction Set Computer)系のCPU、RISC(Reduced Instruction Set Computer)系のCPU、Rambus Inc.対応セル、DRAMなどの開発を進めライブラリとして取り込み、設計開発環境についても整備していく。

田中 豊 Yutaka Tanaka

半導体システム技術センター ASIC開発技術部主務。
ASICの開発に従事。
Semiconductor System Engineering Center

清 俊和 Toshikazu Sei

半導体システム技術センター ASIC開発技術部主務。
ASICの開発に従事。
Semiconductor System Engineering Center

宮本 浩二 Koji Miyamoto

LSI第二事業部 RISCプロセッサ開発技術部主務。
ロジックおよびNV混載CMOSプロセスの開発に従事。
LSI Div. II