64 M ビット NAND 型フラッシュメモリ
64 Mbit NAND Flash Memory

特集

中村　寛　H. Nakamura
金澤　一久　K. Kanazawa
今宮　賢一　K. Imamiya

韓国三星電子㈱と共同で，高集積化に有利でデータの書込み速度を高速化できるNAND型フラッシュ技術を用い，64 M ビット NAND 型フラッシュメモリを開発した。0.4 μm ルールを適用し，1 ビット当たりのセル面積 1.1 μm²を実現した。チップサイズは 122.9 mm²で，電源電圧は 3.3 V 単一である。

交互配置式ロウデコーダ回路の導入により，ワード線充放電時間を 30 %短縮，ランダムアクセス時間 3 μs を達成した。データ読出し高速化のため，ページ間連続アクセスモードを導入し，29 M バイト/s のデータ読出し速度を達成した。また，ステップアップパルス書込み方式などの導入により，3.5 M バイト/s の実効データ書込み速度を達成した。

Toshiba and Samsung Electronic Corporation have jointly developed a 64 Mbit NAND flash memory based on the NAND-structured technique, which is suitable for high integration. The memory cell area per bit is 1.1 μm² using a 0.4 μm design rule CMOS process, the chip size is 122.9 mm², and the power supply voltage is 3.3 V.

A staggered row decoder scheme shortens the word line charging and discharging time by 30% in comparison with previous designs. As a result, a random access time of 3 μs is achieved. In addition, a data output throughput of 29 Mbytes/s is achieved by using a gapless sequential read mode, and an effective program throughput of 3.5 Mbytes/s is achieved by using an incremental step pulse programming (ISPP) technique.

1 まえがき

パームトップコンピュータに代表されるポータブル機器やメモリカードの記憶媒体として，フラッシュメモリが注目されている。フラッシュメモリは，電気的にデータの書換えが可能で，電池によるバックアップが不要な不揮発性メモリである。ハードディスクと比較し，対衝撃性が高く，体積を小さくでき，消費電力が小さい。現在，各社がさまざまな特徴を備えた製品を開発中である。

このような背景から，64 M ビット NAND 型フラッシュメモリを開発した。NAND 型フラッシュメモリは，NOR 型フラッシュメモリと比較し，メモリセルの面積を縮小することができるため，高集積化に向いている。また，ページ単位での書込みが可能であるため，1 バイト当たりの実効的な書込み時間が短い。

今回開発した 64 M ビット NAND 型フラッシュメモリは，ユーザの使いやすい自動モード，高信頼性，および高速動作を実現するための回路を備えた高機能フラッシュメモリである。

韓国三星電子㈱との共同開発により 64 M ビット NAND 型フラッシュメモリのマスクデータの早期作成を実現させることができた。当社の韓国メーカとの共同ワークとしては初の試みであり，両社のリソースを相互に利用する共同ワークの成功といえる。

2 チップ概要

図 1 は今回開発した 64 M ビット NAND 型フラッシュメモリのチップである。チップサイズは，122.9 mm²である。

図 2 に NAND 型セルの構成を示す。1 個の NAND 型セルは直列接続された 16 個のメモリセルと，メモリセルの両端に接続された 2 個の選択ゲートから構成される。チップ構成・性能とプロセス技術を表 1 に示す。

ビット構成は，528×16 K×8 である。ページ長は (512＋16) バイトとなっており，全体を 528 バイトとしても，または 512 バイトのメイン領域と 16 バイトの冗長部と分けても扱える。消去ブロックは，(8 K＋256) バイト単位となって

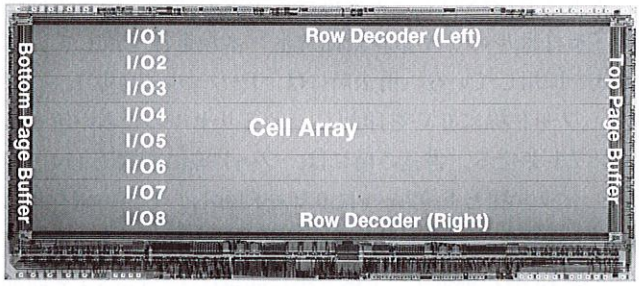
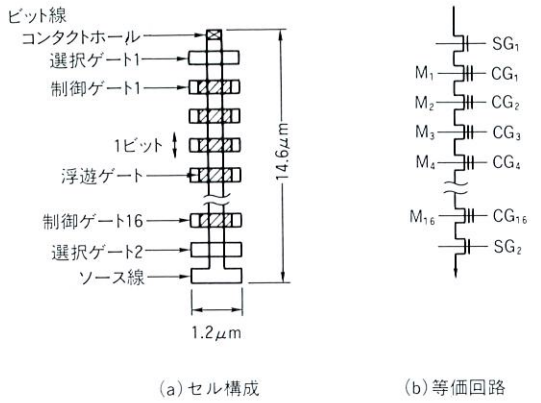


図 1．NAND 型フラッシュメモリのチップ　セルアレー構成とコア部回路の配置を示す。
Micrograph of NAND-type flash memory chip



(a)セル構成　　(b)等価回路

図2．NAND型フラッシュメモリのメモリセル　選択ゲート間にメモリセルが16個（16ビット）直列接続される。
NAND-type flash memory cell

表1．チップ構成・性能とプロセス技術
Chip architecture, performance, and process technology

構成	メモリセルアレー レジスタ ページサイズ ブロックサイズ	528×16K×8 528×8 528バイト (8K+256)バイト
性能	ランダムアクセス シリアルサイクル ページ書込み時間	3μs　(typical値) 35 ns　(typical値) 150μs　(typical値)
プロセス技術		0.4μm P-基板ダブルウェルCMOS, 1 poly, 1 polycide, 1 metal
メモリセル	トンネル酸化膜厚 インターポリ膜厚 セルサイズ	10 nm 16 nm (effective) 1.1μm² (effective)
ゲート酸化膜厚		40 nm (高電圧系Tr.), 14 nm (Vcc系Tr.)
チップサイズ		7.34 mm×16.74 mm=122.9 mm²

いる。電源電圧は3.3V単一である。

メモリセルアレーはダブルウェル上（N-ウェル中のP-ウェル上）に形成され，メモリセルトランジスタは自己整合された二層ゲート構造で，浮遊ゲートがポリシリコン，制御ゲート（ワード線）はポリサイド，またビット線はメタルで形成されている。

メモリセルへのデータ書込み・消去方法は，従来と同様にメモリセルのチャネル全面でトンネル電流を流して行う方式を採用している。消去時には，P-ウェルに高電圧（～20V），ワード線に0Vを印加し，メモリセルのしきい値を負にシフトさせる。書込み時には，ワード線に高電圧（14～20V），ビット線とP-ウェルに0Vを印加し，しきい値を正にシフトさせる。読出し時には，選択ワード線に0V，他のワード線15本と選択ゲート線2本に高電圧（～4.5V）を印加し，選択セルのしきい値が正・負のいずれにあるかを判定する。

周辺回路中の配線は，従来より1層少ないポリサイド1層とメタル1層の計2層だけであり，ポリサイドはトランジスタのゲート電極としても使用している。配線層が少ない分，従来よりもチップ製造工程数を削減できた。

3 交互配置式ロウデコーダ

図3に，従来のロウデコーダ回路と今回新規採用した交互配置式ロウデコーダ回路（Staggered Row Decoder）の構成を示す。交互配置式ロウデコーダ回路では，メモリセルアレー片側の2ブロック分のスペースに1ブロック分のロウデコーダ回路のパターンを作成し，隣接ブロックの回路パターンはメモリセルアレーの反対側の2ブロック分スペースに作成する。新規回路の特長は，①パターン作成が容易，②ワード線充放電速度の向上，の2点である。

まず，①について説明する。ワード線ピッチは加工可能な最小寸法（0.76μm）まで縮小してあるため，ロウデコーダ回路パターン作成には配線などのデザインルール上の制約が大きい。また，従来に比べ配線層数が1層減ったため，従来のロウデコーダ回路ではパターン作成が困難であった。新規回路を用いることにより，パターンを実現した。

続いて，②について説明する。従来の回路では，1ブロック分のロウデコーダ回路がメモリセルアレーの左右両側に分けて配置される。1ブロック中の16本のワード線のうち8本がセルアレーの一端に配置されたメインロウデコーダ回路に，残り8本のワード線がセルアレー他端に配置されたサブロウデコーダ回路に接続される。動作としては，選択

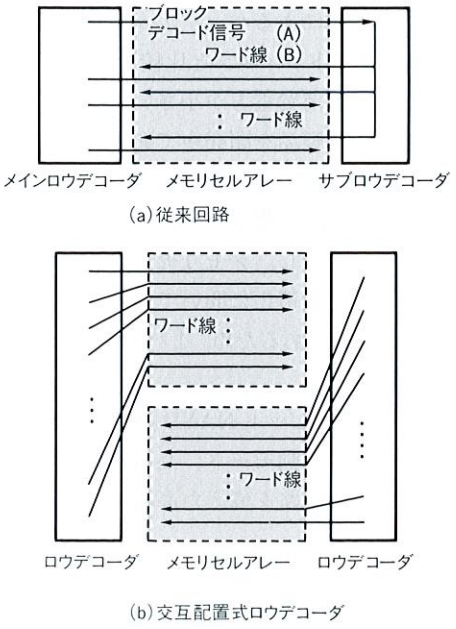


図3．ロウデコーダ回路構成　従来回路(a)，交互配置式回路(b)はそれぞれメモリセルアレーの両側・片側に配置される。
Row decoder circuit scheme

ブロック中でブロックデコード信号がメインロウデコーダ回路からサブロウデコーダ回路に伝達（図3(a)中の(A)の動作に相当）された後，サブロウデコーダ回路に接続されたワード線8本の充放電が開始される（図3(a)中の(B)の動作に相当）。したがって，従来回路ではワード線充放電動作には(A)と(B)の二つの動作が必要となり，充放電所要時間が長くなる。交互配置式ロウデコーダを用いると，図3(a)中の(A)の動作が不要となるため，ワード線の充放電所要時間を短縮することができ，従来から30％削減できた。

また，ロウデコーダ中で使用される高電圧転送用トランジスタとして，従来回路ではN-チャネルトランジスタとP-チャネルトランジスタの両方を用いていたが，今回の回路ではN-チャネルトランジスタだけ使用している。このP-チャネルトランジスタの削除とロウデコーダ回路構成変更により，書込み用高電圧（14～20 V）・読出し用高電圧（～4.5 V）の負荷容量を従来の1/10に低減し，書込み・読出し用高電圧の充電時間を従来の1/10程度まで低減した。

新規回路の使用，およびワード線材を従来のpoly-Siからpolycideに変更し，ワード線抵抗を従来の1/5とした結果，ランダムアクセス時間 t_R を従来の8 μs（typical値）から3 μs（typical値）まで短縮できた。

4 データ読出し高速化

図4に，このデバイスのセルアレー構成を示す。また，**図5**にデータ読出し動作の従来方式と新方式を示す。

NAND型フラッシュメモリでは，ビット線1本につき1個のページバッファ回路（データレジスタ回路，センスアンプ回路を含む）をもっており，1ページ分の書込み・読出しデータを一時的に保持できる。

データ読出し動作はランダムリードとシリアルリードの二つの動作に分けられる。ランダムリードでは，1回の動作により，1ページ中データ（528バイト）をメモリセルからページバッファに転送できる。シリアルリードでは，外部ピンと同期させてページバッファ中のデータを入出力ピン

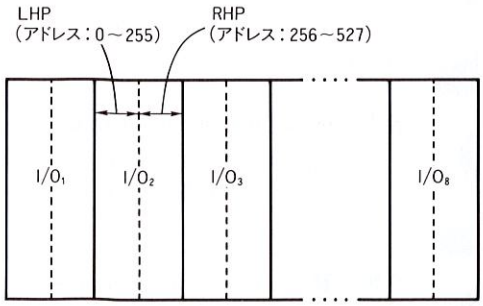


図4．セルアレー構成　メモリセルアレーはI/Oピンごとに配置され，さらにカラムアドレスの低いほうから配置される。
Cell array structure

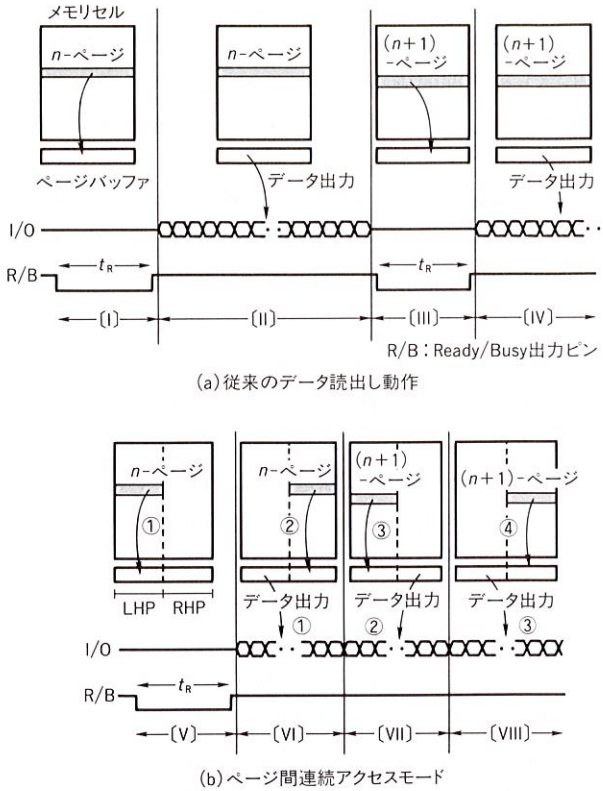


図5．データ読出し動作　ページ間連続アクセスモードでは，2回目以降のランダムリードがバックグラウンド処理される。
Data output operation

（I/Oピン）から出力する。ランダムリード所要時間がランダムアクセス時間 t_R に，I/Oピンからのデータ出力サイクル時間がシリアルサイクル時間 t_{RC} に相当する。

図5(a)に示した従来方式を用いて n-ページ以降のデータを出力する場合には，まず n-ページ中のすべてのメモリセルデータ（528バイト）をページバッファに転送し（図5(a)中の［I］＝ランダムリード），続いて528バイトのデータをページバッファからI/Oピンに出力する（［II］＝シリアルリード）。次に，(n+1)-ページのデータをページバッファに転送（［III］）した後，ページバッファからI/Oピンに出力する（［IV］）。以下，同様にデータを出力していく。

従来方式では，ページが変わるたびにランダムリード動作の間I/Oピンからのデータ出力が中断される。

データ読出し速度の高速化のため，このデバイスではページ間連続アクセスモード（Gap-less Sequential Read）を導入した。このモードを実現するために，メモリセルアレーは図4に示す構成となっている。メモリセルアレーは8分割されており，左からそれぞれ I/O_1，I/O_2，I/O_3，…，I/O_8 に対応するように配置されている。各I/Oピンに対応する部分は左半分がカラムアドレス前半部分（Left Half Page（LHP）：アドレス＝0～255），右半分がカラムアドレス後半

部分（Right Half Page（RHP）：アドレス＝256～527）に割り付けられている。ランダムリード時には，カラムアドレスの前半部と後半部の両方のデータを一度にページバッファに転送する動作と，いずれか片方のデータを転送する動作を使い分けることができる。

ページ間連続アクセスモードの動作を，図5(b)に基づいて説明する。n-ページ前半部分以降のデータを出力する場合には，まずn-ページ前半部分のメモリセルデータ①（I/Oピン1本当たり32バイト，トータルで256バイト）をページバッファに転送する（図5(b)中の［V］）。続いて，ページバッファ中のn-ページ前半データ①をI/Oピンから出力する動作と並行して，n-ページ後半部分のデータ②をメモリセルからページバッファに転送する（［VI］）。次に，データ②をI/Oピンから出力するとともに，$(n+1)$-ページ前半データ③をページバッファに転送する（［VII］）。以下，同様にデータを出力していく。

このように，ページ間連続アクセスモードを用いると，最初に1回行うランダムリード動作（［V］）を除いては，ランダムリード動作がバックグラウンドで行われるため，ページが変わってもI/Oピンからのデータ出力は中断されず，従来より読出しが高速化できる。図5(a)と(b)を比較すると，図5(a)の方が［III］のt_Rの分だけ遅くなる。

ページ間連続アクセスモードにより，データ読出しページ数が多い場合のデータ読出し速度は，20Mバイト/s（従来方式）→29Mバイト/s（新方式）と改善された。

5 データ書込み高速化

データ書込みは，1ページ分の書込みデータをレジスタに送るデータロードサイクルと，そのデータをメモリセルに書き込むセルプログラムとからなる。NAND型フラッシュでは書込みにトンネル電流を使うため，1回のセルプログラム動作で1ページ分のデータを一括で書き込むことができ，1バイト当たりの書込み速度を速くできる。

1回のセルプログラム動作は，ワード線に書込み用高電圧を印加する動作（書込みパルス印加動作）と書込みデータの制御やセルプログラム完了の検知を行う動作（書込みベリファイ動作）の二つの動作（合わせて1サイクル）をデータ書込み完了まで交互に繰り返し行う。

今回，高速データ書込みに適したステップアップパルス書込み方式（Incremental Step Pulse Programming scheme（ISPP））を採用した。ISPP方式における書込みパルス波形を図6に示す。ISPP方式では，1回のセルプログラム動作で，印加パルス幅を一定に保ちつつ，書込み用高電圧（＝印加パルスのハイレベル電圧）のレベルをパルス印加ごと（サイクルごと）に一定電圧づつ増加させる。この方式では，パルス幅が狭いほど書込み速度が向上する。このデバイスでは，パルス幅を狭くするため，従来方式から次の二つの改善をした。①新規ロウデコーダ回路により書込み用高電圧の充電所要時間を1/10に短縮（3章を参照），②書込み禁止セルのビット線電圧を従来のチップ内部発生電圧8Vから電源電圧3.3Vに低下し，ビット線充電所要時間を1/10以下に短縮。その結果，書込みパルス幅～18 μs，書込み1サイクル～30 μsの設定が可能となり，1ページのデータ書込み所要時間～150 μs（typical値），実効データ書込み速度3.5Mバイト/s（284 ns/バイト）を達成した。

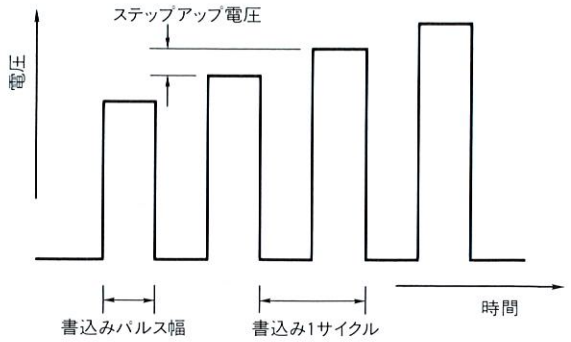


図6．ISPP方式における書込みパルス波形　書込みパルスレベルはサイクルごとに高くなる。
Programming pulse waveform of ISPP

6 あとがき

ここでは，今回開発した3.3V単一64MビットNAND型フラッシュメモリについて紹介した。29Mバイト/sのデータ読出し速度，3 μsのランダムアクセス時間，3.5Mバイト/sの実効データ書込み速度を達成した。

今後は，このデバイスの製品化に向けて開発をさらに進めていくとともに，さらなる高速・高機能化を実現する回路技術やデバイス技術を追求していく。

中村　寛　Hiroshi　Nakamura
マイクロエレクトロニクス技術研究所デバイス技術研究所。
フラッシュメモリの研究開発に従事。
ULSI Device Engineering Lab.

金澤　一久　Kazuhisa　Kanazawa
メモリ事業部メモリ技術第三部主務。
フラッシュメモリの研究開発に従事。
Memory Div.

今宮　賢一　Ken'ichi　Imamiya
マイクロエレクトロニクス技術研究所デバイス技術研究所主務。
フラッシュメモリの研究開発に従事。
ULSI Device Engineering Lab.