

# 1 M ビット 133 MHz 同期型パイプラインバーストスタティック RAM

1 Mbit 133 MHz Synchronous Pipeline-Burst Static RAM

播磨 高之  
T. Harima

東園 正義  
M. Higashizono

横塚 賢志  
M. Yokotsuka

超高速 MPU (Micro Processor Unit) に対応する、133 MHz 動作が可能な 1 M ビット同期型パイプラインバーストスタティック RAM (PBSRAM) を開発した。

PBSRAM は、バーストモードと言われる 4 アドレスの連続した高速データ転送機能に対応する。0.4 μm CMOS 微細加工技術と変調二重ワード線方式などの高速回路技術により、クロックサイクルタイム 133 MHz (7.5 ns), クロックアクセスタイム 4.5 ns で MPU との超高速データ転送を可能にしている。また、電源を本体用 (3.3 V) と I/O 用 (2.5 V) の二系統に分け、ノイズの低減を図っている。パッケージは 100 ピン LQFP (Low-profile Quad Flat Package) を採用し、高密度実装が可能である。

Toshiba has developed a synchronous pipeline-burst static RAM (PBSRAM) that is able to function at 133 MHz. This PBSRAM has a function called "burst mode" which enables the transmission of four addresses continuously at very high frequency.

We have achieved PBSRAM functions with a maximum operation clock frequency of 133 MHz (7.5 ns) by utilizing 0.40 μm CMOS process technology and high-speed circuits such as the modified double-word line scheme. The device has separate power supplies for the main frame (3.3 V) and I/O (2.5 V). It is packaged in a 100-pin low-profile quad flat package (LQFP) for high-density assembly applications.

## 1 まえがき

マルチメディア化社会の気運が高まる今日、パソコンコンピュータやワークステーションの高速化はとどまることを知らない。各メーカーとも差別化を図るために MPU の高速化を急速に進めている。

また、その高速 MPU の性能を引き出すために、MPU とメインメモリの間に高速スタティック RAM (SRAM) を配置し、MPU とその高速メモリとの間でデータのやり取りを主に行い、システムのパフォーマンスを向上させるキャッシュシステムが一般的に採用されており、そこに使用される高速 SRAM の高速化が強く求められている。

今までのパソコンコンピュータで、CPU からアクセスされるキャッシュ用の SRAM、メインメモリ用の DRAM および周辺機器とのインターフェースは 66 MHz が最高であったが、今後は高速化した MPU の性能を十分に生かすために、周辺デバイスとのインターフェースの周波数はより高いものが要求されていく。また、ワークステーションなどの高速化も急速に進み、MPU の動作周波数とのギャップを埋めるため、高速 SRAM のさらなる高速化が必要である。

当社は、MPU とメモリ間のデータ転送に使用されるバーストモードと言われる、4 アドレス連続の高速データ転送機能に対応し、133 MHz のクロックサイクルでデータ転送ができる、1 M ビット同期型 PBSRAM TC55V1326FF (32 K

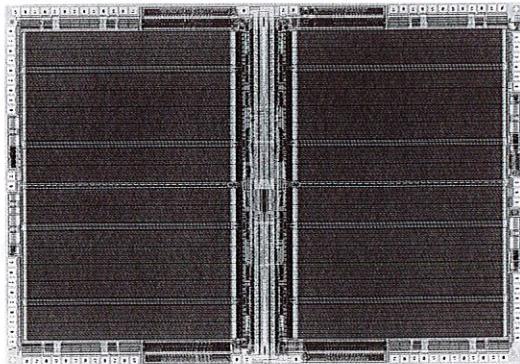


図 1. 1 M ビット同期型 PBSRAM 0.4 μm 微細加工技術を採用し、133 MHz 動作を可能とした。  
1 Mbit synchronous PBSRAM

ワード × 32 ビット) を製品化した (図 1)。

## 2 主な特長

### 2.1 パイプラインバースト方式

製品の基本構成を図 2 に示す。入出力信号それぞれに、クロック信号に同期して動作するレジスタを設けている。入出力信号が单一クロックによって制御されることに加え、チップ内部で書き込み動作を制御する書き込みパルス発生回路を内蔵しており、システムタイミング設計を容易にするこ

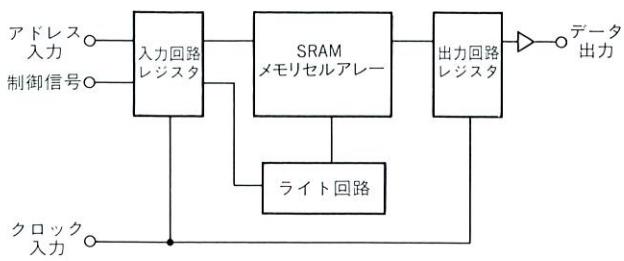


図2. 同期型 PBSRAM の基本構成 入出力信号に、クロックに同期して動作するレジスタを配置した。

Basic structure of synchronous PBSRAM

とができる。

図3に読み出し時のタイミングチャートを示す。出力レジスタに一時的にデータを蓄えておき、次のサイクルでアドレス入力と並行してデータが出力されるパイプライン方式を採用している。データ出力の完了を待ってから次のアクセスを開始しなければならないフロースルー方式に比べ、サイクル時間を高速化することが可能になった。

また、データの読み出し、書き込みを高速でしかも連続して行うために、メモリデバイス内部のアドレスカウンタで4アドレスを連続してインクリメントするバーストモードに対応している。この製品は、インテル系のマイクロプロセッサ(486、Pentium<sup>TM</sup><sup>(注1)</sup>)がサポートするインターブードモードバースト方式、およびPowerPC<sup>TM</sup><sup>(注2)</sup>などモトローラ系マイクロプロセッサに対応するリニアバースト方式の両方に対応しており、MODEピン(外部端子)への設定によってどちらかのバーストモードを選択できる。

## 2.2 低消費電力モード

クロックピンに同期しないZZピン(外部端子)を“High”レベルにすると、待機時の内部電流をカットオフし消費電力を最小にできるスヌーズモードに設定できる。

また、クロックピンを“Low”レベルにしたままストップさせると、内部動作の状態はそのままで低消費電力状態に

(注1) Pentiumは、米国インテル社の商標。

(注2) PowerPCは、米国IBM社の商標。

入るストップクロックモードもサポートしており、SRAMをファンクションさせない場合の消費電力を最小限にすることができる。

## 3 プロセス技術

### 3.1 プロセス技術

この製品は、0.40 μm デザインルールを用いて、4.74 mm×6.75 mm (32.0 mm<sup>2</sup>) のチップサイズに約680万の素子を集積している。プロセスは三層ポリシリコン・二層メタル構造を採用している。表1に主なプロセスパラメータを示す。

メモリセル構造は、従来の高速SRAMで用いている高低抗ポリシリコンのE/R(Enhancement/Resistor)型を採用している。メモリセルサイズは3.06 μm×5.04 μm (15.4 μm<sup>2</sup>)である。高性能・高信頼性を実現するためゲート長0.40 μm、ゲート酸化膜厚8 nmのLDD(Lightly Doped Drain)構造のトランジスタを形成している。低抵抗のシリサイド(2層)と二層メタル配線を使用し、高速化と高集積化を実現している。

また、微細加工技術として超高解像度の露光装置や高いエッチング選択性とダメージの少ない新型エッチング装置

表1. 同期型1Mビット高速PBSRAMの主なプロセスパラメータ  
Process parameters of 1 Mbit high-speed synchronous PBSRAM

設計ルール	0.40 μm 加工技術
プロセス技術	ツインウェル CMOS 技術 多層配線技術 (三層ポリシリコン/二層メタル)
トランジスタ ゲート長 (NMOS) (PMOS)	0.40 μm (LDD トランジスタ) 0.40 μm
ゲート酸化膜厚 接合深さ	8 nm 0.20 μm
メモリセル セル構造 ビット線 ワード線 セルサイズ	高低抗負荷型セル (E/R型) 1'st メタル 1'st ポリシリコン/2'nd メタル 3.06 μm×5.04 μm (15.4 μm <sup>2</sup> )

図3. PBSRAMの読み出しタイミング

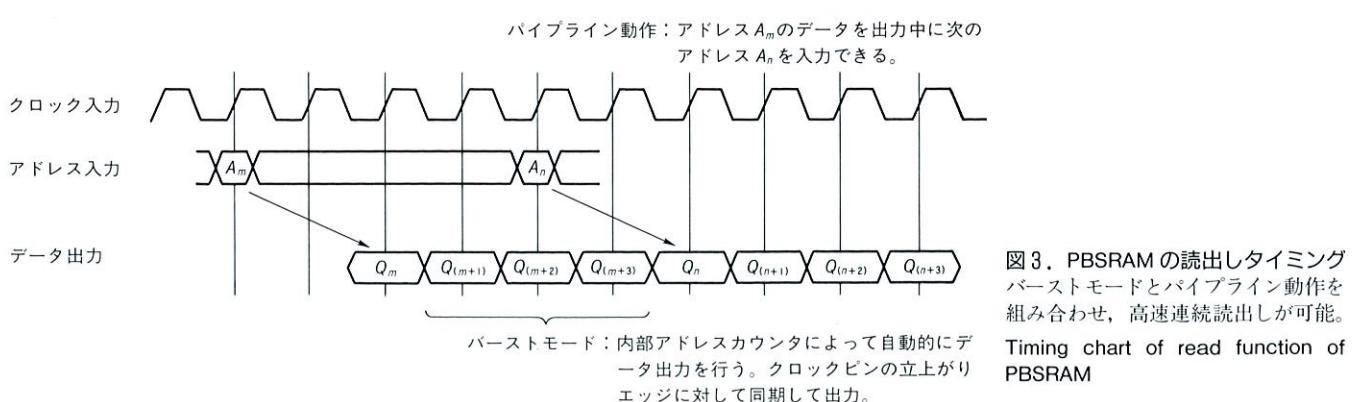


図3. PBSRAMの読み出しタイミング  
バーストモードとパイプライン動作を組み合わせ、高速連続読み出しが可能。  
Timing chart of read function of PBSRAM

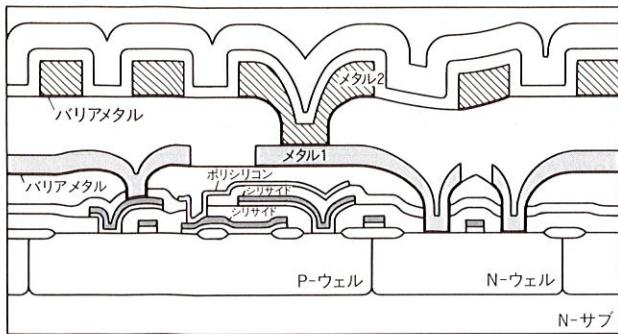


図4. 同期型1Mビット高速PBSRAMのチップ断面構造 3層のポリシリコンおよび2層のアルミを配線として用い、ツインウェル上に素子を形成した。

Schematic cross section of 1 Mbit high-speed synchronous PBSRAM

を新たに採用し、適切な寸法制御のもとに安定した特性を得ている。図4にチップ断面構造を示す。

### 3.2 高性能・高信頼性 MOSトランジスタ

この製品では、電源電圧3.3Vの新たに開発した高性能・高信頼性のMOSトランジスタを形成している。低抵抗のシリサイドをゲートおよび配線に使用することにより、配線遅延を改善し高速化を図っている。さらに、接合容量低減のため、従来の高速SRAMではNMOSトランジスタだけに印加していた基板バイアスをPMOSトランジスタにも印加することにより、さらなる高速化を達成している。ゲート長の短いトランジスタで問題になるショートチャネル効果は、チャネルおよびウェルの不純物プロファイルの最適化と、熱処理の低温化や時間短縮による浅い接合の形成により抑制している。また、従来の高速SRAMで実績あるLDD構造のNMOSトランジスタを採用し、チャネル内部の電界強度を緩和してホットキャリアに対する信頼性を確保

した。これらの高性能・高信頼性化の手法に加えて、厚さ8nmの高信頼性ゲート酸化膜形成プロセスの採用、さらに、高いエッチング選択性とダメージの少ない新型エッチング装置の適用により、プロセス・デバイス両面から高性能・高信頼性MOSトランジスタを実現している。

### 3.3 シリサイドプロセス技術

この製品では高速化とメモリセルサイズの縮小のため、低抵抗のシリサイドを2層使用している。1層目はMOSトランジスタのゲートとそれらの配線であり、高速化に寄与している。2層目は主にメモリセルの接地線である。従来の高速SRAMは、MOSトランジスタのゲートと同じ層でメモリセルの接地線を形成していたため、メモリセルサイズを縮小にくかった。この製品は、メモリセルの接地線を2層目のシリサイドで形成することにより、 $3.06\mu\text{m} \times 5.04\mu\text{m}$  ( $15.4\mu\text{m}^2$ ) のセルサイズを実現し、チップサイズに対するメモリセル領域の割合(セル占有率)を従来の高速SRAMに比べ大幅に向上している。また、メモリセルの接地線に低抵抗のシリサイド層を使用することは、メモリセルのデータ保持安定性を高め高信頼性化にも寄与している。

### 3.4 二層メタルプロセス技術

二層メタルプロセス技術は、高速化の手法として高速SRAMでは従来から用いられている。この製品でも、従来の高速SRAMで十分実績のある二層メタルプロセスを採用した。1層目・2層目のメタル両方に、バリアメタルとアルミの二層構造を採用し、高信頼性の二層メタル配線を実現している。

## 4 回路技術と回路構成

図5に入出力信号が32ビット構成のPBSRAMのシステ

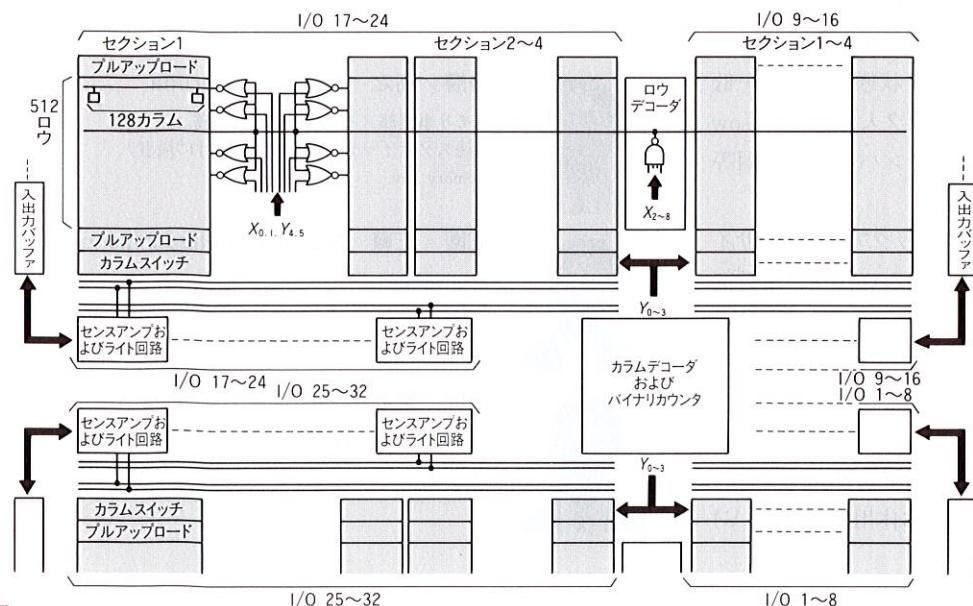


図5. 同期型1Mビット高速PBSRAMのシステム構成 センサーレイアを4ブロックに分割し、それぞれに8ビットずつの入出力信号を割り当てる。さらに、各ブロックは四つのセクションに分割している。周辺回路は上下のセンサーレイアの間に配備している。

System configuration of 1 Mbit high-speed synchronous PBSRAM

ム構成を示す。

このPBSRAMは、先に開発したTC55V1325FF(1Mビット同期型PBSRAM、クロックサイクルタイム66MHz品)の回路方式、レイアウトをベースに設計を行っており、従来からある①ライトパススルー機能、②モード端子によるバーストシーケンス(リニア、インタリーブド)の切換え、③ZZ端子による低消費電流モードの制御、などの機能をそのままに、新たに入出力インターフェースの変更、高速化、パワーダウン機能の追加を行うことで多様なユーザのニーズに対応できるようにした。

#### 4.1 レイアウト

百万個分のメモリセルアレイを4ブロックに分割し、それぞれに8ビットの入出力信号を割り当てた。各ブロックは512ロウ×512カラムの構成にして、さらに四つのセクションセルアレー(計16セクション)に分割している。このアレー構成にすることでデータ信号配線長の短い配線レイアウトが可能となり、セクションごとにセンスアンプ回路を設ける必要がなくなりサイズ、パワーともに削減できた。

#### 4.2 回路的な特長

**4.2.1 基板バイアス回路** PウェルおよびNウェルそれぞれに対しバイアス回路を用意して、寄生容量となる接合容量を低減することで信号伝搬の高速化を図った。

**4.2.2 バースト回路** バーストコンティニュームード時に選択アドレスをチップ内で変化させるためのカウンタ回路を、カラムデコーダ内に取り込むことで高速なバースト動作を達成した。

**4.2.3 デコーダ回路** メインワード線とセクション選択線の負荷を均一にして、各アドレス信号からのセル選択までの時間をそろえるため、4ロウに1本の割合でメインワード線を割り当てる変調二重ワード線方式を採用した。

**4.2.4 イコライズ発生回路** クロック信号の立上がりのタイミングに同期してパルスを発生させ、ビット線やセンスアンプ回路をイコライズすることで高速化を図った。

**4.2.5 パワーダウン回路** アイドル状態でのパワー低減案として新たに追加された機能。クロック入力信号がLowレベルにある程度とどまっているとスタンバイ状態と同等の消費電流に抑えられるようにした。

**4.2.6 高速化(133MHz化)** クロックアクセスマップやサイクルタイムにおけるクリティカルパスでのロジック段数削減などによる高速化を行っている。

### 5 製品ラインアップ

表2に1Mビット同期型PBSRAMのラインアップを示す。32Kワード×32ビット構成で、電源は本体用電源(3.3V)

表2. 1Mビット同期型PBSRAMのラインアップ

Lineup of 1 Mbit synchronous PBSRAMs

項目	製品名	TC55V1326FF-133	TC55V1326FF-117
クロックサイクルタイム	7.5 ns (133 MHz)	8.0 ns (117 MHz)	
クロックアクセスタイム		4.5 ns	
入力セットアップタイム		2 ns	
入力ホールドタイム		0.5 ns	
ビット構成		32 Kワード×32ビット	
電源電圧	本体	3.3 V±5%	
	I/O	2.3 V–2.9 V	
インターフェースレベル		LVTTL (Low Voltage Transistor Transistor Logic)	
パッケージ		100ピンLQFP (1.6mm厚標準)	

とI/O用電源(2.5V)を分けてもち、出力ノイズの影響を減らし、高速動作を可能にした。サイクルタイム117MHz品と133MHzをラインアップしている。1.6mm厚の100ピンのLQFPパッケージを採用し、高密度表面実装を可能としている。

また、クロックアクセスタイム(クロックからの出力データ確定時間)は4.5nsを達成。動的消費電流は220mA、スタンバイ電流は2mAを達成し、高速動作と、低消費電力化の両面を実現することに成功した。

### 6 あとがき

高速SRAM、特にPBSRAMのメイン市場であるコンピュータのキャッシュメモリは、システムの高性能化に伴い、より早く、より大容量で、しかもよりコストパフォーマンスの良いものが求められている。この変化の速度の速い市場要求に対し、この製品で得られた技術を基に、高度情報社会の推進役の一端を担うため、より幅広いラインアップの製品展開を図りたい。



播磨 高之 Takayuki Harima

メモリ事業部メモリ技術第三部主務。  
高速スタティックRAMの回路設計に従事。  
Memory Div.



東園 正義 Masayoshi Higashizono

メモリ事業部メモリ技術第一部。  
高速スタティックRAMの製造プロセス開発に従事。  
Memory Div.



横塚 賢志 Masashi Yokotsuka

半導体システム技術センター メモリ応用技術第一部。  
高速スタティックRAMの開発評価、応用技術に従事。  
Semiconductor System Engineering Center