

北米、欧州や国内で、衛星や CATV (Cable TeleVision) を使ったデジタル放送が始まりつつある。デジタル放送では、特に発振器の位相ノイズなど、高周波の信号処理を行うチューナに要求される仕様が厳しくなる。

システム設計の自由度を保ちつつ位相ノイズを低減するため、発振器に PLL (Phase Locked Loop) を併用する方法を採用した。また複雑多様化する高周波 IC 設計に対し、AHDL (Analog Hardware Description Language) を用いたアナログトップダウン設計手法をとり入れた結果、設計の上流段階で問題点の早期発見が可能となり、設計の効率を上げることができるようになった。

Digital broadcasting by satellite or cable television (CATV) is beginning in North America, Europe, and Japan. Severe specifications are required for digital broadcast tuners, especially in relation to the oscillator phase noise.

Toshiba has developed a system using an oscillator in combination with a phase-locked loop (PLL), which can reduce the phase noise while maintaining system design flexibility. Toshiba has also introduced an analog top-down design method using analog hardware description language (AHDL) for complicated and diversified high-speed IC designs. Using AHDL, design problems can be identified at an early stage so that design efficiency is significantly improved.

1 まえがき

当社では、これまでアナログ放送受信に用いる一般テレビ放送用や衛星放送用のチューナ IC、復調 IC などを開発してきた^{(1),(2)}。これらの高周波 IC を設計するにあたり、シミュレーションモデルの精度向上のための手法や新規回路を提案しながら開発を進めてきた⁽³⁾。

しかし、最近、放送システムがデジタル方式へと移行してきており、同時に QPSK (Quadrature Phase Shift Keying), QAM (Quadrature Amplitude Modulation), VSB (Vestigial SideBand) などのさまざまな変調方式が提案されている。これらの変調方式ではデジタル信号を扱うため、チューナなどの高周波 IC に要求される性能はますます厳しくなる。

このため、従来の設計手法だけでこれらの方式に対応した IC を設計することは、非常に難しくなってきた。かといって、これまでのようにディスクリート部品だけでシステムを構成することはコスト的に合わないため、高周波 IC の役割は重要である。

ここでは、当社で開発しているデジタル衛星放送やデジタル CATV 放送に対応した新しい高周波 IC の要素技術、および複雑なシステム設計の上流段階で問題点の早期発見を可能とし、設計効率を著しく改善するアナログトップダウン設計手法について述べる。

2 高周波 IC に望まれる性能

2.1 位相ノイズ

アナログ放送用の FM や AM といった変調方式では、選局や復調に用いる発振器は、周波数安定度だけを重視していた。しかし QPSK, QAM などデジタルデータを扱う変調方式では、周波数変換や検波用のキャリアとして用いる発振器の位相ノイズが、デジタルデータ復調後のビットエラーレートに直接影響する。このため、周波数安定度に加えて、発振器の位相ノイズを低減させることが非常に重要となる。

しかし、発振器単体の位相ノイズは一般的な回路シミュレーションでは定量的に検討しにくい項目であり、試行錯誤的な設計手法を用いているのが現状である。

2.2 イメージ除去

CATV では隣接するチャンネルを使って放送信号を送ることが許されている。そこで CATV チューナでは諸性能向上のために、ダブルスーパー方式が用いられる。これは、選局しながら高周波域の第 1 IF (Intermediate Frequency) 周波数にアップコンバートし、帯域制限フィルタを通した後、第 2 IF 周波数にダウンコンバートする方式である。しかし、ダウンコンバートによって、選局したチャンネル信号にイメージ信号 (他チャンネル信号) が重なってしまう (図 1)。この妨害があると、選局信号復調時のビットエラーレートが悪

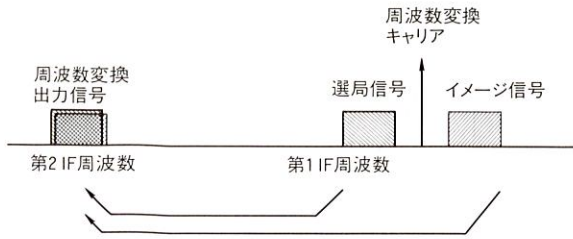


図1. ダウンコンバージョンの周波数スペクトル 周波数変換の際にイメージ信号が選局信号に重なる。
Frequency spectrum of down-conversion

化する。イメージ信号を取り除くためには、帯域制限フィルタの遮断特性を相当よくする必要があるが、この方法では、コストの上昇を招いてしまう。

3 発振器の設計手法

高周波帯で低位相ノイズが得られる発振器としては、SAW (Surface Acoustic Wave) 発振器やLC 発振器がある。

SAW 発振器は、共振周波数が固定なので、発振周波数の制御には適さない。しかし、デジタル変調信号の復調前には、入力信号の周波数ずれを調整しておく必要がある。このためSAW 発振器を用いると、周波数調整ループが別途必要となり、システムが大きくなってしまう。

一方、LC 発振器はSAW 発振器ほど低位相ノイズではない。しかし、可変容量などを使って共振周波数を制御することができるので、周波数制御には適している。

そこで、LC 発振器を電圧制御発振器として用い、その分周出力が水晶発振器による基準周波数に同期するようにPLL をかける手法を採用した(図2)。PLL を使うと、IC 内の回路規模は増えるものの、LC 発振器の位相ノイズを見かけ上低減させることができる。また、周波数の制御にも比較的容易に対応できる。さらに、PLL のループゲインや発振周波数など、設定の自由度が高いので、同一IC を仕向別に柔軟に対応させることもできる。

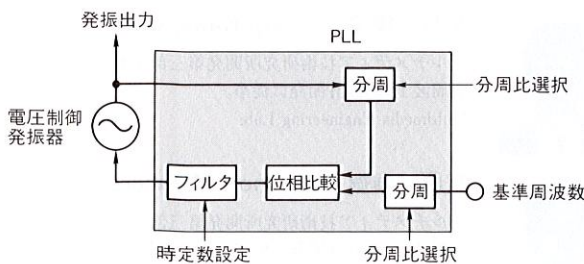


図2. PLL を併用した発振器 SAW 発振器と比べると設定の自由度が高い。

Block diagram of oscillator system

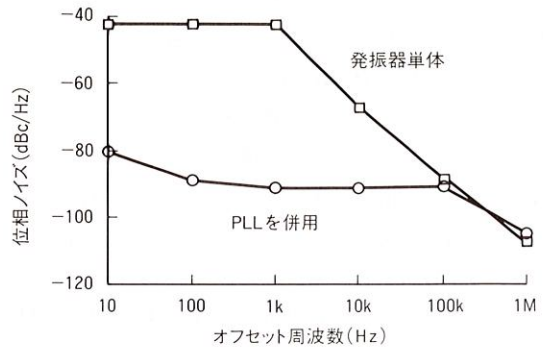


図3. 位相ノイズの改善 PLL を併用することで、汎(はん)用性を保ちながら位相ノイズを改善した。

Improvement of phase noise

われわれは、PLL 方式のLC 発振器を用いて、衛星放送受信機用I/Q 検波IC を開発した。図3 に位相ノイズの実測結果を示す。

4 高周波のシステムシミュレーション手法

ここでは、先に述べたCATV のイメージ除去のためのシステムを例に、これからの設計手法について解説する。

4.1 アナログトップダウン設計手法

従来、高周波IC を設計する際には、システム担当から提案されたシステム仕様に基づいて、IC 回路を設計してきた。ここで提案される仕様は、たいいていIC の入出力仕様であり、IC 内部の回路仕様ではない。そこでIC 内部のブロック分割やブロックごとの回路仕様は、IC 回路設計者が決定してきた。

しかし、これらの仕様決めはIC 回路設計者が従来培ってきた設計ノウハウに頼っていた。このため、IC 全体の仕様に対する各ブロックの最適化や仕様配分を巡って、何度もIC の試作を繰り返すことがあった。

これを解決するために、AHDL を用いたアナログのトップダウン設計手法を取り入れた。この手法により、上述のような不具合を、早期に把握することができるようになった。

このAHDL と呼ばれるツールは、デジタルのHDL と同様に、アナログ回路に対してシステムレベルでのシミュレーションができる。しかもAHDL では、従来のトランジスタレベルの回路ブロックと、ピヘイピア(機能記述)レベルのブロックとを混在させた形でのシミュレーションが可能である。

ただし、AHDL にはデジタルのHDL にあるような論理合成ツールの類がない。このため、ピヘイピアレベルの回路を実回路に置き換えるには、アナログ回路設計者の設計技術が欠かせない。

AHDLを使うメリットは、個々の回路の問題点をシステム全体から見て、評価することができるという点である。すなわち、まずIC全体回路をビヘイビアレベルでシミュレーションし、各ブロックの最適化やブロックの仕様を決定する。次に全体のシステムが完成したところで、ビヘイビアレベルの回路を順次トランジスタレベルで設計し、部分的に実回路に置き換えてシミュレーションを実行する。これにより、実回路の性能をシステム全体の性能としてとらえることができるため、実回路の問題点も早期に発見することができるのである。

4.2 イメージ除去ミキサの適応例

イメージ除去ミキサを、AHDLを用いて検討した例を紹介する。このミキサは、ミキサ2個と90度移相器2個を使って位相関係の異なる周波数変換を行い、変換出力を互いに加算するというものである(図4)。加算出力では、選局信号が加算され、イメージ信号が減算されるような位相関係になる。このミキサをダウンコンバート時に適用すれば、イメージ信号だけを除去することができる。

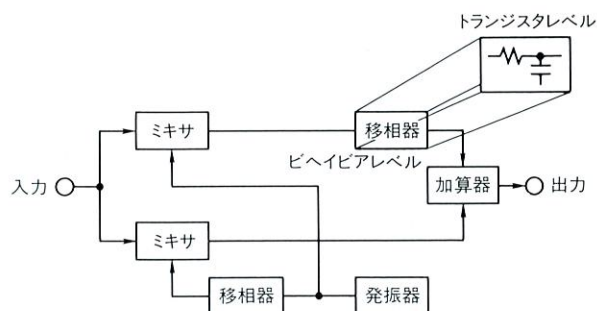


図4. イメージ除去ミキサ 一部のブロックだけ実回路で置き換えて、シミュレーションすることができる。

Block diagram of image rejection mixer system

一般に、ミキサを時間軸領域でシミュレーションするには時間がかかる。これは解析時間きざみを細かく、かつ長時間にわたって解析させる必要があるからである。

今回は、各ブロックにおけるイメージ除去性能への影響を調べるために、まずAHDLのビヘイビアレベルを用いてシステム全体を機能記述し、シミュレーションした。また90度移相器など、回路の個別性能を評価するために、該当部分だけを実回路に置き換えた。これにより、比較的短時間でシステム全体のシミュレーションが行え、効率よく回路仕様を詰めることができた。図5に、90度移相器の位相誤差に対するイメージ除去比のシミュレーション結果を示す。

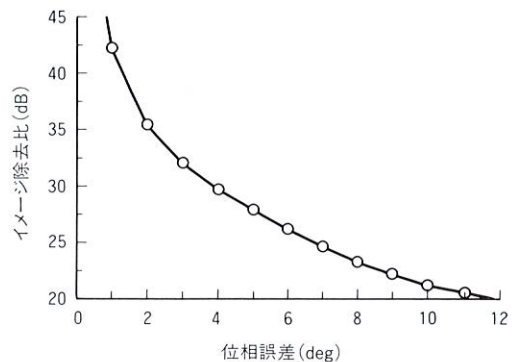


図5. 位相誤差とイメージ除去比との関係 AHDLを使って位相誤差とイメージ除去比との関係をシミュレーションした。

Relationship between phase error and image rejection ratio (simulation)

このように、システムをIC全体の仕様から、個々のブロックの回路仕様に変換できるとともに、実回路での問題点も早期に発見することができるようになった。

5 あとがき

デジタル放送に対応した、高周波ICの要素技術およびAHDLを用いた設計手法について紹介した。これから先、新たな変調方式の採用などによって、より厳しいシステム仕様が高周波ICに求められることが予想される。

個々の回路技術の向上と、システムと回路の最適設計をさらに効率よく行うことができるような環境を構築していくことが今後の課題である。

文献

- (1) 宮原泰徳, 他: UHF/VHF 1 チップTV チューナー IC, テレビジョン学会年次大会講演予稿集, 23-1, pp.411-412 (1991)
- (2) 宮原泰徳, 他: BS/CS チューナー用 2nd コンバータ ICの開発, テレビジョン学会年次大会講演予稿集, 9-2, pp.159-160 (1993)
- (3) Y. Miyahara, M. Nagata: An Improved Bipolar Transistor Model Parameter Generation Technique for High-Speed LSI Design Considering Geometry-Dependent Parasitic Elements, Trans.IEICE, E76-A, 2, pp.183-192 (1993)



川口 俊治 Shunji Kawaguchi

マルチメディア技術研究所開発第三部主務。
高周波ICの設計開発に従事。
Multimedia Engineering Lab.



宮原 泰徳 Yasunori Miyahara

マルチメディア技術研究所開発第三部主務。
高周波ICの設計開発に従事。電子情報通信学会会員。
Multimedia Engineering Lab.