

# 超小型 PHS 端末用高周波モジュール実装技術

High-Density Assembly Technologies for Ultracompact PHS Terminals

森 三樹  
M. Mori

斉藤 雅之  
M. Saito

吉原 邦夫  
K. Yoshihara

特集  
II

容積 60 cm<sup>3</sup> (縦 140 mm×横 35 mm×厚さ 15 mm (最大部)), 重さ 85 g の超小型 PHS (簡易型携帯電話) 端末を試作した。受動チップ部品, LSI をそれぞれ “バンパ実装” することで, 部品サイズと実装面積をほぼ等しくした小型のモジュールを実現した。

受動チップ部品は, 部品と基板の間に厚さ 50 μm のスペーサを挟み, 部品底面だけをはんだ付けしたバンパ構造とすることで, はんだ接合部の信頼性を確保しつつ, 実装面積を 40 % 削減した。また, 浮遊容量が減少したことで高周波特性が向上した。LSI はフリップチップ実装することで小型化とともに封止樹脂の低膨張化により高信頼性を実現した。

Toshiba has developed an ultracompact experimental personal handy-phone system (PHS) terminal. The volume of this PHS terminal is 60 cm<sup>3</sup>, the external dimensions are 140(H)×35(W)×15(D) mm (max.), and the weight is 85 g.

We have also developed high-density assembly technologies for the PHS terminal. Passive chip components and LSI chips are connected to the substrate by bump-shaped electrodes formed only on one side of the chips. The assembly area for chip components is reduced by 40 % by using the newly developed bump interconnection structure with a spacer, and high-frequency operation is improved by decreasing parasitic capacitance. High contact reliability for the LSI chips is achieved by using an underfill resin with a low coefficient of thermal expansion (CTE).

## 1 まえがき

このところ PHS 端末の市場が拡大している。PHS 端末をさらに普及させるためには, 小型・軽量化が重要である。当社は, 容積 60 cm<sup>3</sup>, 重さ 85 g, 外形寸法が縦 140 mm, 横 35 mm, 厚さ 15 mm (最大部) と, テレビのリモコン並みの超小型 PHS 端末 (図 1) を試作した。小型化のポイントは, ①送受直接変換方式による無線部の部品削減, ②無線部機能ブロック単位のモジュール化による実装面積の削減, ③無線部低消費電力設計と高容量リチウム 2 次電池による電源スペースの削減などである。

ここでは, PHS 端末を小型にするために, 受動チップ部品と LSI をそれらの面積と同等の大きさで基板に実装するバンパ実装技術と, その技術を用いて試作した高周波モジュールについて紹介する。



図 1. 超小型 PHS 端末 容積 60 cm<sup>3</sup>, 重さ 85 g, 縦 140 mm×横 35 mm×厚さ 15 mm (最大部) の超小型 PHS 端末。  
Ultracompact PHS terminal

## 2 受動チップ部品のバンパ実装

### 2.1 実装構造と特長

従来は抵抗, コンデンサ, インダクタなどの受動チップ部品は, 部品の側面と底面の双方ではんだ付けをしたフィレット実装構造 (図 2(右)) であり, 部品面積に加えて側面をはんだ付けする面積が必要だった。部品が小さくなるとはんだ付け面積の占める割合が大きくなり, 実装密度向上

を阻害する要因となっている。そこで, 部品の底面だけをはんだ付けしたバンパ実装構造 (図 2(左)) を開発した<sup>(1)</sup>。実装面積を比較するとバンパ実装の場合, 部品サイズ 1005 部品 (1.0×0.5 mm) で約 40 %, 1608 部品で約 30 % 削減できる。また, 浮遊容量が減少することで高周波特性が向

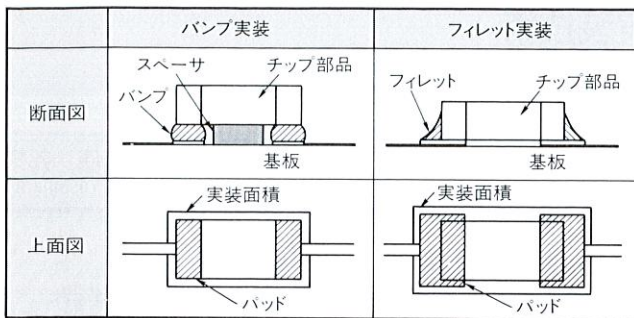


図2. 受動チップ部品の実装方式 フィレット実装よりバンプ実装は実装面積が小さい。部品と基板の間にスペーサを設け、バンプの高さを制御している。

Bump interconnection and fillet interconnection for passive chip component

上する<sup>(2)</sup>。

バンプ実装の構造上の特長は、部品と基板の間にスペーサを設けたことにある。バンプはリフロー工程で溶融したはんだが部品電極および基板電極とぬれることにより形成され、バンプ高さはスペーサの厚さで制御される。

## 2.2 高周波特性の比較

バンプ実装とすることで、基板上の接続用電極パッドの面積が削減されるため浮遊容量が小さくなり、実装後の部品の高周波特性は向上する。

図3に理想的な3 pFコンデンサ(C)のSパラメータ特性と、3 pFの1005コンデンサ、3216コンデンサのSパラメータ測定結果(S<sub>11</sub>:反射特性, S<sub>21</sub>:通過特性)を示す。図からフィレット実装よりバンプ実装のほうが理想的な特性に近いこと、つまりパッドサイズが小さいほど特性が良いことがわかる。

## 2.3 バンプ接続の信頼性

バンプ高さ、すなわちスペーサの厚さは、周囲温度が変

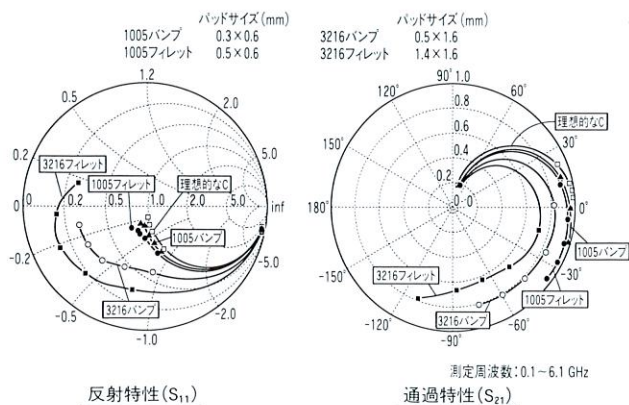


図3. 3 pFコンデンサの高周波特性 バンプ実装のほうがフィレット実装より高周波特性に優れている。

High-frequency properties of 3 pF chip capacitor

化したときに部品と基板との熱膨張差によって生ずるはんだ接合部の熱ひずみと信頼性の関係から決定される。バンプ実装では、接続面積が小さいので、接続信頼性を向上させるためにははんだ接合部にかかる熱ひずみを小さくする必要があります。そのため、有限要素法を用いた弾塑性解析と温度サイクル試験の結果からバンプ高さを決定した。

図4に構造解析に用いた二次元のモデルと1005部品と1608部品を用いたときのバンプ高さとはんだバンプに生ずる最大相当塑性ひずみの関係を示す。部品はセラミックス、基板はガラスエポキシ(FR-4)、はんだはSn-Pb共品とした。バンプ高さの増加に伴いひずみは減少し、高さが50 μm以上では飽和する。

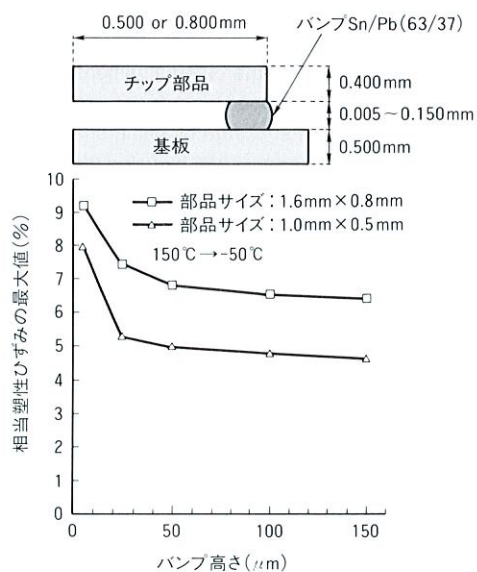


図4. バンプ実装の構造解析モデルと解析結果 バンプの高さとともに相当塑性ひずみは減少し、50 μm以上で飽和する。

Analytical model of bump interconnection and analysis results

次に、バンプ高さが60 μmと5 μm、従来のフィレット実装の3種類の試料を用意し、温度サイクル試験(-40°C/100°C, 30分/30分)を行った。図5に結果を示す。バンプ高さが5 μmの試料は500サイクルで不良が発生するが、バンプ高さが60 μmとフィレット実装は3,000サイクルまで不良は発生していない。したがって、バンプ高さを60 μm以上とすることで十分な信頼性が得られることを確認した。

## 3 フリップチップ実装

### 3.1 実装構造と特長

高周波モジュールに搭載するLSIの実装方式としては、フリップチップ実装(バンプ実装)が最適と考えている。これは、チップ面積と同等の大きさで実装ができること、接

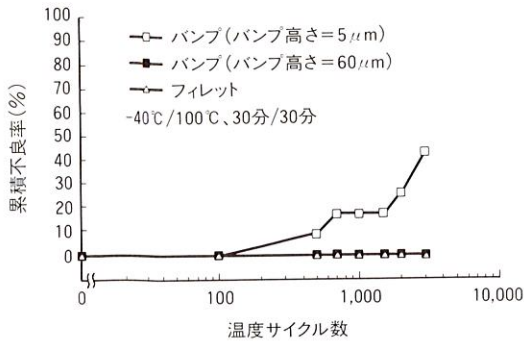


図5. 受動チップ部品の温度サイクル試験結果 バンプ高さが5  $\mu\text{m}$ の試料は不良が発生するが、バンプ高さが60  $\mu\text{m}$ とフィレット実装の試料は接続不良がない。

Interconnection failure ratio of chip components in temperature cycle test

続配線長が短いために電気特性が優れるためである。

LSIの電極上には、電気めつき法により、銅のコアがあるはんだバンプを形成している。銅コアの厚さは約20  $\mu\text{m}$ 、はんだバンプの高さ(厚さ)は約60  $\mu\text{m}$ である。このはんだがリフロー工程で溶融し、基板と接続される<sup>(1)</sup>。

### 3.2 樹脂封止と接続信頼性

樹脂基板上へのフリップチップ実装を実現するうえでの課題は、受動チップ部品のバンプ実装と同様に、LSIと基板との熱膨張係数の不整合によりバンプ接続部に熱ひずみが生じ、信頼性が低下することである。そこで、LSIと基板の間隙(げき)を樹脂封止することによりバンプに生ずる熱ひずみを低減させ、信頼性の向上を図った。バンプに生ずる

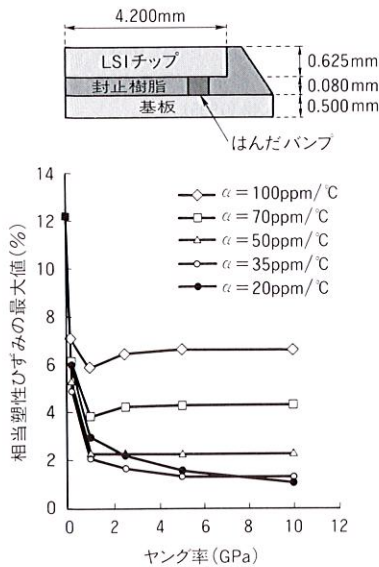


図6. フリップチップ実装の構造解析モデルと解析結果 封止樹脂のヤング率の増加と熱膨張係数の減少に伴いバンプにかかるひずみが減少し、2.5 GPa、35 ppm/°C付近で飽和する。

Analytical model of flip chip bonding and analysis results

熱ひずみは封止樹脂の物性値に依存するため、構造解析と温度サイクル試験により封止樹脂の物性値とバンプ接続信頼性の関係を評価した。

図6に二次元のモデルと解析結果を示す。弾塑性解析を用いて、封止樹脂のヤング率および熱膨張係数( $\alpha$ )を変化させて封止樹脂物性値とバンプに生ずる熱ひずみとの関係を評価した。ヤング率が2.5 GPa以上で、バンプにかかるひずみが飽和すること、同じく熱膨張係数が35 ppm/°C付近でバンプにかかるひずみが飽和することがわかる。

この結果を基に、表1に示す2種類の樹脂を用いた試料および樹脂封止なしの試料を作製し、温度サイクル試験(-40°C/100°C, 30分/30分)を行った。図7に結果を示す。樹脂封止なしの試料は20サイクルで、また樹脂Aで封止した試料は500サイクルで不良が発生するが、樹脂Bで封止した試料は2,000サイクルにおいても不良は発生していない。以上のことから、樹脂基板上のフリップチップ接続部は、ヤング率6.0 Pa、熱膨張係数40 ppm/°C程度の樹脂で封止することにより十分な信頼性が得られることを確認した。

表1. 封止樹脂の物性値

Material properties of underfill resin

	ヤング率 (GPa)	熱膨張係数 (ppm/°C)	$T_g$ (°C)
樹脂 A	3.6	73	100
樹脂 B	6.0	40	150

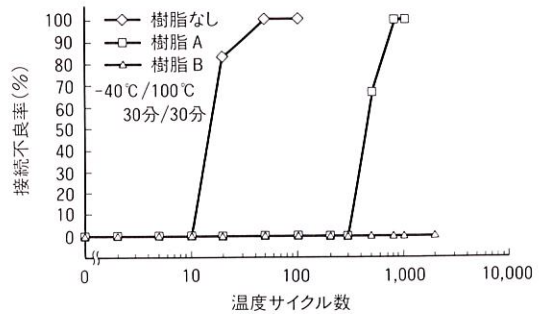


図7. フリップチップ実装の温度サイクル試験結果 樹脂封止がないとすぐに、また樹脂の物性が合わないと短時間で不良が生ずるが、最適な樹脂を封止すると不良は生じない。

Interconnection failure ratio of LSI chips in temperature cycle test

## 4 高周波モジュール

超小型 PHS 端末用を構成する受信部、シンセサイザ部、

パワーアンプ (PA) 部, 送信部 (直交復調器部) からなる 4 種類の高周波対応無線モジュールを試作した。PA と送信モジュールについては GaAs デバイスを用いた。GaAs デバイスはアルミナセラミック基板上に搭載し, ワイヤボンディング実装をした。受信とシンセサイザモジュールはシリコン LSI を用いた。シリコン LSI は 8 層の樹脂基板上に上述したフリップチップ実装をした。受動チップ部品の実装では, 汎(はん)用の部品を使用し, 上述したバンプ実装を採用した。

以下にそれらの代表として, 受信モジュールについて述べる。受信モジュールは, 1.9 GHz 帯の高周波信号の受信に必要な無線部の機能を備えており, 図 8 に示したように樹

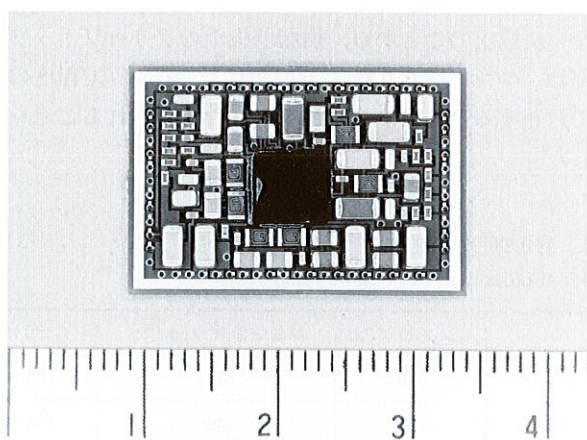


図 8. 1.9 GHz 受信モジュール LSI 1 個と受動チップ部品がバンプ実装によって高密度に実装されている。

1.9 GHz receiver module

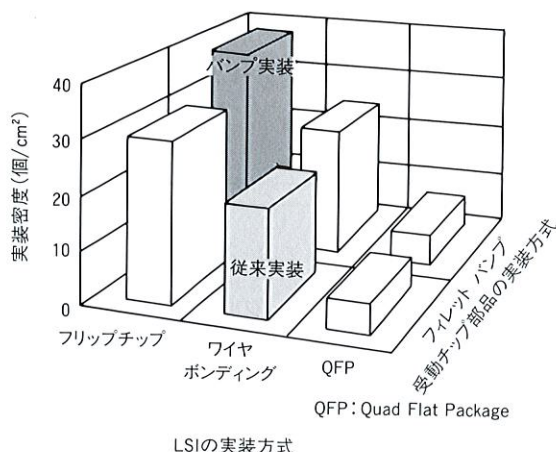


図 9. 実装方式による実装密度の比較 LSI と受動チップ部品のバンプ実装では, LSI をワイヤボンディング実装, 受動チップ部品をフリップチップ実装した場合と比較して実装面積を 40% 削減できる。

Comparison of assembly density of 1005 size chip components and LSIs

脂基板に 1 チップの Bi-CMOS LSI と 67 個の受動チップ部品が搭載されている。モジュールは 24 mm×16 mm×2.5 mm と小型サイズで実現できた。

このような高周波信号を扱うモジュールを高精度に設計するには, 低周波ではあまり問題にならなかった基板の配線, スルーホールや部品の実装状態を考慮する必要がある。このモジュールでは, 各構成部について高周波特性を評価してモデル化を行い設計した。

この実装方式の部品実装密度を他の実装方法と比較した結果を図 9 に示す。LSI と受動チップ部品の構成比を 1 : 20 とし, LSI のサイズを 5 mm×5 mm, 受動チップ部品を 1005 部品として試算した。LSI にワイヤボンディング実装, 受動チップ部品にフリップチップ実装を用いる従来の実装方法と比較して, 部品占有面積 (部品面積/基板面積) が約 40% 削減される。

## 5 あとがき

受動チップ部品と LSI チップをともにバンプで接続する技術を開発し, PHS 端末のキーコンポーネントである高周波無線モジュールを試作してその実用性を確認した。今回開発した技術を用いることにより, PHS 端末の小型・軽量化だけでなく, 携帯電話や将来商品化が期待される PDA (携帯情報端末) やパソコン用の無線通信カードモデムなど, さまざまな携帯型情報・通信機器の小型・軽量化が可能になる。

当社は, 携帯通信端末の小型化に必要な要素技術の開発を今後も積極的に推進していく。

## 文 献

- (1) T. Togasaki, et al: Bump Interconnection for Chip Components and LSI Chips for High Density Modules, ISHM 1994 Proc., pp. 266-277
- (2) 井関裕二, 他: 受動チップ部品の実装方式による高周波特性の比較, 信学会総合大会, C-450, p.42 (1995)



森 三樹 Miki Mori

研究開発センター 材料・デバイス研究所研究主務。  
高密度実装技術の開発に従事。電子情報通信学会, (株) SHM 会員。  
Materials & Devices Research Labs.



齊藤 雅之 Masayuki Saito

研究開発センター 材料・デバイス研究所副参事。  
高密度実装技術開発に従事。電子情報通信学会, プリント回路学会, ISHM 会員。  
Materials & Devices Research Labs.



吉原 邦夫 Kunio Yoshihara

研究開発センター 材料・デバイス研究所主任研究員。  
超高速素子実装技術の開発に従事。電子情報通信学会会員。  
Materials & Devices Research Labs.