

シリコン ULSI の目覚ましい開発スピードは、基本的には指導原理として比例縮小則を用い、微細化、高性能化が図られてきた。その中でいっそうの微細化が可能か、あるいはその指針が何かを得るために極微細 MOSFET (MOS 型電界効果トランジスタ) の研究開発を行ってきた。すでにゲート長が 40 nm までの素子動作を確認しており、また CMOS も 0.1  $\mu\text{m}$  までの高性能動作が得られている。これらは、来世紀にまたがってもシリコン LSI 技術の揺るぎない発展を技術的には保証するものである。さらに、それ以下のサイズの素子に関して、新しい動作原理に基づくシリコン素子の研究も始まっている。ここでは動作原理が確実に量子力学的な領域に入り、特に単一電子素子は将来素子として有望と考えられる。

The significant progress of Si ULSI development has been primarily achieved by the miniaturization of each device element. The guiding principle is the scaling law, which enables shrinkage of device size and improvement of device performance.

In order to clarify the miniaturization limit of MOSFET size and the performance improvement scenario, we have successfully fabricated both a 40 nm gate length MOSFET and a 100 nm CMOS and confirmed further performance improvement, indicating the continued success of the Si ULSI into the 21st century. We have also begun research on devices with new operating principles, especially single-electron tunneling devices, and are about to reach the nm region in device size.

## 1 まえがき

シリコン LSI の高集積化、高性能化は個々の素子の微細化によって達成されてきたといえる。その指導原理はいわゆる比例縮小則であった。現実的にどこまで小さいトランジスタが機能するのか、その場合にどの程度の性能が達成されるのかは、技術的に明らかにされる必要がある。一方で、LSI の技術開発はすでにロードマップなどで示されているように、サイズだけではなく電源電圧なども含めて総合的にスケールダウンしながら高性能化を図らなくてはならない。このような微小素子で実際に性能向上が見込まれるかどうか、懸念すべき点はどこなのかを明らかにし、来世紀にわたるシリコン LSI 開発のめどをもつ必要がある。さらに、その先には何か別の素子がとって変わるものか、あるいはエレクトロニクスの終焉(えん)と考えるかはできる限り早急に明らかにしたい。ここでは、前半で極微細 MOSFET の研究結果を紹介し将来の可能性を議論する。後半では新動作原理に基づく新素子開発の一つのモデルとして、単一電子素子という観点から研究の現状を紹介する。

## 2 0.1 $\mu\text{m}$ CMOS<sup>(1)</sup>

昨今の ULSI 技術の進展は CMOS 技術の進展にあるといってもよいだろう。いうまでもなく、CMOS は n チャネル MOSFET と p チャネル MOSFET を相補的 (Complementary)

tary) に使った低消費電力型 LSI の典型である。このような微細素子を作製する際にすでに述べた比例縮小則がどこまで厳密な意味で使えるかは問題があるが、微細化の方向は明らかにこれによって決まる。実際のサイズと比例縮小則から予測されるサイズとのずれは素子が小さくなればなるほど著しくなる。ここで述べる 0.1  $\mu\text{m}$  CMOS の作製は、ゲートの加工を電子ビーム露光を用い、ゲート酸化膜は 4 nm という薄膜を用いている。これは酸化膜のトンネル電流リークを抑える下限に近い。図 1 に実際の 0.1  $\mu\text{m}$  ゲート加工

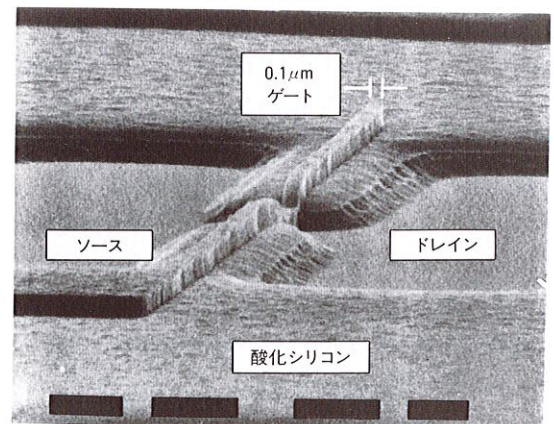


図 1. 0.1  $\mu\text{m}$  ゲートの走査電子顕微鏡 (SEM) 写真 中央の細い幅に残っている部分が、0.1  $\mu\text{m}$  のゲート長に対応する。

SEM picture of 0.1  $\mu\text{m}$  gate length MOSFET



後の走査電子顕微鏡写真を示す。電子および正孔はこのようなサイズのゲートによって制御されているわけである。

このサイズでのCMOS動作性能をリング発振器というインバータの信号伝播(ば)速度を計測するための回路を作り評価した。図2に、インバータ1段当たりの信号遅延時間を電源電圧をパラメータとして示す。

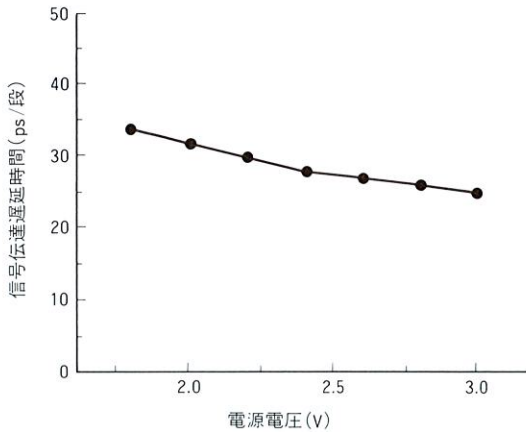


図2. 0.1 μm CMOS インバータの遅延時間の電源電圧依存性 電源電圧を変化させながらリング発振器によって測定した信号遅延時間を示す。

Dependence of propagation delay time on  $V_{dd}$  in 0.1 μm gate length CMOS inverter

0.1 μm レベルでは信号遅延時間は電源電圧にあまり依存しないことがわかる。これは微細化の大きなメリットであり、低電源電圧下でも素子特性の改善が著しいという点からきている。このメリットを生かすためにはキャリア(電子あるいは正孔)の移動度が高いことが重要であり、その際にシリコン基板内の不純物プロファイルの最適化が、しきい値あわせという意味だけでなく重要になる。

さてこのような素子特性の点から将来的に懸念される問題に関して、ここでは1点だけ述べる。それは本質的な寄生効果であるコンタクト抵抗に関してである。コンタクト抵抗はサイズ縮小とともに急激に増加する。なぜならサイズで規格化した固有コンタクト抵抗は物質定数でほとんど決定されてしまい、比例縮小の範ちゆう外の物理量である。そこで、コンタクトサイズが小さくなると急激に抵抗値は増加する。この効果を回路シミュレータで調べた結果を、図3に示す。ここではトランジスタは0.1 μm に固定し、ソース、ドレイン周りだけを考慮している。固有コンタクト抵抗( $\rho_c$ )として $\rho_c=0$ の場合も含めて4種類の場合について求めているが、注目すべきことは現在典型的に使われているような固有コンタクト抵抗値( $\rho_c=5 \times 10^{-7} \Omega \text{cm}^2$ )を使っていると、0.1 μm サイズのコンタクトを作製し実際に

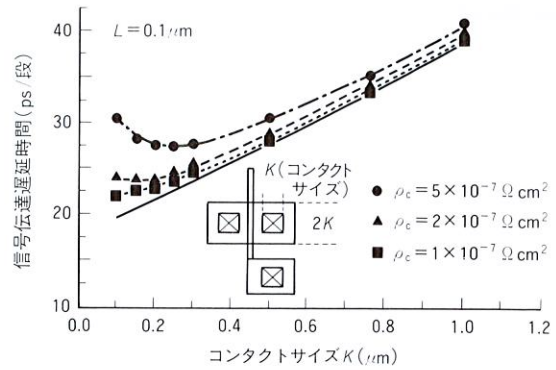


図3. 固有コンタクト抵抗( $\rho_c$ )をパラメータにした遅延時間のコンタクトサイズ依存性 コンタクト抵抗がいかに信号伝播時間に影響を及ぼすかを、固有コンタクト抵抗をパラメータにして計算した結果。実線は $\rho_c=0$ の場合を示す。

Dependence of propagation delay time on contact size as parameter of specific contact resistance

CMOS を動作させたときには、微細化によってかえって性能が悪くなってしまふと予測されることである。このようなことは、ゲートレベルだけの遅延を考えたときにいい性能のCMOSが達成されればされるほど、早い時期に目に見えてくる。

ほかにも注意すべき寄生効果はたくさんあるが、図3で見える効果としては寄生容量効果である。この図で微細化によってスピードが改善されて見えるのは接合容量の減少の結果であり、劣化はコンタクト抵抗上昇によるといえる。このような効果は微細化とともに0.1 μm 周辺で急激に表れるので、将来素子の設計にはかなり入念に考慮しておかなくてはならない。

### 3 40 nm MOSFET<sup>(2)</sup>

微細化はさらに進む。0.1 μm CMOS の動作が実証されたが、CMOS では p チャネル MOSFET の実現のほうが難しい。そこでまず、いつその微細化は n チャネル MOSFET で達成された。ここでは驚くべきことに、40 nm (0.04 μm) というゲート長の MOSFET が実現され、室温での動作が確認された。このように微細化が進むと、先に述べたように比例縮小則の破たんがいろいろなところで見えてくる。先に述べたようにゲート酸化膜厚はトンネル電流リークを抑える下限にさしかかり、チャネル領域の不純物濃度は接合リーク電流を抑えるための限界に近い。

上述の0.1 μm CMOS の場合には、できる限り現状技術で作製できないかを検討したが、この40 nm MOSFET の場合には、これらのパラメータは一定に保ちつつ、きわめて浅いソース・ドレインの接合深さを得るためのブレークスルーを検討した。ゲート加工にはレジストアッシングを使い、



極浅接合の形成には高濃度にリンを含むシリケートガラスからの固相拡散という手法を用いた。特に固相拡散の効果によって、界面近くにパイルアップしたリンによって 10 nm 級の拡散層を実現できた。これによって短チャネル効果がきわめて効果的に抑制された。この方法によって得られた n チャネル MOSFET の電流-電圧特性を図 4 に示す。このサイズで MOSFET は問題なく動作し、さらにドレイン電流は 40 nm までは微細化とともにいぜんとして増大することも示された。今後も MOSFET の微細化はさらに進むと思われるが、原理的な問題点が単体デバイスの観点からはまだ存在しないことは、シリコン LSI の開発の継続性を保証するものである。

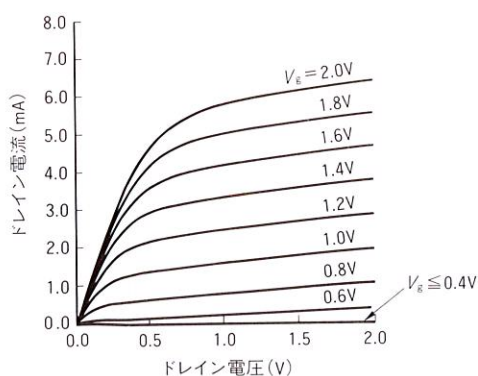


図 4. 40 nm ゲート長の飽和領域での電流電圧特性 ゲート長 40 nm の n チャネル MOSFET のゲート電圧 ( $V_g$ ) をパラメータにした、ドレイン電流-ドレイン電圧特性。

$I_d$ - $V_d$  characteristics in 40 nm gate length n-MOSFET

#### 4 新動作原理素子の研究開発

新しい動作原理に基づく素子はかつて多く研究されてきたが、ことごとく CMOS 技術の前に凌駕(りょうが)されてきた。3 章で述べたように 40 nm まで MOSFET が動作することが示されているが、これが 10 nm 領域まで延命されていくかどうかは不明であるし、そこにいく前にほかの要因で限界が生ずるかもしれない。そこで次の世代のデバイスを考え、それによるパラダイムを指向しておくことは、今だからこそやっておかねばならない。

最近では微細化による新しい物理の世界が広範に研究され、メソスコピック物理という量子力学が全面に出てくる領域が開拓されてきた。その中でわれわれが現在興味もっているのは、クーロンブロッケードという電子 1 個ずつの相互作用を動作の基本にした単一電子素子という分野である。クーロンブロッケード現象は微細化によってきわめて顕著になり、基本的には電子 1 個がもつ帯電エネルギー

に原理を求めることができる。例えば、容量  $C$  をもつキャパシタに電子 1 個が帯電されているとき、帯電エネルギーは  $e^2/2C$  となり、 $C$  が小さければ小さいほどこのエネルギーは大きくなる。 $C$  は基本的には面積で決まるのでサイズが小さければそれだけ顕著な効果となる。

このクーロンブロッケードの詳しい説明はここでの目的ではないが、そこからは大変興味ある結果が得られる。われわれは、この単一電子素子の舞台となる基本材料としてシリコンを使い、さらに先に述べた極微細 CMOS と同一チップ上に混載することで高機能チップを実現することを念頭に置いて研究開発を進めている<sup>(3)</sup>。そのために、まずは安定したシリコン単一電子素子の実現に向けて研究を進めている。先に述べた帯電エネルギーの大きさと容量の大きさの関係を確かむために、図 5 にエネルギーを温度に換算して示した。室温で動作させようとする、それよりも大きい帯電エネルギーが必要になり、電子 1 個を対象にした場合、aF ( $10^{-18}$ F) 領域の小さな容量を相手にすることになる。

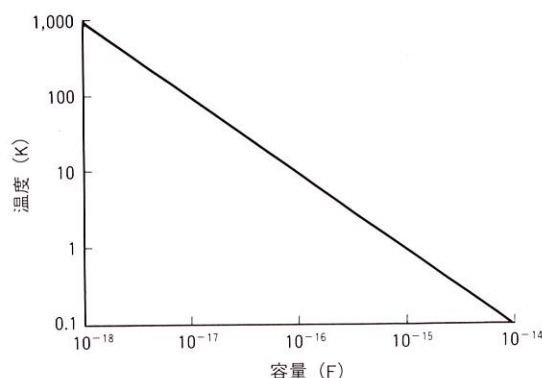


図 5. 容量の関数として見た電子 1 個の帯電エネルギー 電子 1 個の帯電エネルギーが温度に換算するとどのくらいかを容量の関数として示したもの。

Single electron charging energy as function of capacitance involved

さて、このような素子を実現する手段としてきわめてチャネル幅の細いシリコン MOSFET を有望視している。というのは、細いチャネルは外界からのポテンシャル変動に対してきわめて鋭敏に応答するからである。さらに、微小容量を実現するための微細化に対して、厚さ制御によるサイズと MOS 反転層という量子力学的に狭いサイズとで図 6 に模式的に示したような、いわゆるエッジ量子細線を、SOI (Silicon On Insulator) を使って実現できることは大変興味をもたれる。つまり SOI のシリコン層の厚さを熱酸化によって 10 nm 程度まで薄くし、チャネルは 10 nm 程度の反転層で形成されることになる。

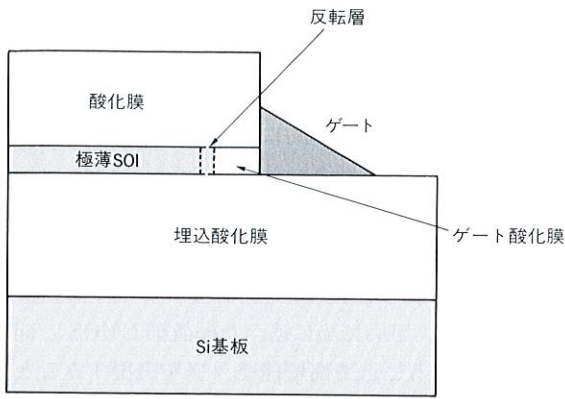


図6. シリコンエッジ量子細線 MOSFET の模式図 極薄 SOI 端面に作製された、エッジ量子細線 MOSFET の模式図。

Schematic view of silicon edge quantum wire MOSFET

このような MOSFET の 4.2 K (液体ヘリウム温度) での電流-電圧特性を図 7 に示す。オン/オフを繰り返す、いわゆるクーロン振動と呼ばれる電流の振動が観測され、この振動は 50 K 近くの温度まで見られる。また現実的レベルでは極低温の世界であるが、いっそうの微細化技術によってますます顕著な単一電子効果が高温まで制御性よく観測されるようになることはまちがいない。

この周期的な電流変化は通常の FET 動作としても使えるであろうし、それよりもある種の機能デバイスの要素とな

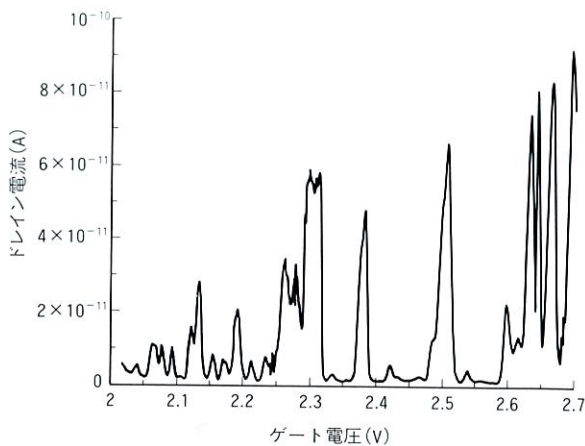


図7. シリコンエッジ量子細線 MOSFET の 4.2 K での電流-電圧特性 エッジ量子細線の電気特性を液体ヘリウム温度で測定した結果。ゲート電圧のスweepに関してきわめて周期的に近い電流の振動が観測される。

$I_d$ - $V_g$  characteristics at 4.2K in silicon edge quantum wire MOSFET

りうるのではないと思われる。これらはまだ研究が開始されたばかりであり、固体物理上の興味ばかりではなく今後の応用への展開が期待される。

## 5 あとがき

シリコン極微細素子の研究の現状を、CMOS トレンドの延長線上と新動作原理素子の候補としての単一電子素子の実験的研究開発状況を概観した。世紀末の現在、シリコン LSI 技術がエレクトロニクスを風靡(ふうび)しているのは考えてみればここ数十年である。来世紀に向かってシリコン ULSI 技術は成熟産業として残っていくのか、新たなパラダイムを実現できるのかは、将来に対する今の研究のしかたで決まってくる。エレクトロニクスの要素素子としてシリコンデバイスが新素子を含めて発展しながら 21 世紀に突入したいものである。

## 謝 辞

4 章で述べた単一電子素子研究の一部は、通商産業省産業科学技術研究開発制度の一環として(助)新機能素子研究開発協会が NEDO (新エネルギー・産業技術総合開発機構)からの委託を受けて実施している“量子化機能素子の研究開発”プロジェクトのもとで行われているものであり、関係者各位に厚くお礼申し上げる次第である。

## 文 献

- (1) S. Inaba, et al: Inverter Performance of 0.10 $\mu$ m CMOS Operating at Room Temperature, IEEE Trans. Electron Devices ED-41, pp.2399-2404 (1994)
- (2) M. Ono, et al: A 40nm Gate Length n-MOSFET, IEEE Trans. Electron Devices ED-42, pp.1822-1830 (1995)
- (3) A. Toriumi, et al: Future Prospect of Ultra-small Si Devices, Ext. Abst. 14th Symposium on Future Electron Devices, pp.67-72 (1995)



鳥海 明 Akira Toriumi, D.Eng.

研究開発センター ULSI 研究所ラボラトリーリーダー、工博。極微細素子の研究開発および物理モデル解析に従事。日本物理学会、応用物理学会、APS、IEEE 会員。ULSI Research Labs.



小野 瑞城 Mizuki Ono, D.Sc.

研究開発センター ULSI 研究所、理博。極微細 MOS の作製、評価解析に従事。応用物理学会、日本物理学会会員。ULSI Research Labs.