

北浦 義昭
Y. Kitaura

長岡 正見
M. Nagaoka

西堀 一弥
K. Nishihori

1995年7月の簡易型携帯電話(PHS)の公衆サービス開始を機に、よりいっそう需要が伸びている各種携帯情報端末の小型・軽量化、長時間通信化、低コスト化のかぎとなる高出力素子用のGaAs FET(電界効果トランジスタ)を開発した。このFETは、エピタキシャル技術とイオン注入技術を組み合わせた埋込みチャンネル型セルフアラインFETである。イオン注入技術は高集積化の容易な製造プロセスを、エピタキシャル技術は埋込みチャンネル構造をそれぞれ実現する。従来構造に比べて高い効率が得られ、移動体通信システム用低消費電力MMIC(モノリシックマイクロ波集積回路)の基本素子として有望である。

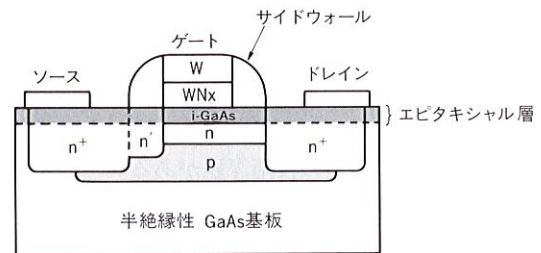
The combined process of epitaxy and ion implantation has been developed in the fabrication of a buried-channel WN_x/W self-aligned GaAs MESFET. This MESFET comprises an ion-implanted channel and an undoped GaAs epitaxial surface layer. The ion-implantation technique leads to an IC-oriented process and the epitaxial technique to a buried-channel structure.

Both ease of isolation and enhanced breakdown voltage have been attained, offering the promise of MMICs for L-band digital mobile communications systems.

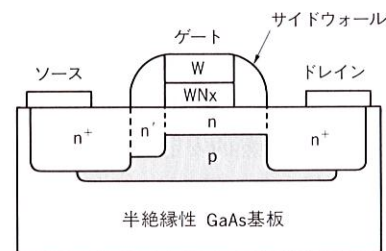
1 まえがき

近年、移動通信の需要が飛躍的に拡大している。なかでも、1.9 GHz帯を用いるデジタル移動通信システムであるPHSの公衆サービスが1995年7月に開始されたことにより、携帯情報端末の普及にいっそう拍車がかかっている。これらPHSに代表される移動通信端末の、小型・軽量化、長時間通信化、低コスト化の期待と要求は強く、それには主要構成部品の一つである電池の能力を最大限に有効活用する必要がある。このため、送受信部に多用されているGaAs MMICには低消費電力化、高集積化、低コスト化が強く求められている。

これらの要求を満たすため、GaAs MMICを構成する能動素子であるトランジスタの高効率化、受動素子であるキャパシタやインダクタの小型化の研究が進められている。ここでは、移動通信端末への適用を前提とした高効率トランジスタの研究について紹介する。これまで、GaAs FETの製造プロセスにはイオン注入とエピタキシーの二つのプロセス技術が用いられてきた。これらのプロセス技術にはおのおの次のような特長がある。すなわち、イオン注入プロセスは生産性やコスト力に優れ、複数のしきい値電圧の設定や、MMICの中での素子間分離が容易である。一方、エピタキシャルプロセスは、衛星放送の受信部に使用されているHEMT(高電子移動度トランジスタ)などにみられるような複雑なチャンネル構造を得ることができ、高性能化が容易で高周波化に対応しやすい。従来、これらのプロセス技術



(a)埋込みチャンネル型MESFET



(b)従来型MESFET

図1. FETの構造断面 イオン注入によるチャンネル層とゲート電極の間にエピタキシャルでi-GaAs層を形成している。

Schematic cross-sectional views of (a) buried-channel MESFET and (b) conventional MESFET

はFETの用途に応じておのおの独立に用いられてきた。

今回、われわれは選択イオン注入とエピタキシャル技術を組み合わせ、新たに埋込みチャンネル型セルフアラインMESFET(MES型電界効果トランジスタ)⁽¹⁾を開発した。

従来型 FET 構造では、高速化を目的とした素子の微細化に伴って、高濃度薄層化されてくるチャネル層によって耐圧が劣化し、FET の効率は逆に低下してしまう問題があった。この新しい FET (Buried-Channel MESFET: BC-MESFET) は、これら相反する要求性能を両立し、集積化の容易な埋込みチャネル構造⁽²⁾を実現することができる。

2 デバイス構造

図 1 に、BC-MESFET と従来型 MESFET⁽³⁾の構造断面を示す。BC-MESFET は、従来型 MESFET と同様に非対称構造で、半絶縁性基板上に選択イオン注入を用いてすべての導電層を形成し、アンドープエピタキシャル GaAs 表面層 (図中の i-GaAs) を Wn_x/W ゲートとイオン注入 n 型チャネル層の間に設ける。したがって、n 型チャネルはアンドープ GaAs 表面層の下に埋め込まれた構造となる。このような構造により、いくつかの異なるしきい値電圧をもつ FET を 1 チップ上に混載することが可能となる。また、すべての導電層を初めから選択的に形成するため、素子間の分離が容易にできるほか、プレーナ構造であることなど、MMIC の高集積化を容易にする条件を満たしている。

3 製造プロセス

イオン注入プロセスとエピタキシャルプロセスを組み合わせるにあたって、二つの技術課題がある。一つはイオン注入層の活性化熱処理時のエピタキシャル成長層とバルク界面の熱的安定性であり、もう一つは FET 間の素子分離特性である。

高性能な FET を得るためのセルフアラインプロセスでは、エピタキシャルによる GaAs 表面層を形成した後もソース・ドレイン領域の高濃度なイオン注入層の電気的活性化のための高温熱処理が必要となる。この際のイオン注入領域とエピタキシャル成長層界面の熱的安定性を、不純物 Si の拡散という観点で評価を行った。図 2 はこの界面付近の Si 原子の SIMS (二次イオン質量分析) プロファイルである。エピタキシャル成長は、MOVPE (Metal-Organic Vapor Phase Epitaxy) 法により膜厚 20 nm のアンドープ GaAs を 650°C で形成した。図中の実線はイオン注入後そのまま表面にエピタキシャル成長を行い、成長後に AsH_3 雰囲気中で 820°C 、20 分間のキャップレスアニールを施した試料のプロファイルである。このプロファイルではイオン注入層とエピタキシャル成長層界面における Si 原子のパイルアップが顕著である。これは、イオン注入によって生じた欠陥、さらにその影響を受けたエピタキシャル層中の欠陥に Si 原子が拡散したためと考えられる。図 2 中の破線で示したプロファイルは、イオン注入後に欠陥回復を目的とした熱処理

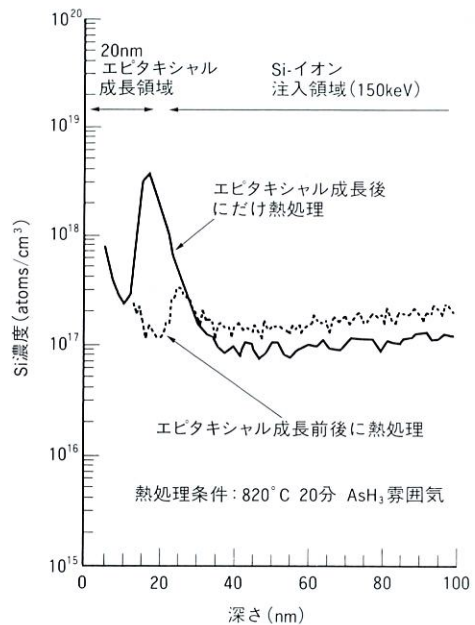


図 2. イオン注入層とエピタキシャル層の界面における Si 原子のプロファイル エピタキシャル成長前に熱処理を施すか否かで界面付近の Si の挙動が異なる。

Secondary ion mass spectroscopy (SIMS) profile of silicon atoms

を行った後に表面 GaAs 層を成長させ、さらにアニールを施した試料である。界面近傍のパイルアップは、エピタキシャル成長前にアニールをしない場合に比べて著しく低減されている。

一方、アニールされたエピタキシャル層の絶縁性は、MMIC の素子分離の点で重要な確認点となる。図 3 に $1.3 \mu\text{m}$ 離れた二つの n 型領域間の電流電圧特性を示す。この結果から、アンドープ GaAs エピタキシャル層 (20 nm) を流れるリーク電流は、半絶縁性基板を流れる電流と同程度であり、BC-

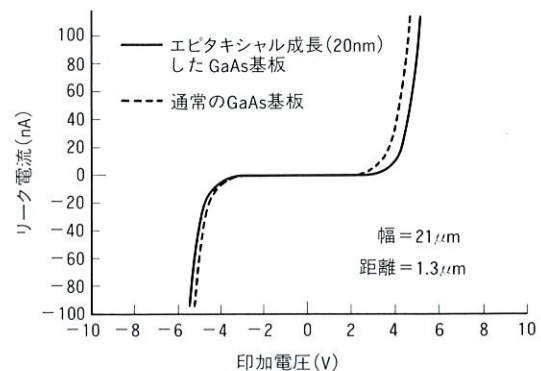


図 3. BC-MESFET の素子分離特性 BC-MESFET でも従来型 MESFET と同レベルの素子間の分離特性が得られている。

Leakage current of $21 \mu\text{m}$ -wide n-i-n structure as function of applied voltage

MESFETの素子分離は、そのための特別のプロセスを必要としないことがわかる。

図4にBC-MESFETの製造プロセスを順を追って示す。選択イオン注入によってn型チャネル領域とp型バッファ領域を形成した後、最初のアニールを行い、イオン注入によって導入された欠陥を取り除く(図4(a))。次に、アンドープGaAsエピタキシャル層をMOVPE法によって形成し(図4(b))、WN_x/Wゲート電極をGaAsエピタキシャル層

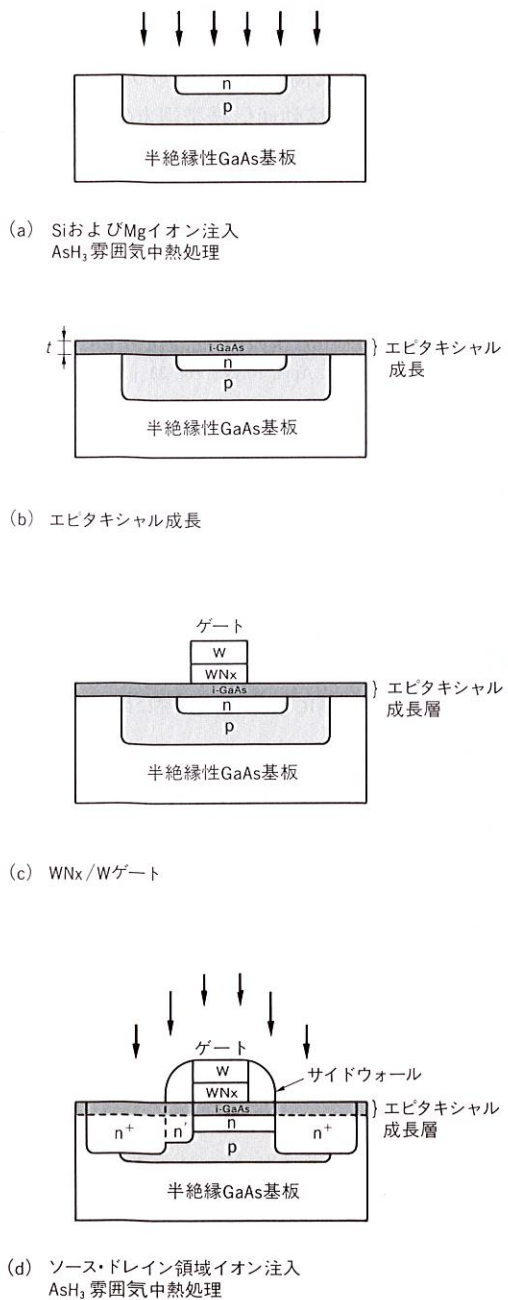


図4. BC-MESFETの製造プロセス 従来のセルフアラインMESFETプロセスのゲート電極形成前にi-GaAs層をエピタキシャル成長させている。

Process sequence of BC-MESFET

上に形成する(図4(c))。さらに、ゲート電極にセルフアラインでイオン注入し、ソース・ドレイン領域を形成するが、この際、ゲート電極側壁に形成したサイドウォールとレジストマスクによって、ドレイン側だけn⁺領域をゲート電極からサイドウォールの大きさだけオフセットして形成し、非対称構造を作る。その後、二度目のアニールを行い、これらのソース・ドレイン領域を電気的に活性化する。最後にオーミック電極を形成してBC-MESFETを試作した。

4 DC特性とAC特性

図5はBC-MESFETと従来型MESFETのゲート・ドレイン間ブレイクダウン電圧としきい値電圧の関係を示したものである。

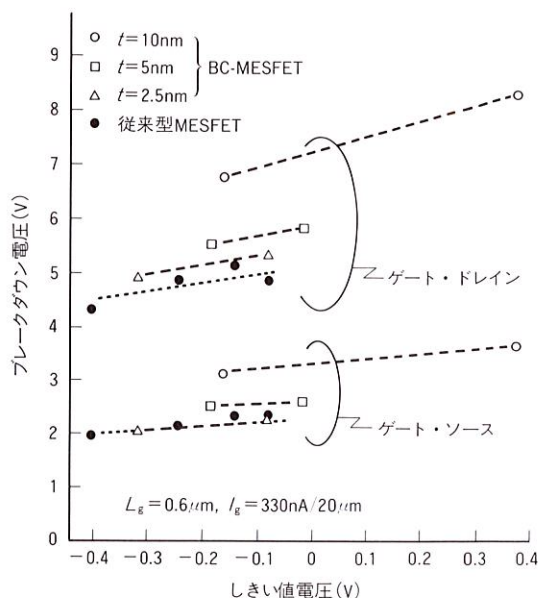


図5. ブレイクダウン電圧 従来型MESFETに対して、i-GaAs層を10nmとすることで約2Vブレイクダウン電圧が向上する。

Breakdown voltage vs. threshold voltage for several implantation doses

ブレイクダウン電圧は、ゲート幅20μmに対して330nA流れる電圧として定義した。アンドープGaAsエピタキシャル層の厚さを2.5nmから10nmまで変化させて、その効果を比較してみると、エピタキシャル層の厚さに応じてブレイクダウン電圧は増大していることがわかる。10nmのエピタキシャル層をもつBC-MESFETでは従来型MESFETと比較して約2Vの向上がみられる。これは、高濃度にドーパされたチャネル領域とゲート電極がアンドープGaAs表面層によって隔てられ、印加電圧の相当部分がこのアンドープ表面層に加わったためと考えられる。

図6は電流利得 h_{21} と最大単方向電流利得 G_{u-max} の周波数依存性を示したものである。

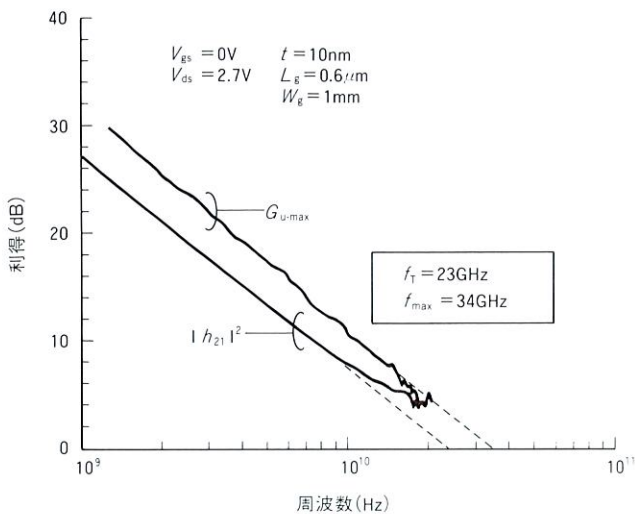


図6. 電流利得と最大単方向電力利得の周波数依存性 2~3 GHz レベルのMMICには十分対応できる素子性能であることがわかる。

Square of current gain $|h_{21}|^2$ and maximum unilateral gain G_{u-max} vs. frequency

評価したトランジスタは、ゲート長 $0.6 \mu\text{m}$ 、ゲート幅 1mm 、アンドープ GaAs 表面層の厚さ 10nm であり、ゲート電圧 0V 、ドレイン電圧 2.7V における S パラメータから算出した。これから外挿して得られる遮断周波数 f_T は 23GHz 、最高発振周波数 f_{max} は 34GHz である。これらの特性は、同サイズの従来型 MESFET と同程度であり、Lバンド用 MMIC の要求に十分こたえられるものといえる。

また、この BC-MESFET では $0.6 \mu\text{m}$ のゲート長で 57% の最大電力付加効率を得られ、従来型 FET に対して約 20% の向上がみられた。さらに、 12GHz で 1.43dB というきわめて優れたノイズ特性もある。

5 あとがき

一般的に IC の製造技術として広く使用されているイオン注入技術と、衛星放送用受信器などの個別半導体を中心に使用されているエピタキシャル技術を併用することによって、埋込みチャンネル型セルフアライン MESFET を開発した。イオン注入技術とエピタキシャル技術の長所を合わせもつこの FET は、高効率であることから低消費電力のパワーアンプとして期待でき、また、優れたノイズ特性から受信側 IC の基本素子としても有力である。さらに、高集積化の容易な構造、製造プロセスをもつことから、パワーアンプだけでなく、送受信スイッチ、受信部のローノイズアンプなどのデバイスを集約した高性能の 1 チップ送受信部 IC 実現が可能となる。今後も移動通信携帯端末のよりいっそうの小型・軽量化、長時間通信化を支える化合物半導体技術の研究を推進していく。

文献

- (1) K. Nishihori, et al: Jpn J. Appl. Phys., Vol. 34, p.1241 (1995)
- (2) B. Kim et al: IEEE Electron Device Lett., EDL-7 p.638 (1986)
- (3) M. Nagaoka, et al: Jpn. J. Appl. Phys., Vol. 33, p.767 (1994)



北浦 義昭 Yoshiaki Kitaura

研究開発センター ULSI 研究所研究主務。
GaAsIC のデバイス・プロセス技術開発に従事。応用物理学会会員。
ULSI Research Labs.



長岡 正見 Masami Nagaoka

研究開発センター ULSI 研究所研究主務。
高周波 GaAsIC の設計技術開発に従事。電子情報通信学会会員。
ULSI Research Labs.



西堀 一弥 Kazuya Nishihori

研究開発センター ULSI 研究所研究主務。
GaAsIC のデバイス・プロセス技術開発に従事。応用物理学会会員。
ULSI Research Labs.