

パストラジスタ論理ゲートは高速論理回路の要素技術として注目されている。われわれは、パストラジスタの解析から、パストラジスタ論理回路の最適化の方針作成を試みた。解析のポイントはパストラジスタへの入力信号のスロープに対する速度依存、ソースノードとゲートノードへの信号入カタイミングに対する速度依存、およびパストラジスタを駆動するバッファへの速度依存である。

これらの解析結果を基に、0.3 μm 3層配線 CMOS プロセスにより、32ビット ALU (演算ユニット) の設計、試作をした。ALU の最大遅延は 1.56 ns であり、サイズは 1 mm×0.38 mm、500 MHz 動作時の消費電力は 250 mW である。

The pass transistor logic circuit shows promise for application to high-speed circuits. We analyzed the pass transistor and attempted to identify guidelines for optimizing pass transistor logic circuits. The analysis points were the slope of the input signal to the pass transistor, the signal input timing for the source node and gate node, and the dependence on the driving buffer.

Based on these analysis results, we designed and fabricated a 32-bit arithmetic-logic unit (ALU) using a 0.3 μm, 3-metal-layer CMOS process. The maximum delay time of the ALU is 1.56 ns, the size is 1 mm x 0.38 mm, and the power dissipation at 500 MHz operation is 250 mW.

1 まえがき

パストラジスタ論理回路は、高速あるいは低消費電力な論理回路として注目されている。しかし、高速回路としてのパストラジスタの解析は十分されていない。

そこでわれわれは、パストラジスタを解析し、パストラジスタ論理を使用した回路の最適化の指標を求め、その最適化の指標を基に、500 MHz クラスの高速 32 ビット ALU を試作した。

ALU は演算結果 0 判定回路をもつ加減算器、バレルシフタ、論理演算ユニットから構成される。これらの演算は、1 ステージで演算を終了する。口絵に試作したテストチップを示す。

2 パストラジスタの解析

パストラジスタ論理回路が高速である要因の一つは、論理 1 段が、トランジスタ 1 段で済むことにある。通常の CMOS 回路では、インバータ以外ではトランジスタがシリアルになる個所が発生する。パストラジスタ論理ゲートの例として、DPL (Double Pass transistor Logic) ゲート⁽¹⁾を図 1 に示す。DPL は図と同様の構成で、AND, OR, XOR, XNOR もゲート 1 段で実現できる。また、2 入力どの組合せでも必ず二つのトランジスタが開くため、インピーダンスが小さいことも高速である要因となる。

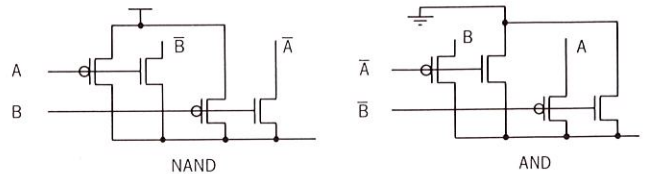


図 1. パストラジスタ論理回路例 同様の構成ですべての論理が実現できる。

Example of pass transistor logic gate

2.1 入力信号スロープ依存

パストラジスタはソースノードの電圧が変化するため、パストラジスタの特性は従来の CMOS 回路でのトランジスタと異なる。パストラジスタのソース・ゲート間電圧 (V_{gs}) は、 $-V_{dd}$ から $+V_{dd}$ まで変化する (V_{dd} : 供給電圧)。

簡易なショックレーモデルで、ソース電位固定のトランジスタと、パストラジスタの遅延差を見てみる。n チャネルトランジスタの回路方程式は式(1)となる。

$$\frac{\beta}{2}(V_{gs} - V_{th})^{\alpha} + C_L \frac{dV_{out}}{dt} = 0 \quad (1)$$

ここで、 V_{th} : スレシヨルド電位、 V_{out} : 出力ノードの電位
パストラジスタの V_{gs} の変化率は CMOS のその 2 倍である。そのため、CMOS ゲートの遅延時間 (τ_{cmos}) と、パストラジスタの遅延時間 (τ_{pass}) は入力信号の変化時間 (t_s) と式(1)から、おのおの式(2)および(3)で表される。

$$\tau_{\text{cmos}} = \frac{2 C_L V_{\text{th}}}{\beta} (V_{\text{dd}} - V_{\text{th}})^{-(\alpha+1)} - \frac{t_s}{(\alpha+1) V_{\text{dd}}} (V_{\text{dd}} - V_{\text{th}}) \quad (2)$$

$$\tau_{\text{pass}} = \frac{2 C_L V_{\text{th}}}{\beta} (V_{\text{dd}} - V_{\text{th}})^{-(\alpha+1)} - \frac{t_s}{2(\alpha+1) V_{\text{dd}}} (V_{\text{dd}} - V_{\text{th}}) \quad (3)$$

ここで、 C_L ：負荷容量

線形領域での回路の特性は論理と一致し、二つの回路の遅延時間差 $\Delta\tau(t_s)$ は式(4)となる。

$$\Delta\tau(t_s) = \tau_{\text{pass}} - \tau_{\text{cmos}} = \frac{t_s}{2(\alpha+1)} \left(1 - \frac{V_{\text{th}}}{V_{\text{dd}}}\right) \quad (4)$$

入力信号の変化時間が大きくなるほど、パストラジスタ回路には上述の遅延時間が追加される。そのため、入力信号の変化時間がある値以上になるとパストラジスタ論理回路が CMOS 論理回路よりも遅くなる。DPL 回路と CMOS 回路の遅延時間差のシミュレーション結果を図 2 に示す。“理論値”で示される線は、式(4)から得られる $\Delta\tau$ と t_s の傾きである。入力信号の変化時間が短くなるほど、DPL 回路は CMOS 回路よりも速くなることわかる。

この解析から、最適化の指針としては、パストラジスタ回路への入力信号の変化時間が 0.2 ns 以下になるように最適化した。 t_s が 0.2 ns から 0.8 ns の領域でも、DPL ゲートは CMOS ゲートよりも速いが、DPL は相補信号を作るために、より大きい面積を必要とするため配線長も長くなり、優位性がなくなってくる。

2.2 信号入力タイミングの依存性

次に、トランジスタのソースへの入力と、ゲートへの入力の入力タイミングに差がある場合を考える。同入力タイミングの差 (Δt) が変化した時、ゲート入力の変化から、出力変化までの遅延時間の、 $\Delta t = -\infty$ からの差 τ_d は、式(5)、(6)で表される。

$$(-t_s \leq \Delta t \leq 0)$$

$$\tau_d(\Delta t) = \frac{1}{(1+\alpha)(V_{\text{dd}} - V_{\text{th}})^\alpha} \left[\frac{t_s}{V_{\text{dd}}} (V_{\text{dd}} - V_{\text{th}})^{\alpha+1} - \left(\frac{V_{\text{dd}}}{t_s}\right)^\alpha \{(2\tau + |\Delta t|)^{\alpha+1} - 2^\alpha \tau^{\alpha+1}\} \right] \quad (5)$$

$$(0 \leq \Delta t \leq t_s)$$

$$\tau_d(\Delta t) = \frac{1}{(1+\alpha)(V_{\text{dd}} - V_{\text{th}})^\alpha} \left[\frac{t_s}{V_{\text{dd}}} (V_{\text{dd}} - V_{\text{th}})^{\alpha+1} - \left(\frac{V_{\text{dd}}}{t_s}\right)^\alpha \{(2\tau + |\Delta t|)^{\alpha+1} - 2^\alpha \tau^{\alpha+1}\} \right] + \Delta t \quad (6)$$

$$\tau(\Delta t) = \frac{V_{\text{dd}} \left(1 - \frac{|\Delta t|}{t_s}\right) - V_{\text{th}}}{2 V_{\text{dd}}} t_s \quad (7)$$

上式は、 $\Delta t = -\infty$ のとき、式(4)と一致する。

式から求められた値と、シミュレーションから得られた値を図 3 に示す。シミュレーション結果が論理式に一致しているのがわかる。

Δt が正の領域では、 τ_d は主に Δt の影響を受けるが、 Δt が $-t_s (= -0.2 \text{ ns})$ から 0 ns までは、 τ_d の増加分は、パストラジスタ論理回路の高速性で、隠ぺいできる程度に抑えられている。そのため、この領域を使用してもパストラジスタ論理は有用性があり、ソース入力信号の確定がゲート信号の確定よりも十分速い場合、ソース入力信号を生成する回路の設計の自由度が上がる。

2.3 パストラジスタセクタ

論理回路のさまざまな場所で使用されるパストラジスタ型のセクタも、パストラジスタ論理回路といえる。セクタへの被選択信号が、選択信号が変化しはじめる

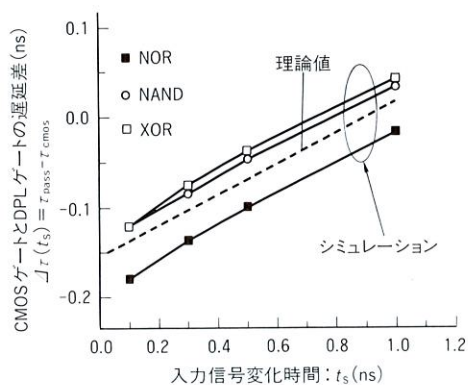


図 2. ゲート速度の入力信号スロープへの依存性 入力信号のスロープが大きくなると従来の CMOS ゲートの速度に近づくのがわかる。

Dependence of gate speed on slope of input signal

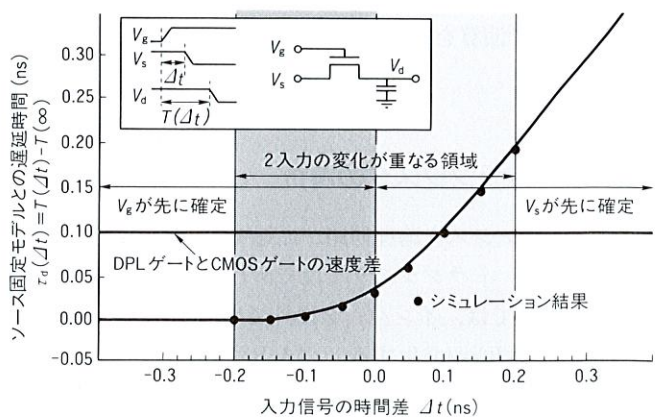


図 3. 入力信号タイミングによるゲート速度の依存性 誤差を考慮しても、 $-0.2 \text{ ns} < \Delta t < 0$ では、パストラジスタ論理ゲートの優位性が確保できる。

Dependence of gate speed on timing of input signal

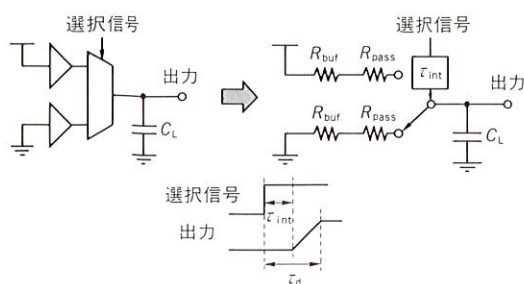


図4. パストラジスタセレクタの解析モデル パストラジスタセレクタをRCモデルで近似。

Analysis model of pass transistor selector

前に確定している場合、セレクタはRC遅延近似式でモデル化できる。解析モデルを図4に示す。

選択信号の変化から、出力が変化するまでの遅延時間(τ_d)は式(8)となる。

$$\begin{aligned} \tau_d &= \tau_{int} + C_L (R_{pass} + R_{buf}) \\ &= \tau_{int} + R_{pass} C_L \left(1 + \frac{R_{buf}}{R_{pass}} \right) \end{aligned} \quad (8)$$

ここで、 τ_{int} は、トランジスタのスイッチング速度からくる定数、 R_{pass} はセレクタ内の抵抗値、 R_{buf} は、セレクタをドライブするバッファのトランジスタの抵抗値、 C_L は出力負荷である。

式(8)から、全体の遅延時間が主に R_{buf} に影響を受けることがわかる。バッファサイズを変化させた場合の、セレクタの遅延時間をシミュレートし、実測値も上式と一致し、例えばバッファの抵抗が1/3になったとき、セレクタの速度は15%程度減少している。これらの結果から、DPLなどの出力インピーダンスが小さい回路は、パストラジスタ型セレクタをドライブするのに適していることがわかる。

上述の解析結果は、入力信号が固定の場合である。しかし、セレクタを最適化する場合、2.1節や2.2節で述べたように、入力信号の変化時間が最適化のポイントとなる。バッファのサイズを変えたり、あるいはバッファを挿入すると、入力信号の変化時間とインピーダンスは下がるが、入力信号の入力タイミングが遅くなる。特に、パストラジスタのソース信号とゲート信号の変化が重なる場合では、2.1節や2.2節で述べた結果を踏まえたうえで最適化を行う必要がある。

3 ALU の設計

一つの演算が1クロックで行えるか、2クロック必要とするかはマイクロプロセッサの性能を大きく左右し、特に基本的な演算を実行するALUが高速であることは大きな意味をもつ。そのため、前に述べた解析結果を用いた論理回路

のモチーフとしてALUを試作した。作成したALUは加算ユニット、バレルシフタ、論理演算器から成る。ALUの概要を表1に示す。

加算ユニットは32ビット加減算器、演算結果ゼロ検出回路、オーバフロー検出回路から成る。加減算器は桁(けた)上げ選択加算器で、桁上げ信号生成回路自体も図5に示すように二分木構造の桁上げ選択回路である。

表1. ALUの概要
Summary of ALU

プロセス	0.3 μm 3層アルミ配線 CMOS プロセス
供給電圧	3.3 V
ALU 面積	0.38 mm^2
機能	加減算/比較 論理/算術シフト NOT/AND/OR/XOR
最大遅延	1.56 ns
消費電力	250 mW (500 MHz 動作時)

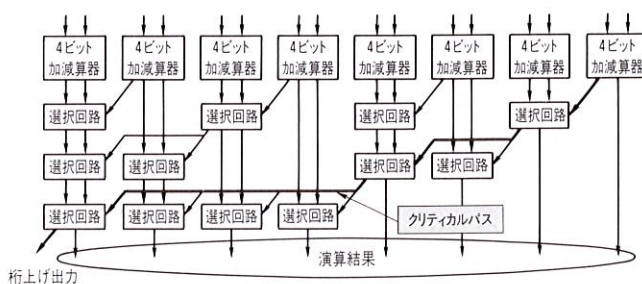


図5. 32ビット加算器の構成 木構造の桁上げ選択加算器。桁上げ信号が伝播するクリティカルパスがセレクタのチェーンとなる。

Configuration of 32-bit adder

選択回路はパストラジスタのセレクタで、図5に示したパスが加算器の最大遅延を生ずるクリティカルパスである。この経路はパストラジスタ型セレクタが直列接続される部分で、この回路の最適化には前述の解析結果が活用でき、高速化のため各ノードにバッファを挿入するか、あるいは低インピーダンスのDPLを使用するかを選択して最適化を行った。

図6に加算器のサブモジュールである4ビット加算ブロックのキャリー生成回路を示す。“DPL”と表記している部分は、ソース信号と選択信号がセレクタにほぼ同時に到達するため、ドライブインピーダンスを下げるためのバッファは挿入せずDPLを使用している。図6の“バッファ最適化”で示されるバッファのサイズは、ソース信号“A”と選択信号“B”がセレクタに到達するタイミングから、最適化を行っている。キャリー生成回路の上位の方では、下位からの選択信号が配線遅延などで遅くなるため、セレクタを

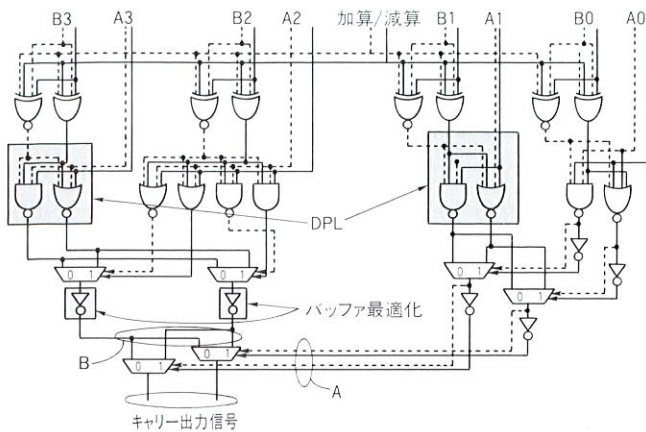


図6. 4ビットキャリー生成部回路 4ビット回路内部も木構造の桁上げ選択回路で構成している。網かけ部が主に解析結果を用いて最適化した部分。

4-bit carry generation circuit

ドライブするバッファはさらに大きくすることができる。

DPL ゲートは上述のとおり、バッファを挿入することなく、低インピーダンスを実現できるが、パストランジスタ論理回路をシリアルに接続していくと、パストランジスタの直列接続から、電圧降下により遅くなる場合がある。そのため特にキャリー選択回路の構成は、パストランジスタ直列の問題が発生しないように設計した。

加減算器がもっとも遅いのは、最下位ビットからのキャリー伝播(ば)パスがすべて変化する場合で、すべて1が立つデータと、0を加算(11..11+00..00)後、最下位ビットだけに1が立つデータから、最下位ビットに1が立つデータを減算する(00..001-00..001)場合である。この入力パターンのとき、シミュレーションでは1.56 ns、実測でも1.5 nsを観測することができた。この値は加減算器だけではなく、論理演算部、シフト部からの結果を選択する選択回路を通過する時間も含む。以上のような回路構成を用い、最適化を行うことで、加算器を約20%の高速化を行うことができた。

比較処理は、分岐制御のために必要な処理であり、このALUでは加減算処理により大小比較処理を行い、一致検出処理は、加減算器の中に、演算結果ゼロ判定回路を組み込むことで実現した。同回路は、加減算器と論理ゲートをできるだけ共用し、かつキャリー伝播を発生せず、加減算処理と並列に演算結果ゼロ判定を行えるようにした。

ゼロ判定は、まず各ビットごとに式(9)で示される部分的なゼロ判定信号 Z_n を生成する。“ A_n ”、“ B_n ”はそれぞれ下位から n ビット目の入力データである。

$$Z_n = (A_n \text{ XOR } B_n) \text{ XOR } (A_{n-1} \text{ OR } B_{n-1}) \quad (9)$$

$Z_n = "0"$ となる場合は二通りあり、一つは

$$\text{CASE 1: } (A_n \text{ XOR } B_n) = "0", (A_{n-1} \text{ OR } B_{n-1}) = "0"$$

となる場合で、 n ビット目の部分加算結果が0でありかつ下位からのキャリー伝播がない場合で、もう一つは

CASE 2: $(A_n \text{ XOR } B_n) = "1", (A_{n-1} \text{ OR } B_{n-1}) = "1"$ となる場合で、 n ビット目の部分加算結果が1でありかつ下位からのキャリー伝播がある可能性を示す場合である。これは、例えば1111...1111+0000...0001の演算で、結果が0となる場合である。

最後にすべてのビットの Z_n の論理和をとることで、演算結果ゼロ判定信号が生成される。

この回路は、最初のXOR回路、OR回路と全体のOR論理回路から構成されるが、初段のXOR回路とOR回路を加減算回路と共用することで、全体の面積を小さくしている。

パレルシフトもALUの大きな構成要素であるが、シフト回路はほとんどが配線と選択回路から構成される。そのため上述の解析結果を活用することにより、高速化、小面積化が行え、最大遅延1.23 nsの速度が達成できた。

加算器は、ALUのほか、各種アドレス計算部、乗除算器、浮動小数点演算器など、マイクロプロセッサの中で多数使用されており、加算器の高速化はマイクロプロセッサの性能向上に大きな意味をもつ。

また、シフト回路もそれ自体さまざまな部分で使用されるほか、長距離配線と選択回路の組合せは多数の回路で使用されるため、その最適化技術はマイクロプロセッサの高速化に活用できる。

4 あとがき

パストランジスタ論理回路は高速であるが、入力信号の劣化に弱く、また、二つの入力信号の入力タイミングにも性能が大きく依存することを説明した。また、これらの解析結果から、パストランジスタ論理回路を用いる場合の最適化の指針を示した。今後はこれらの指針を基に、さらに高速な論理回路を開発していく。

文献

- (1) M. Suzuki, et al: A 1.5ns 32b CMOS ALU in Double Pass-Transistor Logic, ISSCC DIGEST OF TECHNICAL PAPERS, pp.90-91 (1993)



吉田 尊 Takeshi Yoshida

マイクロエレクトロニクス技術研究所システムLSI技術研究所開発主務。
組込み用途向けマイクロプロセッサの開発に従事。
System ULSI Engineering Lab.



松原 玄宗 Genso Matsubara, D.Eng.

マイクロエレクトロニクス技術研究所システムLSI技術研究所、工博。
LSI回路基礎技術の研究に従事。情報処理学会会員。
System ULSI Engineering Lab.