

浜本 毅司  
T. Hamamoto

大脇 幸人  
Y. Oowaki

ギガビット DRAM を低コスト, 低消費電力で実現する技術について紹介する。デザインルールを変えずにセル面積を小さくする 6F<sup>2</sup>型メモリセル配置法, および十分な蓄積容量が得られるボトル型トレンチキャパシタ技術を採用することにより, 世界最小のセルサイズ (0.228 μm<sup>2</sup>) を実現した。また, ギガビット世代ではセルアレーの動作電圧が 1.5 V 以下になると予想されるが, これにより従来主流であったビット線を 1/2 V<sub>cc</sub> と中間電位にプリチャージする方式は読出し動作の点から限界を迎える。これに対し, ビット線対の半数を V<sub>cc</sub> に半数を V<sub>ss</sub> にプリチャージするハイブリッドプリチャージ方式により高速化と低消費電力化を両立させた。

This paper reports on basic technologies for realizing low-cost, low-power Gbit DRAMs. We have fabricated the world's smallest DRAM memory cell with a cell area of 0.228 μm<sup>2</sup>, incorporating a novel 6F<sup>2</sup> memory cell layout and a bottle-shaped trench cell design. In the Gbit DRAM generation cell array, the operating voltage is estimated to be below 1.5 V. The conventional half-V<sub>cc</sub> bit-line precharging method reaches a limit due to difficulty in performing read operations at such a low operating voltage. Our new V<sub>cc</sub>/V<sub>ss</sub> hybrid bit-line precharging method can achieve high-speed stable sensing operation while supporting low power consumption.

### 1 まえがき

これまでの DRAM は, 最小設計寸法の縮小とチップ面積の増大により高集積化されてきた。しかし, 微細加工技術および新規プロセス技術の導入による設備投資の増加や, 大チップ化によるグロスの減少によって, 1 G ビットの世代では経済的破綻(たん)が指摘されている。当社は, メモリセル面積を従来の 75 % に縮小する新しいセル配置法と工程数を増やすことなく蓄積容量を増加させるキャパシタ構造を開発し, これらの技術を用いて 1 G ビット DRAM を低コストで実現可能なサイズ (0.228 μm<sup>2</sup>) のトレンチ型メモリセルを試作した。

また, ギガビット世代では電源電圧が低下し従来の中間電位プリチャージ方式に基づいたデータ読出し方式は限界を迎える。これに対し, 新しいハイブリッドプリチャージを用いた読出し方式を開発した。

ここでは, こうした転換期を迎えた DRAM に対して開発された新しい技術に関して紹介する。

### 2 新しいメモリセル技術

#### 2.1 6F<sup>2</sup>型セル配置

DRAM のメモリセルは, 電荷を蓄積するためのキャパシタとこの信号電荷を読出し/書き込みするための MOS 型電界効果トランジスタ (FET) から構成されている。新たに開発

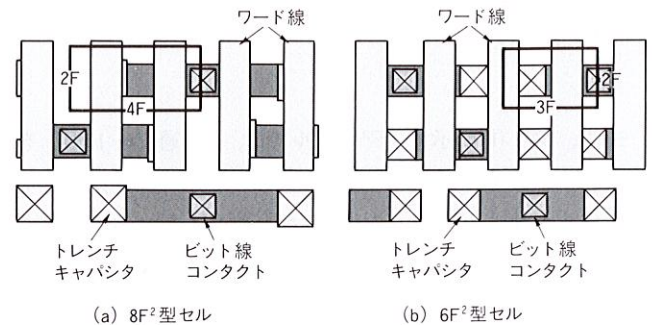


図1. 8F<sup>2</sup>型セルおよび6F<sup>2</sup>型セルの平面図 6F<sup>2</sup>型にすることで, 8F<sup>2</sup>型に比較して75%のセル面積にすることができる。

Cell layout of 8F<sup>2</sup> cell and 6F<sup>2</sup> cell

した 6F<sup>2</sup>型セル<sup>(1)</sup>は, これらの構成要素を形成するための最小設計寸法を縮小することなくセル面積を縮小するセル配置法である。図1に従来の 8F<sup>2</sup>型セルと新開発の 6F<sup>2</sup>型セルの平面図を示す。ここで, F (Feature size) とは最小設計寸法を意味する。“8F<sup>2</sup>”型とは, 理想的なメモリセル面積が, この最小設計寸法 F を用いると 8F<sup>2</sup>の大きさとなるセル構造のメモリセルのことである。一方, 新たに開発したメモリセルの面積は 6F<sup>2</sup>で表されるため, 従来の 8F<sup>2</sup>に比較すると, 6F<sup>2</sup>/8F<sup>2</sup>=0.75 となる。これは, 同じ最小設計寸法を用いながらメモリセル面積が75%に縮小可能なことを意味する。

このメモリセル面積の縮小は, メモリセル当たりのワード線の本数を減らすことにより, ビット線方向のメモリセル

の長さを縮小することが可能となったため達成された。図1(a)に示す従来の $8F^2$ 型セルでは、一つのメモリセル当たり2本のワード線が存在する。そのうちの一方はMOS型FETのゲート電極となっているのに対して、他方は“通過ワード線”と称し、単にセル内を通過している。これは、従来のメモリセルは図2(a)の配置図に示すフォールディッド型のビット線配置を採用しているためである。同図でセンスアンプから伸びている横線がビット線を、交差している縦線がワード線を、交点に配置されている白丸がメモリセルを示す。

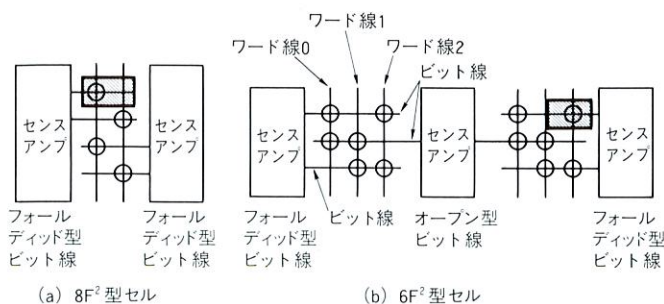


図2.  $8F^2$ 型セルおよび $6F^2$ 型セルの配置  $6F^2$ 型セルでは、オープン/フォールディッド型配置を採用することにより1セル当たりのワード線数を1.5本にすることができる。

Core layout of  $8F^2$  cell and  $6F^2$  cell

一方、図1(b)に示す $6F^2$ 型セルでは、“通過ワード線”を隣のセルと共有することにより一つのセル当たりのワード線数は1.5本となる。これはオープン/フォールディッド型と称する新たなビット線の配置法を採用したため可能となった。図2(b)にこの配置法を示す。オープン/フォールディッド型配置では三つのセンスアンプが組となっており、それぞれフォールディッド型、オープン型、フォールディッド型となっている。一つのセル当たりのワード線数に注目すると、従来の2本が1.5本に減少しているようすがわかる。また、微細化したセルアレーではビット線間相互の結合容量がデータ読出し時のノイズ発生源となるが、この配置法では2本のビット線の間中央のセンスアンプに接続されるビット線が挿入されているため、これがシールド効果をもち従来配置法と比べノイズを大幅に低減できる。

## 2.2 ボトル型トレンチキャパシタ

DRAMのメモリセルは、信号電荷をキャパシタに記憶する。DRAMの世代が進みメモリセル面積が縮小されるに伴い、キャパシタに用いることが可能な平面積も縮小される。しかし、ソフトウェアエラーに対する耐性などを確保するために、蓄積容量は一定に保つ必要がある。ギガビット世代において十分な蓄積容量を実現できる構造としてボトル型トレンチキャパシタ<sup>(2)</sup>を開発した。

このメモリセル構造を図3に示す。キャパシタの基本構造は基板プレート型のトレンチキャパシタである。プレート電極は基板に形成されたn型ウェルである。トレンチ内部には蓄積電極となる多結晶シリコンが埋め込まれている。キャパシタ絶縁膜にはシリコン窒化膜/シリコン酸化膜の2層膜を採用した。以上の3要素(プレート電極、絶縁膜、蓄積電極)でキャパシタは構成される。工程数を増やすことなく、蓄積容量を増やす構造としてボトル型トレンチキャパシタを開発した。蓄積容量はトレンチの表面積に比例するため、キャパシタとして働くトレンチ下部の直径を増やすことにより蓄積容量を増大させる構造である。

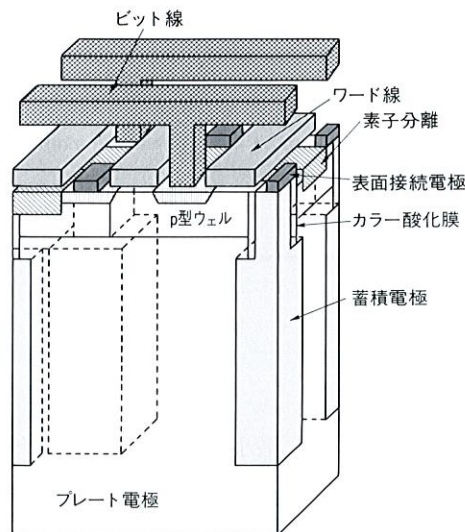


図3. ボトル型トレンチキャパシタの構造 プレート電極、絶縁膜、蓄積電極の3要素で構成されるボトル型基板プレートキャパシタを採用した $6F^2$ 型メモリセル。

Structure of bottle-shaped trench capacitor

トレンチ上部には、トレンチ内に埋め込んだ蓄積電極とトランジスタのn型拡散層の接続部を形成するため、直径の拡大は必要がない。図4にボトル型に加工したトレンチのSEM写真を示す。この構造を採用することにより、従来の基板プレート型トレンチキャパシタに比較して最大で50%の蓄積容量の増大が可能である。

## 3 1Gビット用メモリセルの試作

$6F^2$ 型セル配置およびボトル型トレンチセルを用いて、1Gビット用メモリセルを試作した。図5に素子領域形成後のメモリセルのSEM写真を示す。素子領域以外のシリコン基板は素子分離領域とするために、 $0.2\mu\text{m}$ 深さに掘り込んだ状態である。1セル当たりのビット線方向の長さ(写真に

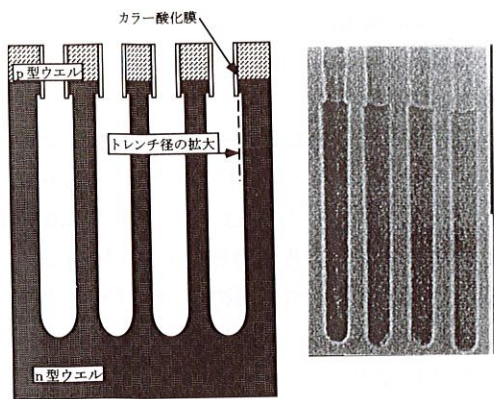


図4. トレンチをボトル型にした断面 CDE (Chemical Dry Etching) によりトレンチ内をエッチングすることでボトル型を実現した。  
Cross-sectional view after bottle-shape fabrication

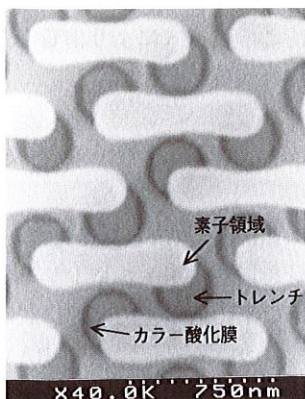


図5. 1Gビット用メモリセルの平面 1Gビット用メモリセルの素子領域作成後の平面SEM写真。  
Top view of memory cell for 1 Gbit DRAM after formation of active area

おける横方向)は $0.57\mu\text{m}$ 、ワード線方向(写真における縦方向)は $0.40\mu\text{m}$ である。最小設計寸法は $0.18\mu\text{m}$ である。信号電荷を蓄えるトレンチキャパシタの形成はすでに終了しており、その上部を見ることができる。

トレンチの直径は $0.21\mu\text{m}$ である。トレンチ内部には寄生トランジスタを防ぐためのカラー酸化膜が存在するのがわかる。図6にビット線形成後の断面SEM写真を示す。ビット線に沿った方向の断面を示した。隣のセルとの境界部には通過ワード線が存在する。

これは通過ワード線数が1セル当たり0.5本である $6F^2$ セル特有の構造である。従来の $8F^2$ 型セルにおいては、この素子分離領域上を2本通過していた。また、シリコン基板表面から伸びる黒い線状の領域はセルのp型ウェルよりも深く $0.7\mu\text{m}$ まで形成され、プレート電極であるn型ウェルとセルトランジスタのn型拡散層との間の寄生トランジスタを防止している。トレンチキャパシタは、このカラー酸化

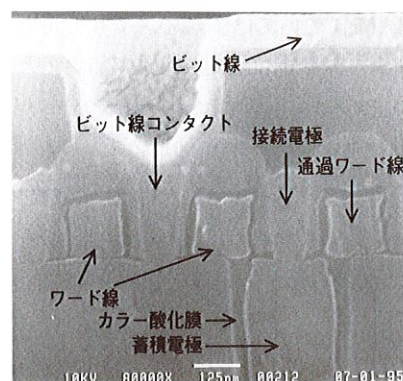


図6. 1Gビット用メモリセルの断面 1Gビット用メモリセルのビット線形成後の断面SEM写真。  
Cross-sectional view of memory cell for 1 Gbit DRAM after formation of bit line

膜に囲まれた領域の下方に形成されている。

このセル構造を採用したことで、1GビットDRAMを低コストで実現可能なメモリセルサイズ( $0.228\mu\text{m}^2$ )を実現することができた。

#### 4 回路技術

DRAMは、世代が進むごとにそれを構成するトランジスタが微細化され、印加する電圧を下げなければ電流を流すトランジスタのチャネル部分での電界が高くなりすぎてしまい素子の信頼性が保てなくなる。図7に世代ごとの典型的な外部および内部電源電圧を示す。DRAMでは外部電源を降圧して内部電源を作っているが、この内部電源の電圧で実際チップが動作する。

図からわかるように、ギガビット世代では動作電圧が1.5V程度あるいはそれ以下になることが予想される。さらに、

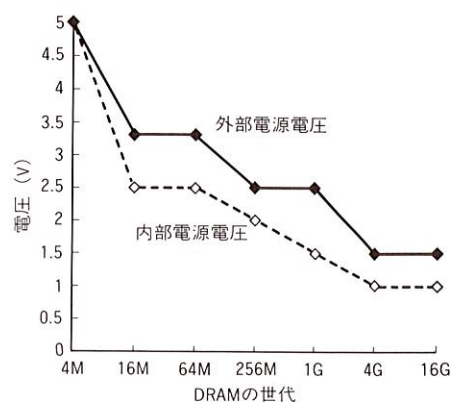


図7. DRAMの電源電圧の推移 DRAM世代ごとの代表的な電源電圧および降圧後のチップ内部電圧の推移である。実際にデバイスが動作する電圧はこの内部電圧である。

Trends in supply voltage

従来から DRAM においては多数のメモリセルを接続するビット線のプリチャージ電位を電源電位の  $1/2$  とし、消費電力を低減する  $1/2 V_{cc}$  プリチャージ方式が用いられていた。この方式を用いるとビット線での消費電力は、電源電位  $V_{cc}$  までビット線を充電する  $V_{cc}$  プリチャージ方式の  $1/2$  となる

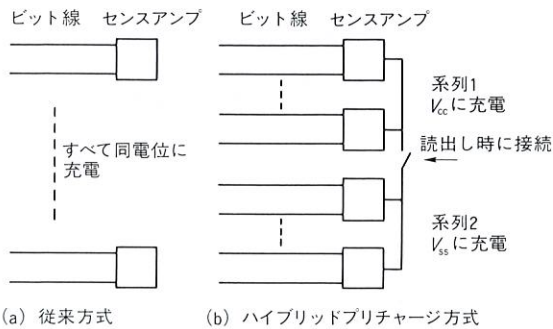


図8. ビット線ハイブリッドプリチャージ方式 セルアレーを2系統としビット線のプリチャージ電位を  $V_{cc}$  および  $V_{ss}$  としている。  
 $V_{cc}/V_{ss}$  hybrid precharging method

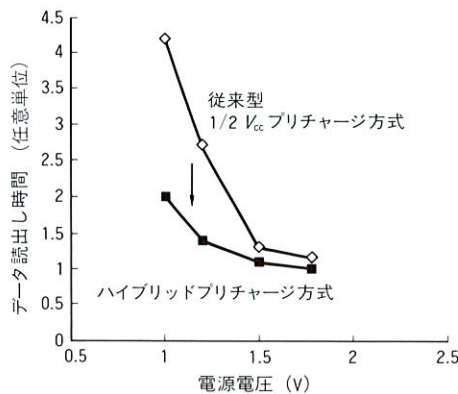


図9. 読出し速度電源電圧依存性 従来方式と比較し新方式は低電圧で読出し速度が大幅に向上している。  
Comparison of sensing speeds

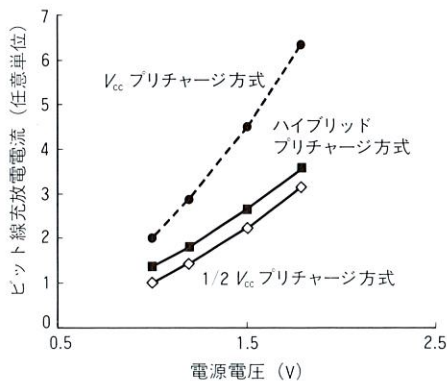


図10. ビット線充放電による消費電力の比較 新方式では  $V_{cc}$  プリチャージ方式と比較し約  $1/2$  に消費電力を抑えている。  
Bit-line charge/discharge power consumption

が、 $1.5 V$  まで電源電位が下がると読出しトランジスタのゲートソース電圧が十分にとれず、急激にセル情報の読出し速度が低下してしまう。

今回、われわれは読出し速度を高速に保ちながら消費電力の小さい  $V_{cc}/V_{ss}$  ハイブリッドプリチャージ方式を開発した<sup>(3)</sup>。この方式は、図8に示すように、2系列に配置した読出し用センスアンプに2系統のビット線を接続し、ビット線のプリチャージ電位をおおの  $V_{cc}$  および  $V_{ss}$  とする方式である。図9に示すように、読出しトランジスタへの印加電圧が従来の  $1/2 V_{cc}$  プリチャージ方式の2倍となるため低い電源電圧でも高速に動作する。一方、消費電力は読出し時にいったん  $V_{cc}$  にプリチャージしたビット線用の読出し用センスアンプのソース線と  $V_{ss}$  にプリチャージしたビット線用の読出し用センスアンプのソース線を接続し、ビット線間で電荷の再利用を行うため、図10に示すように  $V_{cc}$  プリチャージ方式の  $1/2$  近くまで消費電流を低減することが可能となる。今回、この新方式により消費電力を抑えてかつ高速な読出し動作を実現した。

## 5 あとがき

ギガビット DRAM を低コストで実現する  $6F^2$  型メモリセル配置、蓄積容量を増やすボトル型トレンチキャパシタ構造、および  $1.5 V$  以下の低電圧で高速に読出し動作する低消費電力回路技術について紹介した。DRAM は、集積度が上がり微細化が進むにつれ必要となる技術はより高度なものとなっていく。今後、さらに研究開発を行い、 $1 G$  ビット以降の低コスト、高速、低消費電力の DRAM の実現を目標していく。

## 文 献

- (1) D. Takashima, et al: Open/Folded Bit-Line Arrangement for Ultra-High-Density DRAM's, IEEE J. Solid-State Circuits, 29, 4, pp.539-542 (1994)
- (2) T. Ozaki, et al:  $0.228\mu m^2$  Trench Cell Technologies with Bottle-Shaped Capacitor for 1 Gbit DRAMs, IEEE International Electron Devices Meeting Technical Digest, pp.661-664 (1995)
- (3) H. Nakano, et al: A Dual Layer Bitline DRAM array with  $V_{cc}/V_{ss}$  Hybrid Precharge for Multi-gigabit DRAMs, VLSI Circuit Symposium Digest of Technical Papers, Session 18.1 (1996)



浜本 毅司 Takeshi Hamamoto

マイクロエレクトロニクス技術研究所デバイス技術研究所  
主査。高密度 DRAM の研究開発に従事。日本応用物理学  
学会、IEEE 会員。  
ULSI Device Engineering Lab.



大脇 幸人 Yukihito Oowaki

研究開発センター ULSI 研究所主任研究員。  
LSI の研究開発に従事。  
ULSI Research Labs.