

21 世紀の“ギガビット世代”に向けての ULSI の進展を支える基盤技術の動向を概観する。微細化を支える微細加工技術に関しては、従来の KrF エキシマレーザに位相シフト技術を導入する、あるいはさらに短波長の ArF エキシマレーザの導入が必須(す)となる。もっとも大容量化の進んでいる DRAM では、ローコストでギガビットの大容量を実現するため、新たなメモリセル配置法などの導入が必要となる。ULSI の低消費電力化を旨とし、電源電圧の大幅低減に対応できる新たなデバイス、設計技術の開発が進められている。21 世紀には“ギガビット世代”の ULSI の出現により、携帯情報端末などの ULSI の新たな用途が広がっていく。

This paper outlines future trends in ULSI basic technologies toward the “gigabit era” of the 21st century. New lithography such as the phase-shift mask or the ArF excimer laser will be necessary to achieve the gigabit ULSI. A new memory cell layout method has been developed for realizing low-cost gigabit DRAMs, and novel device and circuit technologies for lower power supply voltage enable ultra-low-power ULSIs to be realized.

These basic technologies will lead to the application of gigabit ULSIs in new market sectors such as personal digital assistants.

## 1 まえがき

ULSI はスケーリング則に従って素子を微細化することにより、着実に大容量化、高速化、低消費電力化が進められてきた。3 年おきに素子が約 0.7 倍に微細化されるにつれて、DRAM などのメモリ容量は 4 倍になり、マイクロプロセッサの動作速度は 2 倍以上になっている。このまま微細化が進められれば、21 世紀の初頭には 0.15~0.18  $\mu\text{m}$  の最小設計ルールを用いた 1 G ビット DRAM、1 GIPS (Giga Instructions Per Second) (1,000 MIPS (Million Instructions Per Second)) の処理性能をもつマイクロプロセッサが実現されると予想される。

記憶容量、処理速度ともに“ギガ”に達するいわゆる“ギガビット世代”には、従来のパソコンだけでなく携帯情報端末などの ULSI の新たな用途が開け、高速特性と大容量を兼ね備えた新たなシステムオンシリコンが登場することが期待される。ギガビットのメモリと GIPS の処理能力をもつプロセッサを搭載した携帯情報端末を用いて、動画像情報をリアルタイムで処理することも夢ではなくなる。しかしながらこの微細化による大容量化、性能向上というトレンドを維持していくためには、従来以上に厳しい技術上の課題を克服しなければならない。簡単な技術的な改良ではこの課題は克服できず、より基本的な基盤技術のブレークスルーが必要となっている。

以下、このトレンドを実現していくうえでの問題点、こ

れを克服するために必要不可欠な基盤技術開発の動向について述べる。

## 2 微細化

ULSI を微細化するうえでもっとも重要なコア技術は、微細なパターンを Si ウェーハ上に形成するための微細加工技術である。0.25  $\mu\text{m}$  ルールを用いた 256 M ビット DRAM で使用される KrF エキシマレーザ露光装置(波長 248 nm)では、ギガビット世代に必要な 0.15~0.18  $\mu\text{m}$  ルールを実現することは難しい。この技術的課題を解決するため、光の波長以下の解像度を実現し得る位相シフト法に代表される超解像度技術や、より短波長(193 nm)の ArF エキシマレーザ露光装置の導入が必須となる。位相シフト法に関しては、設計パターンによってパターンの特徴をとらえた幾種類かの方式が開発されている。さらに先の世代ではもっと短波長の X 線を必要とすると予想され、その基礎技術開発が進められている。微細加工技術を実現するためには、リソグラフィ技術以外にもマスク描画技術、検査技術の改善が必要とされる。

微細加工技術と同様に重要な、トランジスタに代表される素子形成技術に関しても解決すべき課題は多い。微細化によりトランジスタの性能を上げるためには、トランジスタの寄生抵抗を低減することが重要となる。またこの世代になると、単に素子性能を上げるだけでなく、トランジス

タのゲート絶縁膜破壊に代表される素子の信頼性、素子のしきい値ばらつき増大に代表される ULSI の歩留り低下問題にも十分留意する必要がある。ゲート絶縁膜の信頼性に関しては、従来の経験的なプロセス改良法では不十分であり、シリコン酸化膜の絶縁破壊モデルに基づいた本質的な対策が必要不可欠となる。この対策はトランジスタのゲート絶縁膜だけでなく、DRAM のキャパシタやフラッシュメモリの浮遊ゲートなどの信頼性を確保するうえでも非常に有効である。素子のしきい値ばらつきに関しては、従来は無視できたトランジスタのチャネル部の濃度ばらつきを考慮する必要が出てくる。さらに先の世代では、ULSI 内に動作しないトランジスタが一部存在しても、全体は正常動作するように新たな歩留り改善用のシステム導入が必要になる可能性が強い。

### 3 大容量化

1 個のトランジスタとキャパシタで 1 個の情報記憶用メモリセルが形成される DRAM は、メモリセル構造が簡単なためメモリ素子の中でもっとも大容量化が進められ、21 世紀初頭には 1 G ビットの実現が予想されている。大容量化を実現するために必須となるのが素子の微細化であり、これにより過去 1 世代ごとに記憶容量は 4 倍に増加できるにもかかわらず、チップ面積増はわずか 1.5 倍程度に抑えられている。その結果、1 世代進むと最終的なチップコストは 2 倍近くなるものの、1 ビット当たりのコストは 1/2 弱に低減でき、大容量化に伴ない機能当たりのコストは着実に低減されてきた。

従来はこのメリットが注目されていたが、ギガビットレベルになるとチップコストや製造設備投資の増大がさらに大きな問題となる。チップコストが高くなりすぎると、ギガビット DRAM を各個人がもつ携帯情報端末などの民生機器に搭載することは難しくなる。この問題を解決するためには、世代交替に伴うチップ面積の増加を 1.5 倍以下に抑える新たなデバイス、設計技術が必須となるであろう。隣接するメモリセルでそれらを選択するためのワード線を共有する新しいメモリセルの配置方式 (図 1)<sup>(1)</sup> はその一例である。この配置法を使用すれば従来方式と比較してメモリセル面積を約 75 % に低減できる。その結果、最小設計ルールをさらに微細化することなく世代交替に伴うチップ面積の増加を 1.2 倍程度と従来に比べ小さく抑えることができる。

ギガビット世代になると、メモリセル内の電荷を蓄積するためのキャパシタ形成にも新たなブレークスルーが必要となろう。微細なキャパシタ部分に DRAM を安定動作させるための十分な電荷を蓄積するためには、従来のトレンチ型あるいはスタック型をさらに改良した三次元的なキャ

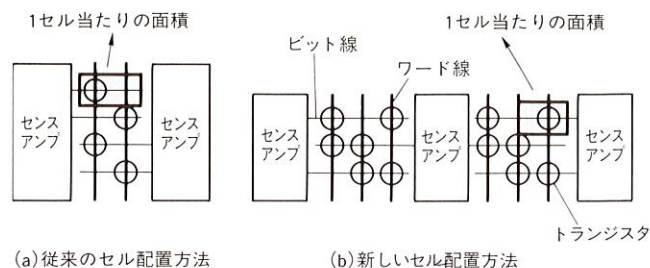


図 1. 新しいメモリセル配置方式 隣接するメモリセルでワード線を共有することにより従来方式の 75 % のセル面積を実現できる。  
Newly developed memory cell layout method

パシタ構造が必要となる。

### 4 低消費電力化

素子を微細化すると素子 1 個当たりの消費電力を低減できる。これが微細化による低消費電力化につながるが、大容量化に伴い 1 チップ上に多数の素子が集積化できるようになったため、チップ全体の消費電力はむしろ増加している。

この傾向のまま 1 GIPS の処理能力をもつ高速なマイクロプロセッサが実現されると、その消費電力は数十～数百 W にまで達してしまうという問題がある。この問題を解決するために、ロジックを構成する CMOS の消費電力の支配要因である負荷容量充放電電流を低減する必要がある。充放電電流は負荷容量や動作速度に比例するが、電源電圧にはその二乗に比例するため、電源電圧を下げることで低消費電力化にもっとも効果的である (図 2)。ただし、トランジスタの設計を変更せずに低電圧化すると、速度が低下する

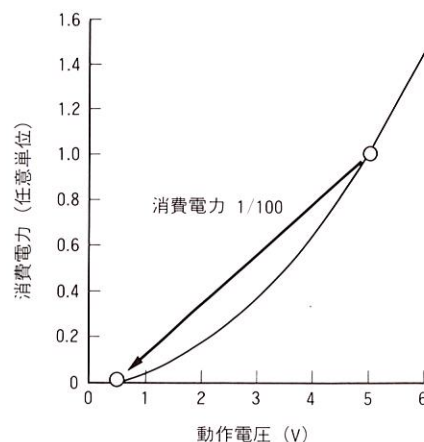
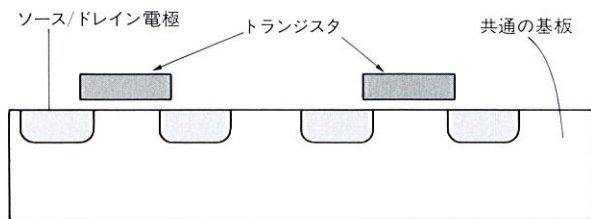


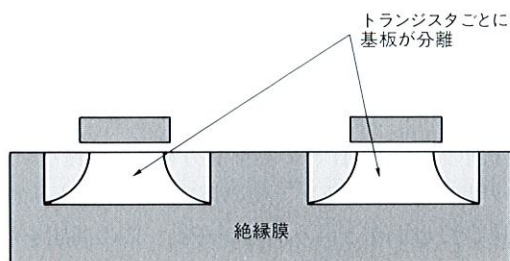
図 2. 電源電圧の低減による低消費電力化 消費電力は電源電圧の二乗に比例するため、低電圧化により大幅な電力削減ができる。  
Reduction of power dissipation by lower supply voltage

新たな問題が発生する。低電圧化と高速特性を両立させるためには、例えばトランジスタが動作時に低しきい値、待機時に高めのしきい値をとるように基板電位をトランジスタごとにコントロールする手法が有効である<sup>(2)</sup>。

基板電位を素子ごとにコントロールするためには、従来のように共通基板上ではなく、絶縁膜を用いて絶縁分離された基板に、個々のトランジスタを形成する新技術(図3)が必要となる。この技術を用いれば、従来と同等の特性を



(a) 従来技術



(b) 新技術

図3. 低消費電力化のための新しいデバイス技術 新デバイス技術によりトランジスタごとに基板を絶縁膜で分離し、低消費電力化を実現している。

Newly developed device technology for low-power operation

1/100~1/10の消費電力で実現できる。今後、高性能な携帯機器の出現が望まれることから、低消費電力化のための電源電圧の低下は従来のトレンド以上に加速されると予想される。

## 5 あとがき

21世紀の“ギガビット世代”に向け、スケーリング則による微細化、大容量化、低消費電力化に伴う技術的課題、およびそれを解決するためのULSI基盤技術動向について概説した。

これらの基盤技術を用いた“ギガビット世代”のULSIの実現により次世代の携帯情報端末などの新たな市場が開拓され、それが世の中を大きく変えていく可能性が高い。21世紀の社会インフラを新たに創造していくための牽引車はULSIの基盤技術であるという認識のもとに、今後も研究開発に注力したい。

## 文献

- (1) D. Takashima, et al: Open/folded bit-line arrangement for ultra high-density DRAMs, in VLSI circuits Dig. Tech. Papers, pp.89-90 (1993)
- (2) T. Fuse, et al: 0.5V SOI CMOS pass-gate logic, ISSCC Dig. of Tech. Papers, pp.88-89 (1995)



渡辺 重佳 Shigeyoshi Watanabe

研究開発センター ULSI 研究所主任研究員。  
DRAMなどのULSIメモリ技術開発に従事。電子情報通信学会会員。  
ULSI Research Labs.