

40 Gbps 超高速光通信用ヘテロ接合バイポーラトランジスタ

AlGaAs/GaAs HBTs for 40 Gbps Optical Transmission Systems

杉山 亨
T. Sugiyama

栗山 保彦
Y. Kuriyama

森塚 宏平
K. Morizuka

次世代超高速素子として開発を進めている AlGaAs/GaAs ヘテロ接合バイポーラトランジスタ (HBT: Heterojunction Bipolar Transistor) は、アナログ、デジタルいずれの IC の分野においても、超高速システムで重要な役割を果たす。今回、超高速 AlGaAs/GaAs HBT の高周波特性を大幅に向上させることに成功し、光通信システムのキーコンポーネントである D 型フリップフロップ IC と、ダーリントン帰還型増幅器において、伝送レート 40 Gbps の高速動作を実現した。

AlGaAs/GaAs heterojunction bipolar transistors (HBTs) play an important role in both analog and digital circuits for high-speed optical transmission systems.

This paper reports on ultrahigh-speed AlGaAs/GaAs HBTs that can be applied to the fabrication of D-type flip-flop circuits and Darlington amplifiers for use in 40 Gbps optical transmission systems.

1 まえがき

超高速・大容量通信システムが必要とされる幹線系では、10 Gbps の伝送容量をもつ通信システムが実用段階を迎えている。しかし、近年のマルチメディアの急速な進展に伴い、さらに大容量の光通信システムが求められている。この要求にこたえるには電子デバイス的高速性能をさらに上げ、20~40 Gbps で動作する SSI (小規模集積回路) クラスのデジタルおよびアナログ IC が必要不可欠である。従来、この分野で用いられている Si バイポーラトランジスタや GaAs MESFET (MES 型電界効果トランジスタ) では、10 Gbps を超える動作速度の IC も報告されているが⁽¹⁾、20 Gbps を超える報告例はほとんどない。

一方、AlGaAs/GaAs HBT は化合物半導体の高速性とバイポーラトランジスタの高駆動能力を備えており、次世代の超高速 IC として非常に有望視されてきた⁽²⁾。このような背景の下、当社は 40 Gbps 以上の伝送ビットレートの領域をねらった HBT IC として D 型フリップフロップ IC (図 1) とダーリントン帰還型増幅器を開発した。40 Gbps という超高速 IC を実現するために、HBT の高速性能を十分向上させるとともに、IC の種類に応じてトランジスタレベルでの素子設計を行った。

2 AlGaAs/GaAs HBT

前述のように 40 Gbps を超える超高速 IC を実現するためには、IC の種類に応じてトランジスタレベルでの素子設計が必要である。これは、光通信用の高速信号処理部の主要

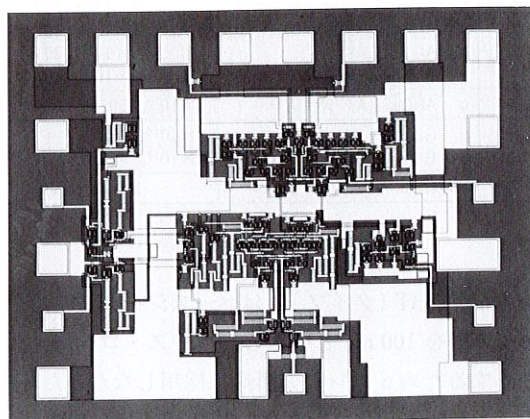


図 1. D 型フリップフロップ IC チップ セレクタ部(上), D 型フリップフロップ部(下), チップサイズ 0.9×1.2 mm²
Microphotograph of D-type flip-flop IC

構成要素であるデジタル IC とアナログ IC とでは、素子に対する要求がそれぞれ異なるからである。

バイポーラトランジスタの高速性能の性能指数には、遮断周波数 f_T ((1)式) と最大発振周波数 f_{max} ((2)式) がある。前者はトランジスタのスイッチング速度に大きく作用し、後者は高周波領域でのトランジスタの電力利得ゲインを決める。

$$f_T = 1 / (2 \pi \tau_{ec}) \quad (1)$$

τ_{ec} : エミッタ・コレクタ間の電子の走行時間

$$f_{max} = \{f_T / (8 \pi R_b \cdot C_{bc})\}^{1/2} \quad (2)$$

R_b : ベース抵抗

C_{bc} : ベース・コレクタ間容量

高速素子としては f_T と f_{max} の両方が大きいことが望ましいが、両者にはトレードオフの関係があり、今回のように 40 Gbps を超える動作速度をねらう場合には、IC に対する素子構造の最適化が必要である。今回試作した D 型フリップフロップには f_T が高いタイプの HBT (タイプ A) を使い、ダーリントン帰還型増幅器には f_{max} が高いタイプの HBT (タイプ B) を用いた。

次に HBT の高速化技術について述べる。 f_T が高い HBT (タイプ A) では、今回の開発のポイントである電子の素子内走行時間を短縮するため、ベースを 50 nm まで薄くし、さらにコレクタ中を走行する電子の速度を高めるため、当社の独自技術であるコレクタ層に p 型層を導入する p コレクタ構造を採用した (表 1)。

表 1. 分子線エピタキシャル法により形成した HBT 層構造
Layer structure of MBE-grown wafer for HBTs

層	材 料	濃度 (cm ⁻³), 厚さ (nm)	
		タイプ A	タイプ B
コンタクト	n ⁺ In _{0.5} Ga _{0.5} As, y=0 → 0.5	3 × 10 ¹⁹ , 110	
エミッタ	n Al _x Ga _{1-x} As X=0.3 → 0	5 × 10 ¹⁸ , 30	
	n Al _{0.3} Ga _{0.7} As	9 × 10 ¹⁷ , 30	
	n Al _x Ga _{1-x} As X=0.1 → 0.3	9 × 10 ¹⁷ , 20	
ベース	p Al _x Ga _{1-x} As X=0 → 0.1	8 × 10 ¹⁹ , 50	8 × 10 ¹⁹ , 100
コレクタ	p GaAs	8 × 10 ¹⁶ , 150	—
	n GaAs	4 × 10 ¹⁷ , 450	5 × 10 ¹⁶ , 600
コンタクト	n ⁺ GaAs	5 × 10 ¹⁸ , 500	

f_{max} が高い HBT (タイプ B) はベースシート抵抗を下げるためベース層を 100 nm と厚くし、ベース・コレクタ間容量を小さくするため p コレクタ構造は採用しなかった (表 1)。両タイプともエミッタコンタクト層を InGaAs で形成し、コンタクト抵抗を下けている。その結果、エミッタサイズ 1.5 × 5.5 μm² のトランジスタで、4 Ω という小さいエミッタ抵抗が実現できた。また、もう一つの開発ポイントであるベースコンタクト抵抗の低減は、ベース不純物濃度を 8 × 10¹⁹ cm⁻³ に上げることと、ベース電極に Pt/Ti/Pt/Au を用いることで実現した。

ここでベースコンタクト抵抗の低減について説明する。ベースの不純物濃度を上げると、本来ならベースコンタクト抵抗は低減するはずである。ところが、実際はある濃度以上からコンタクト抵抗は低下しなくなる。その原因は AlGaAs 表面の自然酸化膜である。ベース層は、表 1 に示すとおり Al の組成比を 0.1 から 0 まで徐々に変化させたグレーディング構造としている。このようにベースのバンドギャップを変化させると、ドリフト電界が形成され、ベース走行時間が短縮される。しかし、ここで問題なのが Al の酸化である。Al は酸化しやすいので、0.1 程度の組成比においても AlGaAs 表面に自然酸化膜が形成される。この自然酸

化膜が障壁となり、コンタクト抵抗の低下を阻止している。このような AlGaAs 表面の自然酸化膜の影響を抑えるため、当社では Pt/Ti/Pt/Au をベース電極に用いた。Pt/Ti/Pt/Au 電極を AlGaAs 層に蒸着し、350°C の温度でアロイすると、接合面にある Pt と AlGaAs が相互拡散する。その結果、酸化膜が介在しない金属と半導体界面が形成される。このようすはオージェ分析 (図 2) により確認できた。

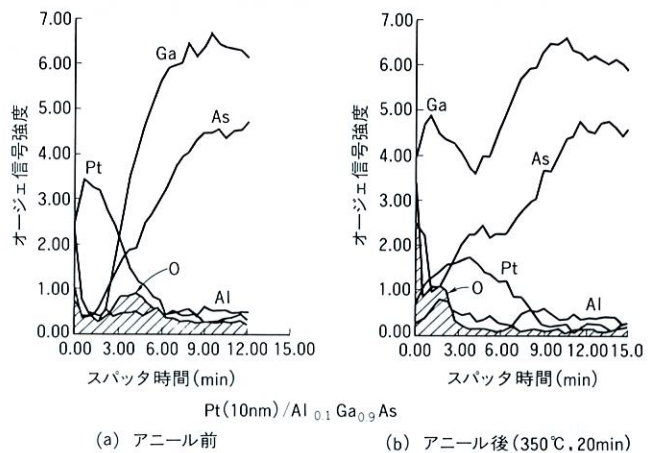


図 2. オージェ分析による Pt/Al_{0.1}Ga_{0.9}As 界面 350°C, 20 min のアロイで Pt と AlGaAs が相互拡散し、界面にあった酸素が表面側に移動する。

Auger electron spectroscopy profile determined for Pt/Al_{0.1}Ga_{0.9}As

図 3 にベース電極蒸着後、350°C, 20 分間のアロイでベースコンタクト抵抗がどのように変化するかを示す。このようにベース電極と半導体との接合界面から、自然酸化膜が除去されることによって、ベースコンタクト抵抗が低減する。こうしたベース抵抗の低減によって、エミッタサイズ 1.5 × 5.5 μm² の HBT のベース抵抗は、タイプ A では 21 Ω,

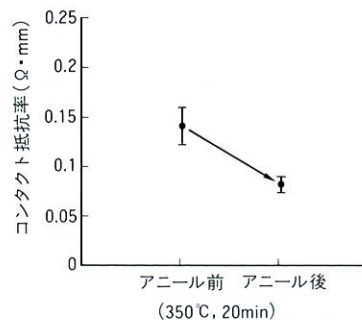


図 3. アロイ前後でのベースコンタクト抵抗の変化 ベース不純物濃度 5 × 10¹⁹ cm⁻³ の AlGaAs ベースに対して Pt/Ti/Pt/Au 電極を形成した場合の、アロイ前後でのベースコンタクト抵抗の変化。

Reduction of contact resistance after annealing at 350°C for 20 min

タイプBでは $10\ \Omega$ と低い値を得た。

次にタイプAのHBTで採用したpコレクタ構造について説明する。pコレクタは厚さ $150\ \text{nm}$ 、濃度 $8 \times 10^{16}\ \text{cm}^{-3}$ のp型層と、厚さ $450\ \text{nm}$ 、濃度 $4 \times 10^{17}\ \text{cm}^{-3}$ のn型層で構成される。GaAs中の電子は、エネルギーの小さな Γ 帯に存在するときは大きな電子速度をもつが、コレクタ空乏層中の強電界下では、容易にエネルギーの大きなX、L帯に遷移し、かえって電子速度が低下してしまう。pコレクタ構造は、ベース・コレクタ界面の電界強度を緩やかにして、電子をできるだけ Γ 帯にとどめ、電子の速度を高める効果をもっており、コレクタ領域中での電子の走行時間を短縮するのに非常に有効な構造である。ただし、コレクタ空乏層の長さはバイアスによらずpコレクタの厚さ ($150\ \text{nm}$) で規定されているため、タイプBのHBTに比べるとベース・コレクタ間容量は大きくなる。一方、タイプBのHBTでは高バイアス時にコレクタ空乏層はコレクタコンタクト層まで $600\ \text{nm}$ の長さに伸びるので、ベース・コレクタ間容量は小さくなる。

タイプAのHBTではベースを薄くしpコレクタ構造を採用した結果、 $107\ \text{GHz}$ という高い f_t を実現した。さらにベースコンタクト抵抗の低減により $110\ \text{GHz}$ という高い f_{max} が得られ、デジタルICのトランジスタとしては非常にバランスのとれた高速素子が開発できた。タイプBのHBTでは、ベースが厚く、pコレクタ構造も採用しなかったため f_t は $70\ \text{GHz}$ であったが、ベース抵抗、ベース・コレクタ間容量がともに小さいので、 $170\ \text{GHz}$ という非常に高い f_{max} が実現でき、 $40\ \text{GHz}$ の広帯域アンプに十分な素子性能を得た。

3 D型フリップフロップ

D型フリップフロップは、光通信の微小信号が1か0かを判定するICであり、光通信システムの上限動作速度を決めるキーコンポーネントである。高 f_t タイプのHBTを用いることにより、当社は世界に先駆け $40\ \text{Gbps}$ で動作するD型

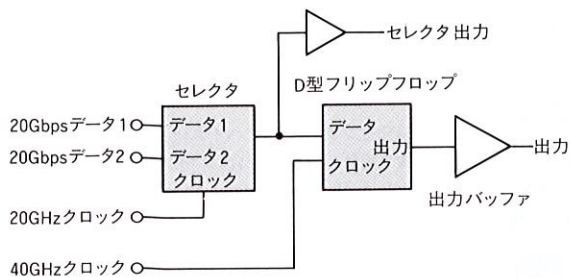


図4. D型フリップフロップICの全体構成 内蔵のセレクト回路で $20\ \text{Gbps}$ の信号 (D1, D2) から $40\ \text{Gbps}$ のデータを発生させ、D型フリップフロップに入力データを供給する。

Block diagram of IC

フリップフロップICを実現した。図4に試作したD型フリップフロップICの概略構成を示す。

今のところ、入力データを発生させるシステムは $20\ \text{Gbps}$ までのものしかないので、 $40\ \text{Gbps}$ というデータは測定系の能力を超えるものである。そこで、セレクト回路をチップ上に用意し、 $40\ \text{Gbps}$ までのデータをIC内部で形成して、D型フリップフロップに入力できるようにした。

セレクト回路はD型フリップフロップのクロックの半分の周波数で動かす。出力バッファは2段アンプ構成で、 $50\ \Omega$ に対する出力を $500\ \text{mV}$ とするため、最終段のトランジスタでは $10\ \text{mA}$ の電流をスイッチングできるように、エミッタサイズを $1.5 \times 9.5\ \mu\text{m}^2$ とした。出力負荷の影響による動作速度の制限をできるだけ小さくするために、D型フリップフロップの内部スイッチング電流を $7\ \text{mA}$ と大きく設定した。高速動作には、トランジスタの電流密度を上げることと論理振幅を下げるのが有利である。 $7\ \text{mA}$ をスイッチングするトランジスタのエミッタサイズを $1.5 \times 5.5\ \mu\text{m}^2$ にすることで、コレクタの電流密度を $8.5 \times 10^4\ \text{A}/\text{cm}^2$ まで上げた。また、エミッタ抵抗は $4\ \Omega$ と小さいので、論理振幅を $300\ \text{mV}$ に下げても十分なノイズマージンが確保できた。このICの消費電力は、電源電圧 $-8\ \text{V}$ で $2.3\ \text{W}$ である。図1にこのICのチップを示す。

チップサイズは $0.9 \times 1.2\ \text{mm}^2$ である。図5はD型フリップフロップの出力アイパターンである。 $20\ \text{Gbps}$ 、 $40\ \text{Gbps}$ においてすべてきれいなアイパターンが得られ、 $500\ \text{mV}_{\text{pp}}$ の出力が得られている。

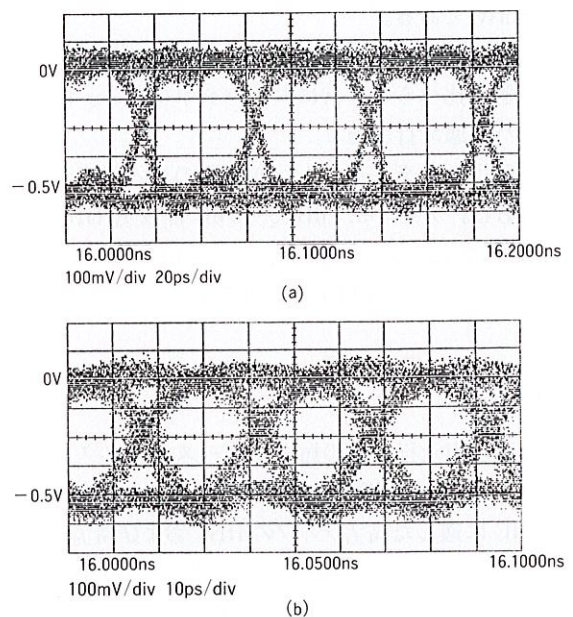


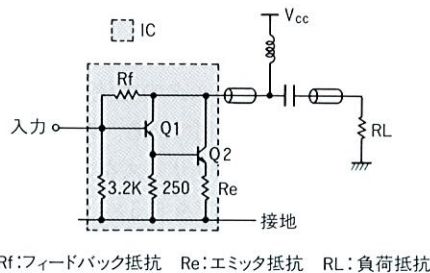
図5. D型フリップフロップの出力アイパターン $20\ \text{Gbps}$ (a)、 $40\ \text{Gbps}$ (b)の入力データに対する出力アイパターン。

Output eye-pattern of D-type flip-flop at $20\ \text{Gbps}$ (a) and $40\ \text{Gbps}$ (b)

また D 型フリップフロップのリタイミングにより、デューティ比も正確に 1 : 1 になっている。この出力の立上がり・立下がり時間 (20~80 %) は 12/10 ps で、40 Gbps に十分対応できる。

4 ダーリントン帰還型広帯域増幅器

ダーリントン接続は、簡単な帰還回路により広帯域化が容易である。図 6 に HBT ダーリントン型帰還アンプの回路を示す。HBT は高 f_{max} タイプのものを用いた。



Rf: フィードバック抵抗 Re: エミッタ抵抗 RL: 負荷抵抗

図 6. ダーリントン帰還型増幅器の回路 ダーリントン帰還型増幅器は低周波からの信号が扱え、位相特性やゲイン特性がフラットで、高帯域化が容易である。

Circuit schematic of Darlington feedback amplifier

出力段のトランジスタ Q2 は HBT を 3 個並列に接続している。マッチングとゲインを決める二つの帰還抵抗 Re と Rf は 10 Ω と 200 Ω にした。試作した増幅器の消費電力は 3.4 V で 102 mW である。

チップサイズは 270×270 μm² で、分布型増幅器などの広帯域増幅器と比べると非常にコンパクトである。測定はオンウェーハ状態で行った。

図 7 は試作したダーリントン増幅器の S パラメータの測定結果である。ゲイン 9.5 dB で -3 dB 帯域 40 GHz を達成している。また、入力特性も S_{11} (<40 GHz), S_{22} (<30 GHz) がともに -10 dB 以下と良好である。

5 あとがき

電子の素子内走行時間の短縮とベースコンタクト抵抗の低減により HBT の高周波特性を向上させた。これらの技術を用い、IC に適した高 f_T タイプの HBT および高 f_{max} タイプの HBT を設計した。その結果、高 f_T タイプの HBT を用いた D 型フリップフロップは世界初 40 Gbps までの高速動作を達成し、さらに高 f_{max} タイプの HBT を用いたダーリントン帰還型広帯域増幅器はゲイン 9.5 dB で -3 dB 帯域 40

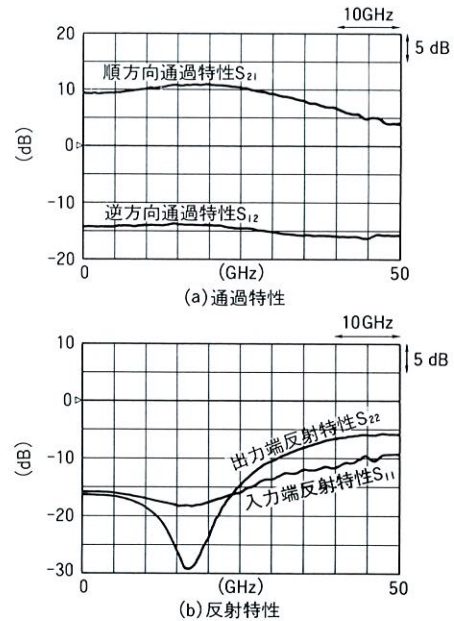


図 7. ダーリントン帰還型増幅器の S パラメータ 高 f_{max} HBT を用いることにより、ゲイン 9.5 dB で -3 dB 帯域 40 GHz を達成。
Measured S-parameter as a function of frequency from 0 GHz to 50 GHz

GHz という、広帯域増幅器では最高の性能が実現できた。これら IC の高周波特性の結果は、40 Gbps 光通信実現への道を大きく開くものであるとともに、移動体通信、ミリ波帯の高速無線 LAN、計測デバイスなど超高速性が要求される分野への応用も期待できる。

文献

- (1) K. Murata, et al: 20 Gb/s GaAs MESFET Multiplexer IC using A Novel T-type Flip-flop Circuit, IEE Electron. Lett. 28, 22, p.2090 (1992)
- (2) J. Akagi, et al: Five AlGaAs/GaAs HBT ICs for 20 Gb/s optical repeater, IEEE Int. Solid-State Circuit Conference, Dig., p.168 (1994)



杉山 亨 Toru Sugiyama

研究開発センター材料デバイス研究所。
化合物半導体のヘテロ接合デバイスの研究・開発に従事。
Materials & Devices Research Labs.



栗山 保彦 Yasuhiko Kuriyama

研究開発センター材料デバイス研究所研究主務。
化合物半導体のヘテロ接合デバイスの研究・開発に従事。
Materials & Devices Research Labs.



森塚 宏平 Kouhei Morizuka

研究開発センター材料デバイス研究所主任研究員。
化合物半導体のヘテロ接合デバイスの研究・開発に従事。
Materials & Devices Research Labs.