

L 帯 50W 級電力 GaAs FET

L-Band 50 W Power GaAs FET

村山 雅也
M. Murayama

小田 雄二
Y. Oda

黒田 博道
H. Kuroda

L 帯 50 W 級電力 GaAs FET (Field Effect Transistor) を開発した。この FET は 1.8 GHz で 50 W の飽和出力をもち、1 dB 利得圧縮点での出力、電力付加効率はいずれも 43 W, 42% である。3 次相互変調ひずみは 2 波合成出力 39 dBm のとき -45 dBc が得られた。この FET が、L 帯マイクロ波利用の移動体通信システムやレーダシステムの高性能化に寄与することが期待できる。

また出力限界を明らかにするために、電力利得の FET ゲートフィンガ長依存性、およびゲート電極間ピッチと熱抵抗の関係を検討した。

We have developed a high-power L-band GaAs field-effect transistor (FET). This device provides 50 W in the L-band with high efficiency and low distortion. In order to achieve such high performance, a double-recess structure was adopted. It is expected that this device will contribute to improving the performance of microwave solid-state amplifiers for mobile telecommunications and radar systems.

This paper describes the fabrication process and microwave performance of the newly developed GaAs FET. The output-power limitation of an L-band GaAs FET is also discussed.

1 まえがき

最初の実用的電力 GaAs FET が、1976 年に出現してから 20 年を経たが、現在でも電力 GaAs FET はレーダシステムやマイクロ波通信システムの高性能化を進めるうえでのキーデバイスとして重要な位置を占め続けている。特に近年の急速なデジタル通信への移行、あるいは移動体通信関係のインフラ整備の拡大によってその重要性はますます大きくなってきている。これらの通信分野では通信品質を高めるうえで、低ひずみで効率の高い電力 FET が要求される。また、通信容量の増大のために多波信号を同時に処理するいわゆるマルチキャリア電力増幅器も開発されており、大出力を扱える FET の要求が強い。

当社ではこれらの要求にこたえるために電力 FET の高出力化、低ひずみ化、高効率化を進め、移動体通信システムの基地局用増幅器や、レーダシステムの高性能化に適した L 帯 50 W 電力 FET を開発した⁽¹⁾。この出力は、現在世界最高である。均一性の優れたイオン注入法、大きい電流密度と高い耐圧を両立させるダブルリセス構造の採用、低い動作温度を実現するためのゲートパターンレイアウトにより高出力化を実現した。

ここでは、素子設計の特長や開発した電力 FET のマイクロ波特性について述べるとともに、電力 FET の高出力化の限界について言及する。

2 素子設計

当社では、従来から電力 GaAs FET の能動層の形成にイオン注入法を採用している。これは、イオン注入法がエビタキシャル法に比べて、能動層の均一性および再現性に優れていること、そしてコスト面で有利であることによる。今回開発した L 帯 50 W 級 FET もイオン注入法により能動層を形成している。

ユニット FET の高出力化 (出力電力密度を高める) のポイントは高いドレイン耐圧を維持しつつ、いかに大きな最大ドレイン電流密度と低いソース抵抗を実現するかである。この実現のためにこの FET は図 1 に示したダブルリセス構造を採用している。

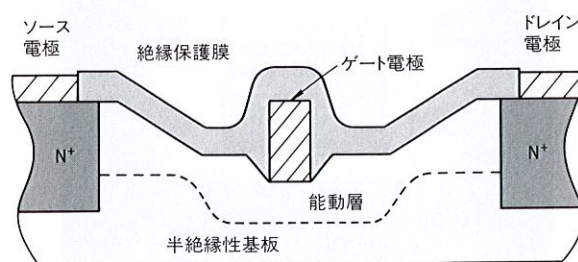


図 1. ユニット FET の断面構造 広いリセスの中央のゲート部にもう一つの狭いリセスが設けられている。

Schematic cross section of unit FET

この構造は幅の広いリセス（ゲート電極周りの凹部）を形成した後、イオン注入を行い、引き続き第二の狭いリセスを形成しここにゲート電極を設けている。このイオン注入プロセス、ダブルリセス構造の採用により、基本FETの大幅な性能向上を図ることができた。同一のドレイン耐圧（25 V）で比較した場合、従来構造のFETに比べて、新構造では20%以上ドレイン電流密度を大きくすることができた。また、この構造によれば低いソース抵抗を実現しながら能動層形成のイオン注入エネルギーを従来より低くすることができ、これにより第二のリセスの深さを浅くすることができる。これはFETのドレイン電流密度の均一性向上に大きく寄与している。

開発したFETチップの外観を図2に示す。チップサイズは3.0 mm×0.8 mmで、厚さは0.06 mmである。このチップ表面にゲートフィンガ長260 μmのユニットFETが100個並んでいる。熱抵抗低減のためにPHS (Plated Heat Sink) 構造を採用している。

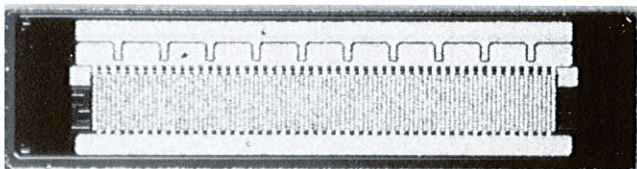


図2. FETチップ チップサイズは3 mm×0.8 mmでフィンガ長260 μmのユニットFETが100個並んでいる。

Top view of FET chip

図3にこのFETの内部を示す。四つのFETチップが大きさ17 mm×24 mmのセラミックパッケージに収められている。このFETは、入出力側ともにインピーダンス変換回路を内蔵しているが、インピーダンスを50 Ωにする完全内

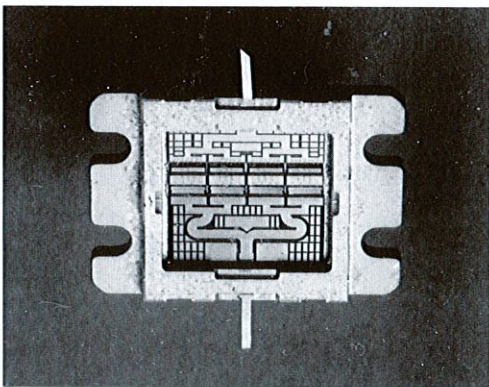


図3. FETの内部 大型のメタル・セラミックパッケージの中に四つのFETチップとインピーダンス整合回路がマウントされている。

Internal view of FET package

部整合方式を採用していない。これにより外部回路の調整により1.5 GHzから2.0 GHzの範囲の希望の周波数帯で動作させることを可能にしている。内部インピーダンス変換回路は、高誘電率材からなるチップコンデンサと、異なった厚さをもったアルミナ基板上に設けられた分布定数回路で構成している。また入力側に発振抑制回路を付加して、高い利得を維持しつつ負荷変動に対しても安定な動作を保証している。

3 FETの性能

ユニットFETの代表的な直流I-V特性を図4に示す。相互コンダクタンスは100 mS/mmでゲート電圧 (V_g) を＋方向に振ったときにも相互コンダクタンスの線形性が確保されている。これはダブルリセス構造の採用により能動層が表面準位の影響を受けにくくなったことによる。

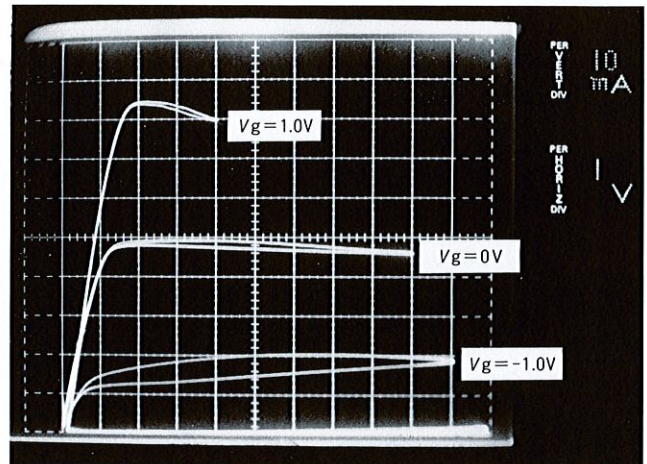


図4. ユニットFETのI-V特性 相互コンダクタンスの線形性が良いことがわかる。

I-V characteristics of unit FET

図5に、周波数1.8 GHzに外部回路を調整したときの入出力特性を示す。設定ドレイン電圧は10 V、RF (Radio Frequency) 信号オフ時のドレイン電流は8 Aである。飽和出力点で51 W (47.1 dBm)が、また1 dB利得圧縮点では出力43 W (46.3 dBm)、利得13 dB、電力付加効率42%の優れた特性が得られている。

熱抵抗値は1°C/Wで、動作時のチャネルの温度上昇分は65°Cとなり実用上問題のない温度に抑えられている。

図6には5 MHz離れた同一入力レベルの2波を入力したときの出力波の基本成分および3次ひずみ成分の入力電力依存性を示した。2波合成出力39 dBmで-45 dBcの相互変調ひずみが得られている。

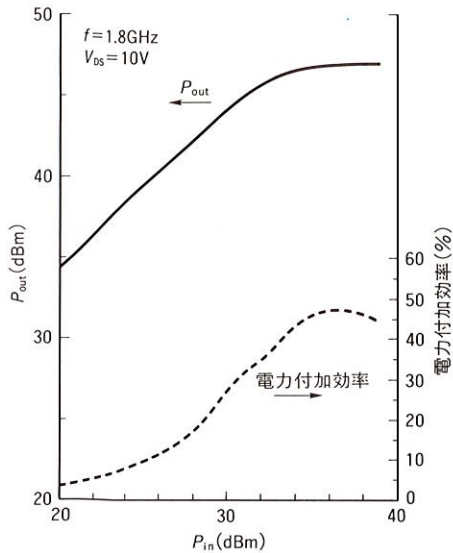


図5. L帯50W級GaAs FETの入出力特性 1.8 GHzにおいて1 dB利得圧縮点で出力43 W, 利得13 dB, 電力付加効率42%が得られている。

Output power and power-added efficiency vs. input power at 1.8 GHz of newly developed FET

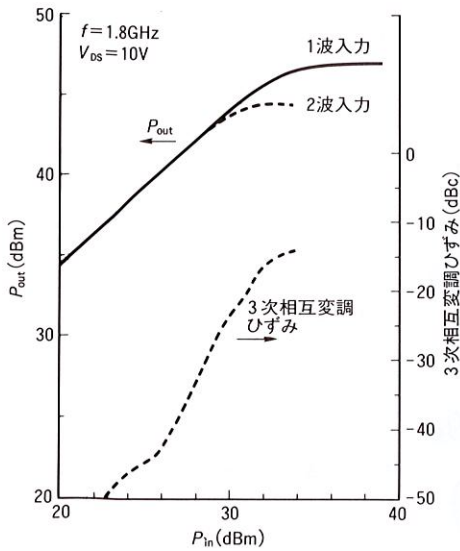


図6. L帯50W級GaAs FETの相互変調ひずみ特性 $f=1.8$ GHz, $\Delta f=5$ MHzの2波を同時入力して評価した。3次相互変調ひずみは-45 dBcが得られている。

Third-order intermodulation distortion characteristics of newly developed FET

4 電力GaAs FETの出力の限界

FETの限界出力は、素子の動作温度、利得、パッケージサイズの要因で制限されると思われる。そしてこれらの要因は、それぞれが関連し合っ大電力を実現するのを困難にしている。

大電力化を図る際に起きる利得低下の問題については、

ゲートフィンガ長の増大に伴う要因がもっとも考慮すべきものである。すなわち、フィンガ長 (W) を長くするとフィンガの長さ方向でマイクロ波の位相がずれてくるために電力の合成率が悪くなり、その結果電力利得の低下が現れてくる。この低下量は、ゲートフィンガ単位長さ当たりの純抵抗値 (r)、インダクタンス (l)、キャパシタンス (C) により決定される。すなわち、ゲートフィンガを伝送線路とみなすモデルによれば、利得低下量は次式のようにになる。

$$\text{利得低下量} = \int_0^W e^{-2\alpha x} \cos^2 \beta x dx / W \quad (1)$$

$$\text{ここで, } \alpha = 2\pi f \sqrt{C} \left[\frac{-l + \sqrt{l^2 + (r/2\pi f)^2}}{2} \right]^{1/2}$$

$$\beta = 2\pi f \sqrt{C} \left[\frac{l + \sqrt{l^2 + (r/2\pi f)^2}}{2} \right]^{1/2} \text{である。}$$

例として、 $C=10$ pF/cm, $r=400$ Ω /cm, $l=10$ nH/cm としたときの利得低下量とゲートフィンガ長の関係を図7に示す。これより、L帯 (1.8 GHz) においては、フィンガ長を $500 \mu\text{m}$ まで伸ばしても利得の低下量は 1 dB 以下であることが推定できる。

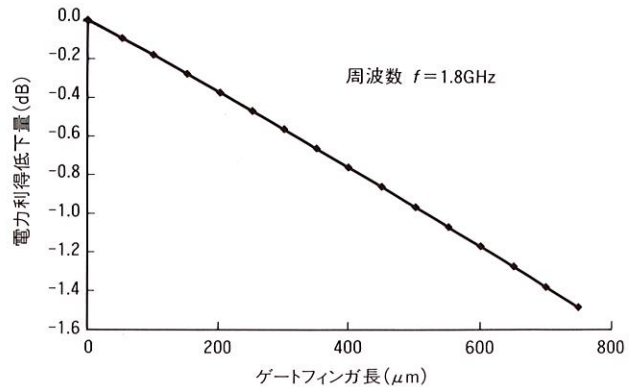


図7. ユニット FET のフィンガ長の利得への影響 1.8 GHz において、フィンガ長を $500 \mu\text{m}$ まで伸ばしても利得低下は 1 dB に抑えられている。

Gain dependence on width of unit FET

次に、電力 FET にとってもっとも重要な熱設計について述べる。FET の熱抵抗 R_{th} は、簡便な熱抵抗計算法である 45 度近似によれば、以下のように求められる。

$$R_{th} = \sum_i \frac{1}{K_i} \int_{t_i}^{t_{i+1}} \frac{dx}{S(x)} \quad (2)$$

ここで、 $S(x)$ は半導体チップ表面の発熱部から x m 離れたところでの放熱パスの面積、 K_1 、 K_2 、 K_3 はそれぞれ半導体、PHS (Plated Heat Sink) 材、パッケージ材の熱伝導率 ($W/(m \cdot K)$) で、 t_1 、 t_2 、 t_3 はそれぞれ半導体の厚さ、ペレットの厚さ (半導体と PHS 材の厚みの合計)、チップからパッケージ裏面までの厚さ全体である。

これからゲートピッチの拡大によって発熱源を広げること (上式で $S(0)$ を大きくすることに対応)、あるいは GaAs 基板厚を薄層化 (PHS 構造、 t_1 を小さくすることに対応) することがもっとも熱抵抗低減に有効であることがわかる。しかしながらゲートピッチの拡大は、寄生抵抗成分の増大を招くほか、チップサイズが大きくなることを意味しチップの実装を難しくするなどの弊害を生ずる。

図 8 には、先に検討した利得低下から制限されるゲートフィンガ長 $500 \mu\text{m}$ のユニット FET を用い、またパッケージの大きさを変えないという条件のもとで、GaAs 厚 $30 \mu\text{m}$ の PHS 構造を採用した横幅 3mm (能動層幅 2.8mm) の FET チップを 4 個実装したときのゲートピッチと ΔT_{ch} (FET のバイアス設定時のチップ表面温度とパッケージ裏面温度差すなわち熱抵抗値と消費電力の積) の関係、およびゲートピッチと総ゲート幅の関係 (破線で表示) を示した。

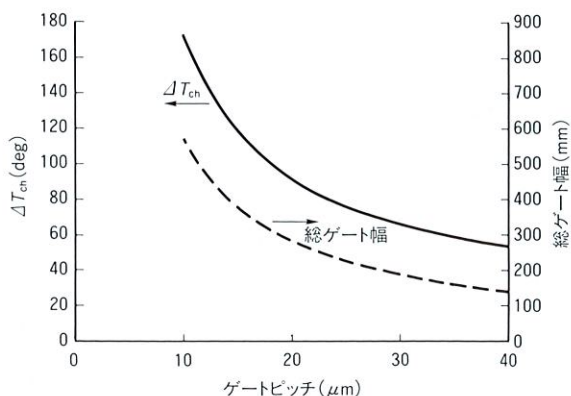


図 8. ΔT_{ch} とゲートピッチの関係 ゲートピッチを大きくすることで ΔT_{ch} を抑えることができる。

Temperature increase vs. gate finger pitch

利得低下から制限されるフィンガ長 $500 \mu\text{m}$ を採用した場合 ΔT_{ch} を信頼性確保の観点から要求される 80°C 以下にするにはゲートピッチを $24 \mu\text{m}$ 以上にする必要があることがわかる。このとき総ゲート幅は図でもわかるように 240mm になり、現在のユニット FET の性能 (単位ゲート幅当たりの飽和出力 480mW/mm) でも飽和出力 100W が実現可能と考えられる。

もっとも、 100W 素子を実用に供するには増幅器の熱設計もきちんとなされなければならないことは当然である。

5 あとがき

移動体通信基地局用電力増幅器やレーダの送受信モジュール用電力素子として、世界最高出力をもっている L 帯 50W 級電力 GaAs FET を開発した。ゲート幅の拡大に伴う電力利得の低下や熱的検討結果によれば、 100W 出力の GaAs FET も実現可能と考える。

文献

- (1) H. Ishimura, et al: L-AND S-BAND 50 WATT POWER GaAs MES-FETs, to be published in 1996 IEEE MTT-S International Microwave Symp. Dig., June (1996)



村山 雅也 Masaya Murayama

小向工場マイクロ波部。
マイクロ波半導体素子の開発に従事。電子情報通信学会会員。
Komukai Works



小田 雄二 Yuji Oda

小向工場マイクロ波部副参事。
マイクロ波半導体素子の開発に従事。
Komukai Works



黒田 博道 Hiromichi Kuroda

小向工場マイクロ波部副参事。
マイクロ波半導体素子の開発に従事。
Komukai Works